

ulm university universität
uulm

Dreidimensionale Systemintegration: Technologische Entwicklung und Anwendung

DISSERTATION

zur Erlangung des akademischen Grades eines

DOKTOR-INGENIEURS
(DR.-ING.)

der Fakultät für Ingenieurwissenschaften
und Informatik der Universität Ulm

von

Dipl.-Ing. Alexander Kaiser
aus Biberach/Riß

Gutachter: Prof. Dr.-Ing. E. Kohn
Prof. Dr.-Ing. J. Burghartz

Amtierender Dekan: Prof. Dr. rer. nat. H. Partsch

Ulm, 02. Mai 2007

Inhaltsverzeichnis

Abbildungsverzeichnis **v**

Tabellenverzeichnis **ix**

Abstract (Englische Zusammenfassung) **xi**

0.1 Motivation for 3D Integration xi

0.2 3D Technology xii

0.3 Results xiii

1 Einleitung **1**

1.1 Motivation 1

1.2 Integrationstechnologie 2

1.3 Diamant und Peripherie 4

1.4 Gliederung der Arbeit 5

2 Eigenschaften integrierter Systeme **7**

2.1 Vorteile der dreidimensionalen Integration 7

2.1.1 Größe des Systems 7

2.1.2 Verringerung der elektrischen Verbindungslängen 8

2.1.3 Integration verschiedener Technologien 11

2.2 Monolithische Integration und Hybridintegration 12

2.2.1 Monolithische Integration 12

2.2.2 Hybridintegration bzw. Packaging-basierte Integration 14

2.2.3 Vergleich: monolithische und hybride Integration 14

3 Strategien für eine dreidimensionale Integrationstechnologie **17**

3.1 Industriell verwendete Prozessabläufe 19

3.2 Entwickelter Prozessablauf 21

3.3 Alternativen für einzelne Prozessschritte 24
3.3.1 Substratdünnung 24
3.3.2 Herstellung der Vias zur Vorderseite 27
3.3.3 Elektrische Durchkontaktierung 29
3.3.4 Verbindungstechnologie 33

4 Schlüsselprozesse für das gewählte 3D-Integrationskonzept 37
4.1 Substratdünnung mit Ätzstoppschicht 37
4.1.1 Siliziumätzmechanismus in alkalischen Lösungen 37
4.1.2 Einführung der Ätzstoppschicht in die 3D-Integration 39
4.1.3 Ergebnisse der Substratdünnung 41
4.2 Viaherstellung und Isolation mit Niedertemperaturprozessen 43
4.2.1 Trockenchemischer Ätzprozess zur Viaherstellung 43
4.2.2 Niedertemperatur-Siliziumoxid 45
4.2.3 Abscheideverhalten von Siliziumoxid im Via 54
4.2.4 Elektrische Messungen der PECVD-Isolation 55
4.2.5 Anodische Oxidation von Silizium 55
4.3 SoLID Diffusionslöten 57
4.3.1 Grundlagen des Diffusionslötens 58
4.3.2 Ergebnisse der Lötungen 60
4.3.3 Elektrische Resultate an gelöteten Chips 62
4.4 Resumée zur Integrationstechnologie 64

5 Anwendungsbeispiel: 3D-integrierter Diamant-UV-Sensor 67
5.1 Einführung 67
5.1.1 Eigenschaften von Diamant 67
5.1.2 UV-Detektion mit Diamant 71
5.1.3 Kenngrössen optischer Sensoren 74
5.2 3D-integrierter Diamant 76
5.3 Charakterisierung der integrierten UV-Sensoren 77
5.4 Resumée und Diskussion zum 3D-UV-Sensor 81

6 Zusammenfassung und Ausblick 83
6.1 Zusammenfassung 83
6.2 Ausblick 85

A Definition von Bezeichnungen und Begriffen **87**

B Zusätzliche Details zur Integrationstechnologie **89**

B.1 Mechanisches Dünnen . . . 89

B.2 Vorderseiten-Metallisierung . . . 90

B.3 Substrat–Träger–Technologie . . . 91

B.3.1 Struktur und physikalische Eigenschaften . . . 92

B.3.2 Klebevorgang . . . 95

B.4 Aufbau und Funktion des Spinätzers . . . 96

B.5 Kalibration der ASE-Prozesse . . . 98

B.6 Abschätzung der Stromtransportmechanismen im LT-Oxid . . . 99

B.6.1 Niedrige Feldstärken . . . 99

B.6.2 Hohe Feldstärken . . . 102

B.7 Viametallisierung . . . 102

B.7.1 Öffnen des Kontaktfensters zur Vorderseite . . . 102

B.7.2 Galvanische Viametallisierung . . . 104

B.7.3 Ergebnisse an metallisierten Teststrukturen . . . 107

B.8 Durchführung der Lötprozesse . . . 108

B.9 Diamanttechnologie für 3D-UV-Sensoren . . . 109

C Prozeßparameter **113**

D Maskenlayouts **117**

E Eigene Veröffentlichungen/ Workshops **123**

E.1 Veröffentlichungen in Zusammenhang mit dieser Dissertation . . . 123

E.2 Weitere Veröffentlichungen . . . 125

E.3 Patente . . . 126

E.4 Auszeichnungen . . . 126

F Verwendete Abkürzungen und Symbole **127**

Literaturverzeichnis **148**

Danksagung **149**

Lebenslauf **151**

Abbildungsverzeichnis

1.1 Kosten- und ”Time-to-market”-Vergleich für SiP und SoC 2
1.2 Schematische Darstellung der 3D-Integration 3
1.3 Beispiele zur Diamantintegration 4

2.1 Vergleich des Footprints eines 2D-Modules mit einem 3D-Modul 7
2.2 Vergleich 3D- und 2D-Verbindungstruktur 8
2.3 Allgemeines Ersatzschaltbild einer Leitung 9
2.4 Beispiele für die Integration verschiedener Technologien 12
2.5 Monolithisch integrierter Bildsensor 13
2.6 ”Epitaxy-on-Electronics”-Technologie 13
2.7 Beispiele für Hybrid-Integration 14

3.1 Allgemeines Flussdiagramm einer 3D-Integration 18
3.2 Flussdiagramm einer einfachen 3D-Integration 19
3.3 Typisches Flussdiagramm einer 3D-Integration mit Vias 20
3.4 Flussdiagramm zu dem in dieser Arbeit entwickelten Prozess 21
3.5 Veranschaulichung des prinzipiellen Prozessablaufs 22
3.6 Prinzipskizze des Läppvorgangs 25
3.7 Mechanische Viaherstellung 27
3.8 Viaherstellung durch Ätzen 29
3.9 Modell eines metallisierten Vias 30
3.10 Alternative Verbindungstechniken 33

4.1 Abhängigkeit der Siliziumätzrate von der Borkonzentration 38
4.2 Prozess zur Implementierung einer Ätzstoppschicht 39
4.3 Oberlächenprofil nach der Siliziumepitaxie 40
4.4 Wachstumsverhalten der Siliziumepitaxie 41
4.5 Ätzstoppschicht aus dem KOH-Bad 41

4.6 Oberfläche einer chemisch gedünnten Probe 42
4.7 Prozeßablauf beim Anisotropen Siliziumätzen (ASE) 43
4.8 Querschnitt durch geätzte Vias 44
4.9 Abscheiderate von Siliziumoxid für variierende Abscheideparameter 47
4.10 EDX-Spektren von reinem Kupfer und SiO_x auf Kupfer 48
4.11 Atomverhältnisse für variierende Abscheideparameter 49
4.12 REM-Aufnahmen von Silizumoxid-Proben 49
4.13 Ätzrate von Siliziumoxid in 2%-HF für variierende Abscheideparameter 50
4.14 Brechungsindex von Siliziumoxid für variierende Abscheideparameter 51
4.15 Stromdichte als Funktion der elektrischen Feldstärke für Normfluß F_0 52
4.16 Leckstromdichte von SiO_2 für variierende Abscheideparameter 52
4.17 Durchbruchfeldstärke von SiO_2 für variierende Abscheideparameter 53
4.18 C-V-Messungen für Normalfluß und reduzierten Fluß 53
4.19 Oxidabscheidung im Via 54
4.20 Isolationsmessungen an einer Teststruktur 55
4.21 Prinzipskizze und I-U-Messung zur anodischen Oxidation 56
4.22 Prozeßschritte bei der Loetung auf das Basissubstrat 58
4.23 Verlauf der Phasenbildung und Cu-Sn-Phasendiagramm 59
4.24 Löttestchip und Lötwiderstandverteilung 60
4.25 Gelöteter Chip auf Basissubstrat 61
4.26 Mehrfachlötung auf Basissubstrat 62
4.27 Messung einer Viakette 62
4.28 Messung einer gelöteten Durchkontaktierung 63
4.29 Schematische Darstellung des Prozeßtemperaturverlaufs 65

5.1 Ausdehnungskoeffizienten und intrinsische Spannung in Diamant 70
5.2 Banddiagramm von Diamant 71
5.3 Absorption in Diamant 72
5.4 Absorptionskoeffizient in Diamant 73
5.5 UV-Detektor-Array 74
5.6 Gelöteter Diamant-Chip auf Basissubstrat 76
5.7 Anordnung der Sensoren und Zuleitungen auf dem Basissubstrat 77
5.8 Aufgebauter Sensor für Messungen mit dem ArF-Laser 78
5.9 Strom-Spannungs-Kennlinie der UV-Sensoren 78
5.10 Strom-Zeit-Kennlinie der UV-Sensoren 79

5.11 Elektrische und optische Abhängigkeiten des Photosignals 80
5.12 Abhängigkeit des Photostromes von Feldstärke und Frequenz 81

6.1 Komplettes System im Chipcarrier 85

A.1 Skizze zur Erklärung verwendeter Bezeichnungen und Begriffe 87

B.1 Testchipoberseite nach fertiger Vorprozessierung 91
B.2 Prozeßschritte bei der Trägeraufbringung 92
B.3 Auswirkungen fehlerhafter Klebung bei der Prozessierung 92
B.4 Thermogravimetrische Analyse von PMGI SF 19 94
B.5 Klebepresse zur Verbindung von Probe und Träger 95
B.6 Aufbau des Spinätzers 96
B.7 Temperaturverlauf in der Ätzschleuder 97
B.8 Vergleich der verwendeten ASE-Prozesse 98
B.9 Poole-Frenkel-Plot: Einfluß der Abscheidetemperatur 100
B.10 Fowler-Nordheim-Plot für verschiedene Abscheideparameter 103
B.11 Einfluss des Viaseitenwinkels auf die Viaisolierung 103
B.12 Aufbau einer einfachen Galvanikzelle 105
B.13 REM-Aufnahmen galvanisierter Vias 105
B.14 Mikroskop-Aufnahmen galvanisierter Vias 106
B.15 Widerstandsmessungen an einer Teststruktur 107
B.16 Flip-Chip-Bonder zur Durchführung der Lötungen 108
B.17 Oberseite des UV-Testchips nach Vorprozessierung 109
B.18 Querschnitt der UV-Sensor-Substrate vor der Integration 110
B.19 Vorderseite des UV-Testchips nach Vorprozessierung 110

D.1 Maskenlayout Oberteil Löttestchip 117
D.2 Maskenlayout Basissubstrat Löttestchip 118
D.3 Maskenlayout Oberseite 3D-Testchip 119
D.4 Maskenlayout Basissubstrat 3D-Testchip 120
D.5 Maskenlayout Oberseite UV-Sensoren 121
D.6 Maskenlayout Basissubstrat UV-Sensoren 122

Tabellenverzeichnis

3.1 Gewählte Varianten für einzelne Prozessschritte 23

4.1 Standardparameter für die Siliziumoxidabscheidung 45
4.2 Abscheideparameter für SiO-Versuchsreihen A,B und C 46
4.3 Abscheideparameter für SiO-Versuchsreihe D 47

5.1 Ausgewählte Parameter wichtiger Materialien 68

B.1 Parameter für die mechanische Dünnung durch Läppen 90
B.2 Schleuderparameter und Temperaturschritte für die Ablöseschicht 93
B.3 BCB Eigenschaften 94
B.4 Parameter für die chemische Dünnung 97
B.5 Vergleich der verwendeten ASE-Prozesse 99
B.6 Parameter für die galvanische Metallisierung der Vias 104

C.1 Parameter für SiO_2-Abscheidung bei 300 °C 113
C.2 Parameter für die trockenchemische Ti:W-Ätzung 113
C.3 Parameter für die trockenchemische Diamant-Ätzung 113
C.4 Parameter für die trockenchemische Siliziumoxid-Ätzung 114
C.5 Parameter für die trockenchemische Siliziumätzung 114
C.6 Parameter Sauerstoff-Plasma zur Entfernung von Lackresten 114
C.7 Parameter zur Bekeimung der Diamantschichten 114
C.8 Parameter für das Wachstum der intrinsischen Diamantschichten 114
C.9 Lackparameter AZ9260 114
C.10 Lackparameter Titan-Lift-Off 114
C.11 Lackparameter Siliziumoxid-Maske (AZ 4533) 114
C.12 Zusammensetzung Kupfergalvanik Cubath SC 115
C.13 Parameter für die Abscheidung der Startschicht für die Galvanik 115
C.14 Parameter zur Abscheidung der Ohmmetallisierung 115

F.1 Liste der verwendeten Abkürzungen 127
F.3 Liste der verwendeten deutschen Symbole 128
F.5 Liste der verwendeten griechischen Symbole 129

Abstract
(Englische Zusammenfassung)

Three-dimensional Integration: Technology and Application

0.1 Motivation for 3D Integration

Increasing demands on functionality of electrical systems lead to increasing complexity of integrated circuits. Thus, also the wiring density and wire length in interconnects is increasing. ITRS (**I**nternational **T**echnology **R**oadmap for **S**emiconductors) proposes an on-chip wire length of up to 7000 $\frac{m}{cm^2}$ in the year 2020 [1].
The rise in wire length results in higher requirements in respect to the technological realization, as the aspect ratios will increase. Additionally a higher functionality of integrated systems is wanted, which leads to SoC[1] and SiP[2] attempts. Whereby the SoC solutions rely on monolithic integration on one die. The SiP technology uses more or less hybrid (or heterogeneous) integration technology to combine parts of a system just at the end of the fabrication cycle.
The SiP technology can profit from additional benefits, if it is realized in a kind of 3D integration. This means the stacking of system parts above each other rather than in the common lateral configuration. The third dimension is used, leading to reduced footprint and system size. Further more, the interconnect lengths between system parts can be reduced, especially when stacking thinned dies. Reduced interconnect length leads to reduced delay in circuits, reduced power consumption and higher frequency of operation.

This thesis deals with a new technological concept for the 3D integration of integrated circuits. Great emphasis is laid on developing low temperature processes, keeping the thermal budget low. Thus, the developed processes should be compatible with CMOS processing as well as with extremely temperature-sensitive substrate materials.

[1] **S**ystem **o**n **C**hip
[2] **S**ystem **i**n **P**ackage

As an example for transferability of the developed technology to other material systems, in this study a diamond-on-silicon UV sensor is 3D-integrated to a silicon base substrate and optically characterized.

0.2 3D Technology

In a first step, the integration technology is demonstrated on passive silicon substrates, containing only metallization and insulators. Figure 1 shows a schematic picture of the 3D-integrated chip stack.
The 3D-integration is based on thinned substrates, where a combination of mechanical grinding and wet chemical etching (including a boron doped etch stop layer) is used to have proper control of the residual silicon thickness (∼10 µm). Preliminary to the thinning, the wafers are

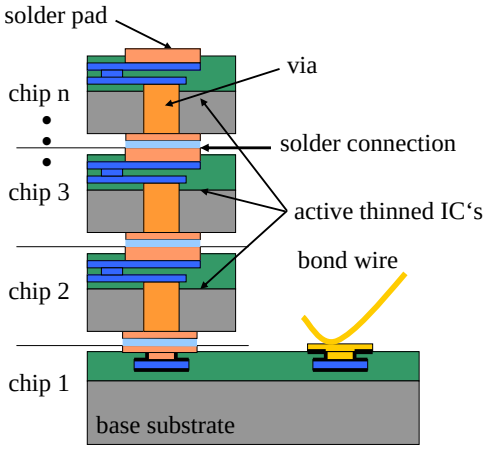


Figure 1: Schematic picture of 3D-integrated ICs.

attached to a silicon carrier using a polyimide adhesive layer and a release layer made of PMGI resist.
Anisotropic Silicon Etching (ASE) is used to produce through-silicon vias from the backside to the front side. As electrical insulator LT[3]-deposited silicon oxide is used. The electrical contacts are formed by copper electroplating in the vias, resulting in low resistive interconnects. In the same step also Cu soldering pads are fabricated on the back side.
For mechanical and electrical connections of the single layers, a low temperature soldering process (SoLID) is used. Hereby a soldering temperature of about 300 °C results in solder joints which remain stable above 600 °C. Thus, repeated soldering on the same stack is possible without breaking former connections.
For further extension of the technology to other materials, diamond was used on silicon. As a first device demonstrator, a UV sensor was fabricated using the diamond layer as active region. For reasons of simplicity, the UV sensors were designed as interdigitating photoconductors,

[3]**L**ow **T**emperature

and arranged in arrays on the sample surface, thus serving as a raw prototype for a diamond UV camera.
For the diamond integration, most of the steps used for the silicon-only samples could also be used. Some additional steps preceding the thinning and the diamond patterning had to be introduced to guarantee the proper functioning of the integrated sensors.
As base substrates for the diamond UV sensors, as well as for the silicon structure, a passive wafer with metals and insulators was chosen. Base substrate additionally provides measurement pads at the circumference for probing and wire bonding of the chips. Thus further incorporation of the 3D system in e.g. chip carriers is possible.

0.3 Results

Stacking of several substrates was realized up to a height of 7 layers. No mechanical degradation was observed during the integration process. Nevertheless, according to yield problems, up to now electrical measurements were only possible on stacks with two layers.
Electrical measurements on the silicon-only samples revealed interconnect resistances smaller $0.8\,\Omega$. It is assumed that the origin of the resistance is mainly due to the transition from the front side metallization to the via metallization. The solder resistance seems to have only weak influence on the overall electrical behaviour and was extracted to be smaller than $0.1\,\Omega$. With the application of anodic oxidation following the standard LT-PECVD-Oxide, via leakage currents below 10^{-11} A could be realized.

The results obtained with the 3D-integrated diamond UV sensor arrays revealed photo currents in the nA regime, where still relatively high dark currents are present. The high dark currents are assumed to originate from conduction along the grain boundaries of the nano-crystalline diamond. Time-dependent modulation of the sensor illumination resulted in pulsed I-V characteristics, however charge memory effects in the diamond seem to influence the behaviour.

Nevertheless, the integration technology is successfully demonstrated for an additional material system. Thus, a possibility for the combination of diamond with e.g. conventional CMOS circuits is demonstrated. Such systems, combining different materials, could benefit by optimizing each specific part and material, resulting in an outstanding overall performance.

Kapitel 1

Einleitung

1.1 Motivation

Mit Erfindung des Bipolartransistors durch Bardeen, Brattain und Schockley 1947 hat die rasante Entwicklung der Mikroelektronik ihren Anfang genommen [2]. Aufgrund technischer Fortschritte wurde eine erhöhte Komplexität der integrierten Funktionen erreicht. 1965 postulierte Gordon E. Moore eine jährliche Verdoppelung der Funktionen einer integrierten Schaltung [3]. Diese Tendenz ist im Prinzip bis heute erhalten geblieben [4].
Die Entwicklung der integrierten Schaltungen, seien es nun Mikroprozessoren oder ASICs[1], hat mit steigender Funktionsdichte auch erhöhte Verdrahtungslängen zur Folge. Die ITRS[2] 2005 legt als Anforderung eine auf die Chipfläche bezogene Verdrahtungslänge von über 3000 $\frac{m}{cm^2}$ bis zum Jahr 2013, bzw. über 7000 $\frac{m}{cm^2}$ bis 2020 fest [1].
Um nun diese steigenden Anforderungen zu erfüllen, müßten im Prinzip die lateralen Geometrien der Leiterbahnen reduziert werden. Für einen gleichbleibend niedrigen Widerstand hingegen, muß sich im gleichen Zug das Aspektverhältnis der Metallisierungen erhöhen, was zu höheren Anforderungen an die Herstellungstechnologie führt.
Zusätzlich zur erhöhten Komplexität der einzelnen Schaltungen gewinnt die Kombination verschiedener Technologien immer mehr an Bedeutung. Als Schlagworte hierzu können die Begriffe SoC[3] und SiP[4] genannt werden.
Bei einem SoC werden mehrere Funktionen eines Systems auf einem Substrat verwirklicht (vgl. auch Kapitel 2.2). Bei steigendem Funktionsumfang muß die Fläche des Substrates entsprechend erhöht werden. Ein frühes Beispiel für diese Variante findet man z.B. in [5]. Diese Technik ist bis zu einer bestimmten Systemgröße rentabel (siehe Abbildung 1.1). Darüber hinaus ergibt sich für die sogenannten SiP-Lösungen ein besseres Kosten-Nutzen-Verhältnis. Bei

[1] **A**pplication **S**pecific **I**ntegrated **C**ircuits, (dt.) anwendungsspezifische integrierte Schaltung
[2] **I**nternational **T**echnology **R**oadmap for **S**emiconductors
[3] **S**ystem **o**n **C**hip, (dt.) System auf einem Chip
[4] **S**ystem **i**n **P**ackage, (dt.) System in einem Gehäuse

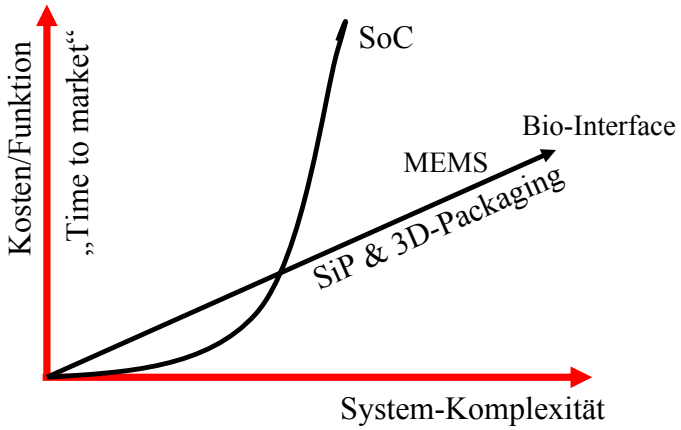


Abbildung 1.1: Kosten- und ”Time-to-market”-Vergleich für SiP und SoC (SiP: System in Package; SoC: System on Chip), übernommen aus [1].

einem SiP (oder auch SoP[5]) werden die einzelnen Teile eines Systems separat realisiert und anschließend, oder erst im gemeinsamen Systemgehäuse elektrisch und mechanisch verbunden. Beispiele hierzu findet man z.B. bei [6] und [7]. Diese Systeme sind besonders in Bezug auf Größe und Packungsdichte bzw. Funktionalität für portable Anwendungen (z.B. Mobiltelefone) und Anwendungen in der Biomedizin geeignet (z.B. µTAS[6]). Besonders letzteres erfordert die Kombination von Elektronik mit Sensoren und/oder Fluidikelementen. Die Kosten pro System spielen hierbei vor allem bei Massenanwendungen eine Rolle.
Eine spezielle Variante der technologischen Realisierung eines komplexen Systems stellt die dreidimensionale Integration (3D-Integration) dar. Hierbei sollen die einzelnen Teile eines Systems in vertikaler Richtung direkt übereinander platziert und verbunden werden. Besonders bei Anwendungen mit hohem Datenaufkommen, wie z.B. optischer Bilderfassung, können die Hauptvorteile dieser Technologie (u.a. minimal kurze elektrische Verbindungen, hohe Bandbreite, reduzierte Verlustleistung) ausgenutzt werden [8, 9]. Prinzipiell unterscheidet man hierbei wieder eine monolithische Integration, die wieder ein SoC zum Ziel hat, und die Hybridintegration zur Herstellung eines SiP. Mit Hilfe der 3D-Integration können sowohl die Probleme des steigenden Verdrahtungsaufwands, als auch die effiziente Kombination von verschiedenen Technologien und Systemteilen gelöst werden.

1.2 Integrationstechnologie

Diese Dissertation wurde im Rahmen des BMBF-Verbundprojektes ”VisionIC” durchgeführt, in dem neben mehreren universitären Partnern unter anderen auch die Firma Infineon Technologies AG als Hauptindustriepartner beteiligt war. Ziel hierbei war die Entwicklung einer

[5] **S**ystem **o**n **P**ackage
[6] micro **T**otal **A**nalysis **S**ystems, (dt.) Systeme zur kompletten Analyse von z.B. Blut,...

intelligenten Bildverarbeitungsplattform, deren Architektur auf pulskodierten neuronalen Netzen aufbaut, wobei viele Querverbindungen unter den einzelnen Neuronen erforderlich sind. Um diesen Ansatz optimal verwirklichen zu können, ist eine Integrationstechnologie für die einzelnen Ebenen des Systems notwendig, die eine große Anzahl von parallelen Verbindungen ermöglicht. Weiterhin sollten die Verbindungen möglichst kurz ausgeführt sein, um die Verlustleistung während des Betriebes zu minimieren.
Diese Arbeit beschäftigt sich mit der Entwicklung einer solchen dreidimensionalen Integrationstechnologie für siliziumbasierte Schaltungen. Insbesondere sollten eine große Kontaktdichte ($> 1000\,\mathrm{mm}^{-2}$) und minimal kurze elektrische Verbindungen realisiert werden. Abbildung 1.2 zeigt eine Prinzipskizze zur dreidimensionalen Integration. Bei einer Bildverarbeitungsanwendung enthält die oberste Ebene die Sensoren zur Bildaufnahme.

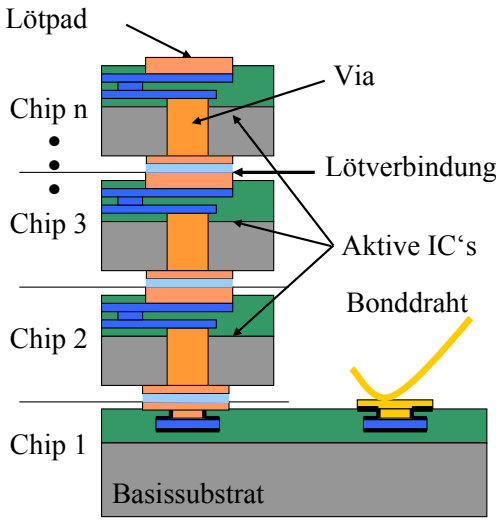
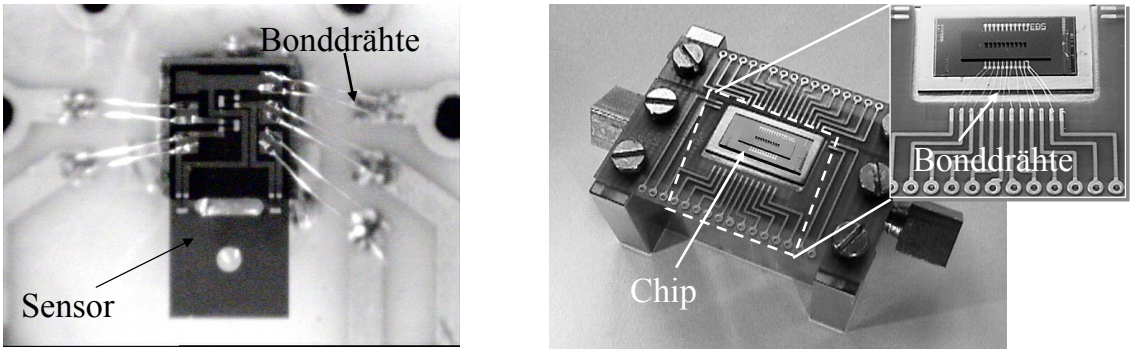


Abbildung 1.2: Schematische Darstellung der 3D-Integration.

Randbedingung für die Integrationstechnologie war, einen Backendprozeß zu entwickeln, der möglichst wenige Eingriffe in bestehende Prozesse der Schaltungsherstellung erfordert, sowie ein geringes Temperaturbudget unterhalb der Degradationsgrenze von CMOS-Schaltungen (350..400 °C).
Verwendung findet ein Ansatz mit gedünnten Siliziumsubstraten (Restdicke $< 10\,\mu\mathrm{m}$) und Kontaktlöchern, die von hinten durch das Substrat geätzt werden. Als Kontaktmetall sollte Kupfer verwendet werden, welches gleichzeitig als Lötmetallisierung für einen Niedertemperaturlötprozeß benutzt wird [10]. Die Technologie sollte zuerst nur an passiven Siliziumchips mit Kupferstrukturen und Isolation demonstriert werden, um diese zu bewerten und eine Entwicklung parallel zur Systementwicklung zu ermöglichen. Ein Zusammenfügen zum Gesamtsystem sollte anschließend erfolgen.

1.3 Diamant und Peripherie

In der Abteilung Elektronische Bauelemente und Schaltungen sind über die letzten Jahre hinweg Mikrosensoren und -aktoren auf Diamantbasis realisiert worden, die bisher nicht in Systeme integriert wurden [11, 12]. Daher bestand bei den bis jetzt demonstrierten mikromechanischen



a) b)

Abbildung 1.3: Beispiele zur Diamantintegration: (a) Diamant-Drucksensor (piezoresistiv); (b) Diamant-Flüssigkeits-Dispenser (Bubble-Jet) nach [13].

Elementen auf Diamantbasis immer das Problem, ein Interface zu Ansteuerschaltungen oder Ähnlichem zu realisieren.
Hierzu wurde meistens das Diamantelement zusammen mit der Schaltung oder einer Platine auf ein gemeinsames Substrat oder Träger aufgebracht. Die elektrischen Verbindungen wurden durch Drahtbonden hergestellt. Es liegt also eine hybride Integration vor, die aber bezüglich Platzverbrauch und Kontaktdichte ein unbefriedigendes Ergebnis liefert.
Abbildung 1.3 zeigt als Beispiele einen Diamantdrucksensor (Abb. 1.3-a) und einen Flüssigkeitsdispenser (Abb. 1.3-b) die auf konventionelle Art aufgebaut wurden. Vor allem in Abbildung 1.3-a fällt das Verhältnis von Bonddrähten und Strukturgeometrie auf. Bei optimierter Integration könnte die Grundfläche des Elementes mehr als halbiert werden. Weiterhin ist die Diamanttechnologie nicht kompatibel mit CMOS, so dass nur hochkomplexe hybride Ansätze möglich sind.
Basierend auf der für Siliziumsubstrate entwickelten Technologie soll in dieser Arbeit ebenfalls eine effiziente Art der Integration von Diamantelementen mit z.B. Ansteuerschaltungen oder beliebigen anderen Systemkomponenten demonstriert werden.

Verwendung finden sollen hierbei intrinsische[7] nanokristalline Diamantschichten auf Silizium, die zur Herstellung eines UV-Sensors dienen. Dies hat den Vorteil, dass die rein passiven Elemente (Silizium mit Isolator und Metallisierung), die zur Demonstration der 3D-Integrationstechnologie Verwendung finden, in Richtung eines Bildverarbeitungssytemes erweitert werden

[7] intrinsisch soll hier heissen: nominell undotiert

können. Hierdurch soll demonstriert werden, dass die Integrationstechnologie prinzipiell auf verschiedene Materialsysteme anwendbar ist. Zusätzlich wird die Kombination von Diamant mit konventionellen Technologien ermöglicht, was bislang nur mittels erhöhtem Mehraufwand realisierbar war.

1.4 Gliederung der Arbeit

Diese Arbeit gliedert sich in 6 Kapitel. In **Kapitel 2** sollen zunächst die Vorteile, die eine Systemintegration bieten kann, sowie die Eigenschaften einer dreidimensionalen Integrationstechnologie diskutiert werden. **Kapitel 3** zeigt verschiedene Strategien zur dreidimensionalen Integration auf und beleuchtet Alternativen für die einzelnen Prozeßschritte. Die Schlüsselprozesse für die hier entwickelte Technologie sind in **Kapitel 4** erläutert.
Als Anwendungsbeispiel wurde die Technologie zur Herstellung eines 3D-integrierten Diamant-UV-Sensor-Demonstrators verwendet, der in **Kapitel 5** beschrieben wird. **Kapitel 6** gibt dann die Zusammenfassung und einen Ausblick auf weitere Aspekte der Integrationstechnologie. Zusätzliche Details zur technologischen Realisierung der einzelnen Schritte finden sich in Kapitel B im Anhang.

Kapitel 2

Eigenschaften integrierter Systeme

Im folgenden Kapitel sollen einige grundlegende Eigenschaften und Vorteile einer dreidimensionalen Integrationstechnologie aufgezeigt werden. Weiterhin soll der Unterschied zwischen monolithischer (SoC) und hybrider[1] (SiP) Integration anhand einiger Beispiele aus der Literatur verdeutlicht werden.

2.1 Vorteile der dreidimensionalen Integration

2.1.1 Größe des Systems

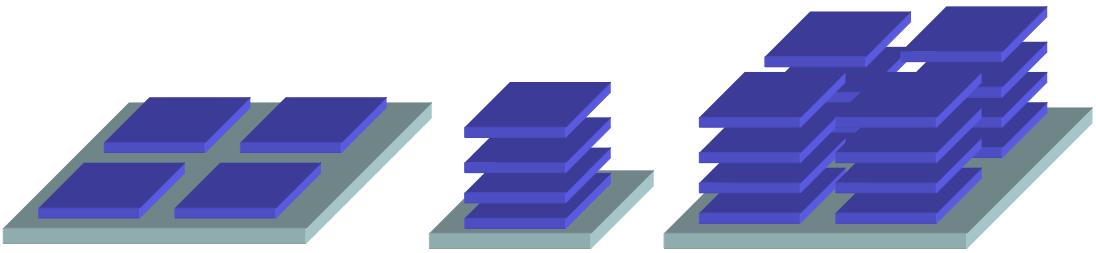


Abbildung 2.1: Platzverbrauch eines 2D-Modules (Multi-Chip-Modul) (a) im Vergleich zu einem 3D-Modul mit gleichem Umfang (b) bzw. einem 3D-Modul mit n-fach erhöhter Funktionalität (c) [14].

Durch die Verwendung eines dreidimensionalen, im Vergleich zu einem zweidimensionalen Integrationsansatz ist eine effiziente Verringerung des Gewichtes und vor allem der Größe (Grundfläche und Volumen) des fertigen Systemes erreichbar. Abbildung 2.1-a zeigt anschaulich den Platzbedarf eines herkömmlichen 2D-Systems im Vergleich zu einem 3D-System mit

[1] Hybride Integration wird in der Literatur auch teilweise als heterogene Integration bezeichnet als direkter Gegensatz zu monolithisch.

gleichem Funktionsumfang (Abb. 2.1-b). Man erkennt, dass mit verringerter Grundfläche die selbe Funktion, bzw. mit der selben Grundfläche ein mehrfach erhöhter Funktionsumfang erreicht werden kann (Abb. 2.1-c). In wieweit sich die Packungsdichte erhöhen lässt hängt von der Dichte der vertikalen Kontakte, sowie der maximalen Anzahl an stapelbaren Substraten ab. Besonders bei portablen Anwendungen gewinnt eine Reduzierung von Systemgröße und -gewicht zunehmend an Bedeutung.

2.1.2 Verringerung der elektrischen Verbindungslängen

Einer der Hauptvorteile bei der Verwendung einer 3D-Integrationstechnologie besteht in der Möglichkeit minimal kurze elektrische Verbindungen zu erreichen. Eine schematische Darstellung der Verbindungsgeometrie bei 2D- und 3D-Integration zeigt Abbildung 2.2.
Bei der 3D-Integration besteht die Möglichkeit, zusätzlich zu den Verbindungen über die Peripherie, direkt vertikal zwischen den einzelnen Lagen Kontakte herzustellen und so die Länge der Verbindungen zu reduzieren. Zusätzlich ist es möglich die Anzahl der Verbindungen zwi-

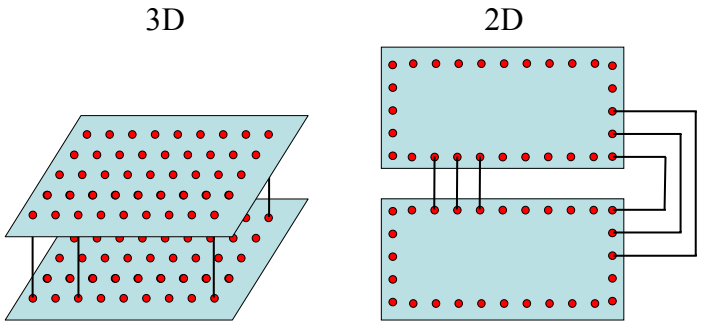


Abbildung 2.2: Vergleich einer 3D-Verbindungsstruktur (mit Durchkontaktierungen) und einer 2D-Struktur (eine Verbindungsebene) [14].

schen zwei Systemteilen zu erhöhen. Die Länge der elektrischen Verbindungen wird hierbei vor allem durch die mechanischen Verbindungen der Lagen, die z.B. mittels Löten oder Thermokompression hergestellt werden können, und bei der Verwendung von durchkontaktierten Substraten, durch die Restdicke der Substrate bestimmt. Minimal kurze elektrische Verbindungen haben positive Auswirkung auf eine Reihe von Schaltungseigenschaften auf die im folgenden kurz eingegangen werden soll.
In der Theorie wird eine beliebige Leitung im Allgemeinen mit einem Ersatzschaltbild ähnlich dem in Abbildung 2.3 gezeigten beschrieben [15]. Die elektrischen Eigenschaften der Leitung werden dabei durch die längenbezogenen Werte R', L', G' und C' für den Widerstand-, Induktivitäts-, Leitwert- und Kapazitätsbelag dargestellt.
Aus den eindimensionalen Differentialgleichungen für die Spannung und den Strom auf der

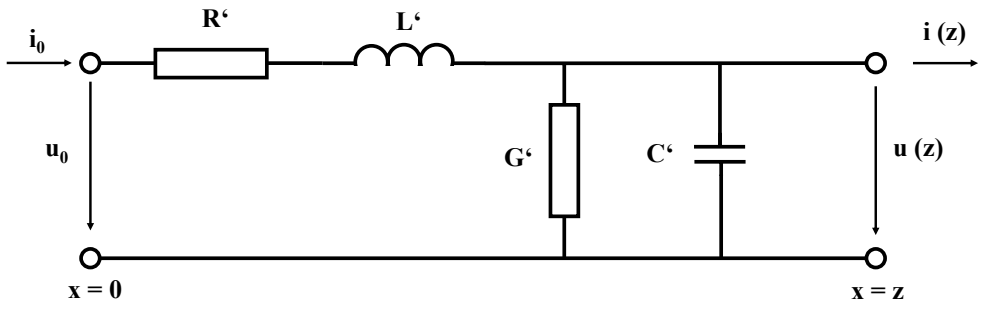


Abbildung 2.3: Allgemeines Ersatzschaltbild einer Leitung der Länge z.

Leitung ($\frac{dU(x)}{dx} = -Z \cdot I(x)$, $\frac{dI(x)}{dx} = -Y \cdot U(x)$) ergibt sich dann z.B. nach [16]:

$$U(x) = U_A \cdot e^{-\Gamma x} + U_B \cdot e^{\Gamma x}, \tag{2.1}$$

und

$$I(x) = I_A \cdot e^{-\Gamma x} + I_B \cdot e^{\Gamma x}. \tag{2.2}$$

Wobei für die Ausbreitungskonstante Γ folgendes gilt:

$$\Gamma = \sqrt{Z \cdot Y} = \sqrt{(R' + j\omega L')(G' + j\omega C')} = \alpha + j\beta\,. \tag{2.3}$$

Der Realteil α ergibt sich somit zur Dämpfungskonstante, β hingegen beschreibt den Verlauf der Phase. Für die charakteristische Impedanz Z_0 der Leitung erhält man entsprechend

$$Z_0 = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}\,. \tag{2.4}$$

Signalverzögerung

Die fundamentale Grenze für die Ausbreitung eines Signales liefert die Geschwindigkeit einer elektromagnetischen Welle im Vakuum

$$c_0 = \frac{1}{\sqrt{\mu_0 \cdot \varepsilon_0}}\,. \tag{2.5}$$

Für die Ausbreitung in einem beliebigen Medium ergibt sich daraus abgeleitet

$$c = \frac{c_0}{\sqrt{\mu_r \cdot \varepsilon_r}}\,. \tag{2.6}$$

Dementsprechend ergibt sich für die minimale Laufzeit τ eines Signales über den Leitungsweg z [17]:

$$\tau \geq \frac{z}{c}\,. \tag{2.7}$$

Wie bereits erwähnt, beschreibt der Imaginärteil von Γ die Phase des Signals, und damit das zeitliche Verhalten. Bei einer verlustfreien Leitung (R' = G' = 0) ergibt sich mit dem oben beschriebenen Leitungsmodell für die Verzögerungszeit $\tau = \frac{\beta}{\omega} = \sqrt{L' \cdot C'} \cdot z$. Bei verlustbehafteten Leitungen ergibt sich laut Formel 2.3 ein komplizierterer Zusammenhang. Diese Verzögerungszeit hat vor allem bei hochfrequenten Signalen Einfluß auf die Geometrie der Signale (Pulsflanken).
Innerhalb eines Schaltungsteiles gilt meistens L' ≈ 0 und G' ≈ 0, d.h. keine induktiven Verluste und keine Leckströme. Damit wird nur die RC-Konstante der elektrischen Verbindungen, die quasi aufgeladen werden müssen, relevant. Aus empirischen Untersuchungen erhält man [18]

$$\tau \approx 0,35 \cdot R'z \cdot C'z = 0,35 \cdot R'C' \cdot z^2 \,, \tag{2.8}$$

d.h. die Verzögerungszeit ist proportional zum Quadrat der Leitungslängen. Da für lange Verbindungen bei der Verwendung von n Schaltungslagen sich die durchschnittliche Verbindungslänge um den Faktor $\sqrt{n}$ reduziert, ergibt sich mit $z_2 = \frac{1}{\sqrt{n}} \cdot z_1$ eine Verringerung um einen Faktor n auf $\tau_2 = \tau_1 \cdot \frac{1}{(\sqrt{n})^2} = \tau_1 \cdot \frac{1}{n}$ [19].
Für die in dieser Arbeit verwendete Geometrie mit einem Viaquerschnitt von 6 x 6 µm^2 und einer Vialänge von 10 µm ergibt sich ein theoretischer Widerstand von $R_{Via} \approx 5\,\text{m}\Omega$. Mit einem in [20] berechneten Wert für die Kapazität von ca. 100 fF ergibt sich aus Gleichung 2.8 ein Wert von $\tau_{theorie} \approx 5 \cdot 10^{-16}$ s. Nimmt man für R_{Via} einen Wert von ca. 1 Ω an, so ergibt sich als eine Art obere Abschätzung $\tau_R \approx 1 \cdot 10^{-13}$ s.

Verlustleistung

In dem oben beschriebenen Modell einer Leitung befinden sich zwei Energiespeicher, Kapazität C' und Induktivität L'. Die Energie, die in den Leitungsparametern L' und C' gespeichert wird, ergibt sich zu $E_V = CU^2$. Für die Leistung ergibt sich daraus [14]

$$P_V = fCU^2 \tag{2.9}$$

mit f als Betriebsfrequenz[2]. D. h. die Kapazität wir f-mal in der Sekunde umgeladen. Da die Kapazität C über C = C' $\cdot$ z von der Länge z der elektrischen Verbindung abhängt, ergibt sich für kürzere Verbindungen eine geringere Verlustleistung P_V.

Betriebsfrequenz und Bandbreite

Betrachtet man nochmals Gleichung 2.9, so erkennt man, dass die Verlustleistung auf der Leitung mit der Betriebsfrequenz zusammenhängt. Sind die Elemente C' und R' klein, so kann bei gleicher Verlustleistung eine höhere Betriebsfrequenz erreicht werden.

[2] Die Energie im Kondensator beträgt $\frac{1}{2}CU^2$. Durch Laden und Entladen ergibt sich der doppelte Wert.

Berechnet man die Übertragungsfunktion des Leitungselementes, so erhält man für deren Betrag

$$|G'(\omega)| = \frac{u(z)}{u_0} = \frac{1}{\sqrt{(1+R'G' - \omega^2 L'C')^2 + \omega^2 (R'C' + G'L')^2}}\,. \tag{2.10}$$

Wie bereits erwähnt kann man oft die Leckströme und Induktivitäten vernachlässigen und es ergibt sich (für L' = 0 und G' = 0) folgender vereinfachter Zusammenhang

$$|G'(\omega)| = \frac{1}{\sqrt{1+\omega^2 (R'C')^2}}\,. \tag{2.11}$$

Daraus lässt sich für eine hohe Grenzfrequenz wiederum die Forderung nach kleinem Widerstand und damit kurzen Verbindungen ableiten. Daraus ergibt sich dann eine Grenzfrequenz von $f_G = \frac{1}{2\pi \cdot R'C'} = \frac{1}{2\pi \cdot \tau}$. Mit dem oben errechneten Wert für τ ergibt sich eine theoretische Grenzfrequenz von $f_{G,theorie} \approx 3 \cdot 10^{14}$ Hz. Mit einem erhöhten Widerstand R_{Via} ergibt sich analog $f_{G,R} \approx 1{,}6 \cdot 10^{12}$ Hz. Man erkennt, dass in dieser Technologie selbst bei erhöhtem Widerstand die elektrischen Verbindungen nicht begrenzend wirken.

Besonders bei Anwendungen mit hohem Datenaufkommen (z.B. Speicherzugriffen) oder für extrem parallele Signalverarbeitung ist eine hohe Bandbreite erforderlich. Wie in Abbildung 2.2 dargestellt, ist es mit einer dreidimensionalen Integrationstechnologie möglich zwischen einzelnen Systemteilen eine höhere Kontaktdichte zu erreichen, als bei herkömmlichen 2D-Systemen. Dies gewährleistet eine hohe Bandbreite (durch eine grosse Zahl realisierbarer Verbindungen) für kritische Schaltungsarchitekturen wie z.B. neuronale Netze.

2.1.3 Integration verschiedener Technologien

Neben der Verringerung der elektrischen Verbindungslängen ist die Möglichkeit der Kombination von beliebigen Systemteilen ein wichtiger Vorteil einer Integrationstechnologie. Die einzelnen Systemteile können hierbei auf verschiedenen Technologien beruhen (z.B. CMOS, Bipolar,...) oder auf verschiedenen Substraten (Si, GaAs,...) aufgebaut sein. Abbildung 2.4 zeigt beispielhaft, wie solche Systeme aussehen können. Hierbei können z.B. chemische Sensoren mit Auswerteelektronik, oder Antennenarrys mit HF-Schaltungen (Verstärker, Mixer) verbunden werden.
Entsprechend der verwendeten Substrate müssen die für die Integration erforderlichen Prozeßschritte an das Material angepasst werden (siehe auch Kapitel 3). Besonderes Augenmerk muß hierbei auch auf die mechanischen Eigenschaften der Substrate gelegt werden.
Die hier dargestellten Beispiele (Abb. 2.4) sind ausnahmslos Hybridintegrationen, wie auch die in dieser Arbeit entwickelte Technologie. Durchaus denkbar ist, dass einzelne Systemteile selbst aus monolithisch integrierten Systemen bestehen.

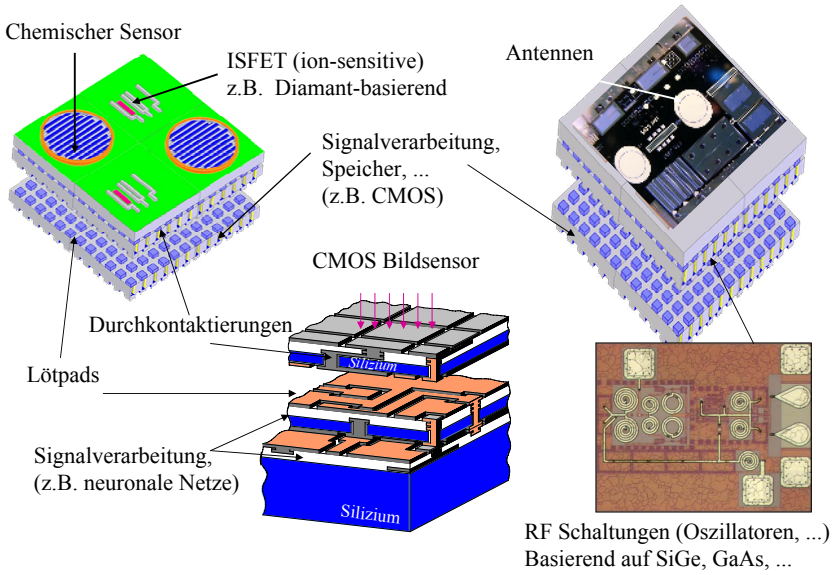


Abbildung 2.4: Beispiele für die Integration verschiedener Technologien.

2.2 Monolithische Integration und Hybridintegration

2.2.1 Monolithische Integration

Wie bereits der Name impliziert werden bei der monolithischen Integration alle Teile eines Systems auf dem selben Substrat realisiert. Ein bekanntes Beispiel hierfür ist die BiCMOS-Technologie, bei der Bipolar- und CMOS[3]-Transistoren auf dem selben Substrat in der gleichen Ebene realisiert werden. Dies bedeutet einen erhöhten Aufwand der nur betrieben wird, wenn die Vorteile beider Technologien (für CMOS: geringe Leistungsaufnahme, hohe Eingangsimpedanz, Bipolar: hohe Schaltfrequenzen, kurze Schaltzeiten, höhere Leistungsdichte) ausgenutzt werden sollen.
Relativ früh wurde versucht, einzelne Transisoren auf rekristallisiertem Polysilizium zu realisieren [21, 22]. Eines der ersten Systeme mit mehreren Lagen an Transistoren und Signalverarbeitung auf einem Substrat beschreiben Ohtake und Kioi [23, 24].
Abbildung 2.5 zeigt den Querschnitt des realisierten Bildsensors. Hierbei wurde auf einem Siliziumsubstrat ein Standard-NMOS-Prozeß durchgeführt. Anschließend wird auf einer Siliziumoxidschicht Polysilizium abgeschieden, und mittels Laserbestrahlung rekristallisiert. Man erhält eine SOI[4]-Schicht, in der wiederum Schaltungselemente hergestellt werden können. Die letzte Schicht bilden Photodioden als Sensorelemente des Bildsensors. Ein Problem hierbei stellen die relativ hohen Temperaturen von bis zu 900 °C dar, die auf die erste Lage mehrmals einwirken,

[3] **C**omplementary **M**etal **O**xide **S**emiconductor
[4] **S**ilicon **O**n **I**nsulator, (dt.) Silizium auf Isolator

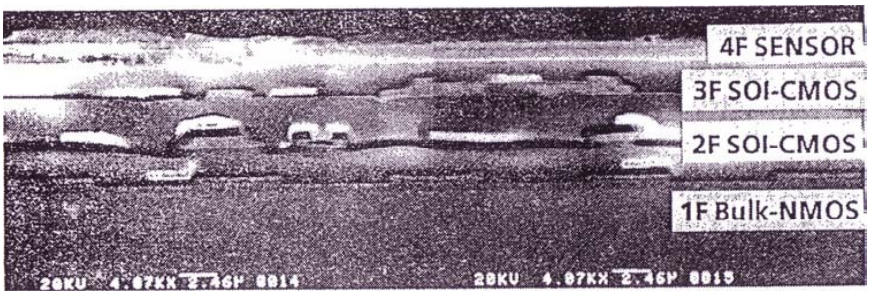


Abbildung 2.5: Monolithisch integrierter Bildsensor nach [23, 24]. © 1991 Elsevier.

und zu Problemen bei der Ausbeute (Degradation, Diffusion) führen [24].
Die Kombination von aktiven optischen Elementen mit elektronischen Schaltungen zeigt Abbildung 2.6. Bei der sogenannten ”Epitaxy-on-Electronics”-Technology werden zunächst auf einem GaAs-Substrat konventionelle MESFET[5]-Schaltungen, und z.B. auch Photodetektoren hergestellt. Für die spätere Kontaktierung einer LED wird eine Kontaktimplantation durchgeführt

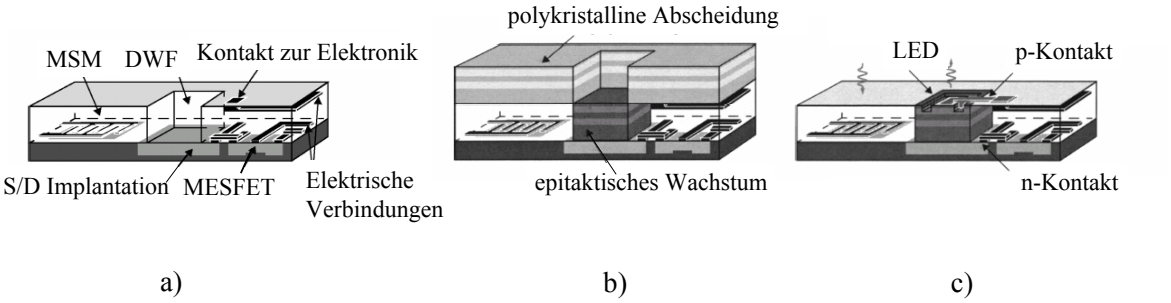


Abbildung 2.6: ”Epitaxy-on-Electronics”-Technologie nach [25, 26].

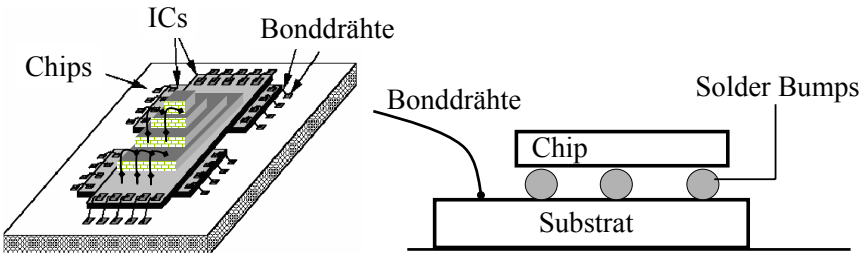
(Abb. 2.6-a). Mit einem Dielektrikum als Wachstumsmaske (DWF: **D**ielektrisches **W**achstums-**F**enster) wird die Epitaxie für die Leuchtdiode durchgeführt (Abb. 2.6-b). Auf dem Dielektrikum erhält man polykristalline Abscheidung (die einfach entfernt werden kann) im Gegensatz zum Substrat, auf dem epitaktisches Wachstum vorliegt. Die Kontaktierung der LED erfolgt zum einen von oben über einen Brückenkontakt und von unten über die Implantationsschicht. Das Problem an dieser Art der Integration ist, dass die Epitaxietemperatur an die Degradationsgrenze der GaAs-Schaltung ($T_D \approx 475\,°C$) angepasst werden muß. Dies führt zu massiven Problemen bei der Materialqualität und beeinflusst die Ausbeute des gesamten Systems [25, 26].

Bei monolithisch integrierten Systemen besteht die Grenze der realisierbaren Funktionalität in der verfügbaren Siliziumfläche. Mit kleiner werdenden Bauelementedimensionen kann dementsprechend auch die Funktionalität der Systeme erhöht werden. Die andere Möglichkeit besteht

[5] **ME**tal **S**emiconductor **F**ield **E**ffect **T**ransistor, (dt.) Metall-Halbleiter Feldeffekttransistor

darin, die aktive Chipfläche zu erhöhen. Dies kann jedoch aufgrund von Ausbeuteschwierigkeiten zu erhöhten Kosten für ein solches System führen [27].

2.2.2 Hybridintegration bzw. Packaging-basierte Integration



a) b)

Abbildung 2.7: Beispiele für Hybrid-Integration: (a) elektrische Verbindungen über Bonddrähte, Chips geklebt; (b) elektrische und mechanische Verbindung mittels ”solder bumps”.

Im Gegensatz zur monolithischen Integration liegen bei der Hybridintegration die einzelnen Systemteile auf verschiedenen Substraten vor. Dies können im einzelnen konventionelle Leiterplatten mit SMD[6]-Bauteilen, Halbleitersubstrate, oder ähnliches sein. Hier gibt es alle denkbaren Varianten die auch ausgiebig in der Literatur beschrieben werden [14, 28, 29].
Für die mechanische und elektrische Verbindung der einzelnen Systemkomponenten gibt es verschiedene Möglichkeiten, die z.T. auch in Kapitel 3 diskutiert werden. Als Beispiele sollen hier die elektrische Verbindung durch Bonden (Abb. 2.7-a) mit geklebten Einzelchips, sowie das Löten (mechanische und elektrische Verbindung) mit Lötkugeln (”solder bumps”; Abb. 2.7-b) angeführt werden. Ein wichtiger Nachteil hierbei ist, dass die Anzahl der Lagen bei herkömmlichen Realisationsansätzen oftmals begrenzt ist.

2.2.3 Vergleich: monolithische und hybride Integration

Wie oben gezeigt sind bei der monolithischen Integration zum Teil starke Eingriffe in den Standardprozeß der Schaltungsherstellung notwendig. Dies führt zu erhöhten Herstellungskosten und teilweise verringerter Ausbeute.
Weiterhin müssen Einschränkungen bezüglich der Leistungsfähigkeit der einzelnen Teile des Systems in Kauf genommen werden, da eine unabhängige getrennte Optimierung aufgrund des gemeinsamen Substrates nicht möglich ist. Dies führt natürlich zu Problemen, wenn eine Kombination aus elektrischen und optischen Elementen, oder gar mit chemischen Sensoren durchgeführt werden soll. Ein maximal leistungsfähiges System ist im Allgemeinen nicht erreichbar. Im Gegensatz dazu ist der Vorteil bei einer Hybridintegration, dass an den einzelnen Teilen

[6] **S**urface **M**ount **D**evice, (dt.) auf der Oberfläche liegendes Bauelement

des Systems zur Durchführung der Integration nur geringe oder gar keine Änderungen vorgenommen werden müssen. Einzelne Komponenten können getrennt optimiert werden um ein ideales Ergebnis zu erzielen. Dies wird allerdings oft mit einem erhöhten Abstand der Systemkomponenten bzw. -lagen, im Vergleich zur monolithischen Integration, und dadurch längeren elektrischen Verbindungen erkauft.
Eine erfolgreiche Integrationstechnologie bedeutet einen Kompromiss zwischen Eingriffen in die Grundprozesse, Ausbeute und Verbesserung der Systemeigenschaften durch die Integration. Hierbei haben relativ unveränderte Grundprozesse aus Kostengründen einen Vorteil gegenüber massiven Eingriffen in die bestehenden Produktionslinien.
Außerdem soll die Integrationstechnologie die Kombination von möglichst vielfältigen Materialien und darauf basierenden Bauelementen ermöglichen, um ein optimales Ergebnis erzielen zu können.

Kapitel 3

Strategien für eine dreidimensionale Integrationstechnologie

Für eine erfolgreiche dreidimensionale Integration ist es notwendig, bestimmte technologische Prozessschritte durchzuführen, wobei es verschiedene Strategien gibt, die sich nach Aufwand und gewünschtem Endergebnis unterscheiden. Weiterhin müssen auch die gegebenen Vorbedingungen bezüglich der Variation von vorhandenen Grundprozessen[1] beachtet werden.
Randbedingung für die hier entwickelte Technologie war, dass sie ein ”Backend”-Prozeß sein muß (d.h. die Schaltungen sind bereits fertig), und somit Temperaturen von maximal 350 °C bis 400 °C zulässig sind. Dies führt zum Ausschluss bestimmter Prozesse die teilweise einfachere Lösungen bieten würden (z.B. thermische Oxidation zur Isolatorerzeugung).
Zusätzlich soll hier auf den Stand der Technik eingegangen werden und die industriell verwendeten Prozeßflüsse diskutiert werden. Hierbei handelt es sich fast ausschließlich um ”Backend”-Prozesse, die ebenfalls nur ein bestimmtes Temperaturbudget aufweisen dürfen. Vereinzelt sind hierbei schon einzelne Produkte geplant, die dreidimensional aufgebaut sind, teilweise sind die Prozesse erst in der Erprobungsphase. Jedoch gibt es im Moment noch keine Ansätze, die eine dreidimensionale Integration auf beliebigen Substratmaterialien ermöglicht.

Abbildung 3.1 zeigt ein allgemeines Flussdiagramm für einen 3D-Integrationsprozess. Bei einem ”Backend”-Prozeß sind dementsprechend die Schaltungen komplett fertig gestellt. Eventuell sind geringe Änderungen am Substrat vor der Schaltungsherstellung möglich. Grundsätzlich gibt es nun die Möglichkeit die erforderlichen Prozesse an ganzen Wafern durchzuführen, oder diese in Chips bestimmter Größe aufzuteilen. Die Waferprozesse werden hierbei vor allem von industriellen Anwendern bevorzugt, da sie eine Batch-Prozessierung und damit die Verwendung von Standardgeräten ermöglichen.
Bei der eigentlichen Verbindung (elektrisch und mechanisch) der Lagen eines Stapels (Mini-

[1] Als Grundprozeß werden hier die in einer Fabrik standardmäßig durchgeführten Prozeßschritte zur Herstellung der eigentlichen Schaltung (CMOS, Bipolar, SiGe,..) bezeichnet.

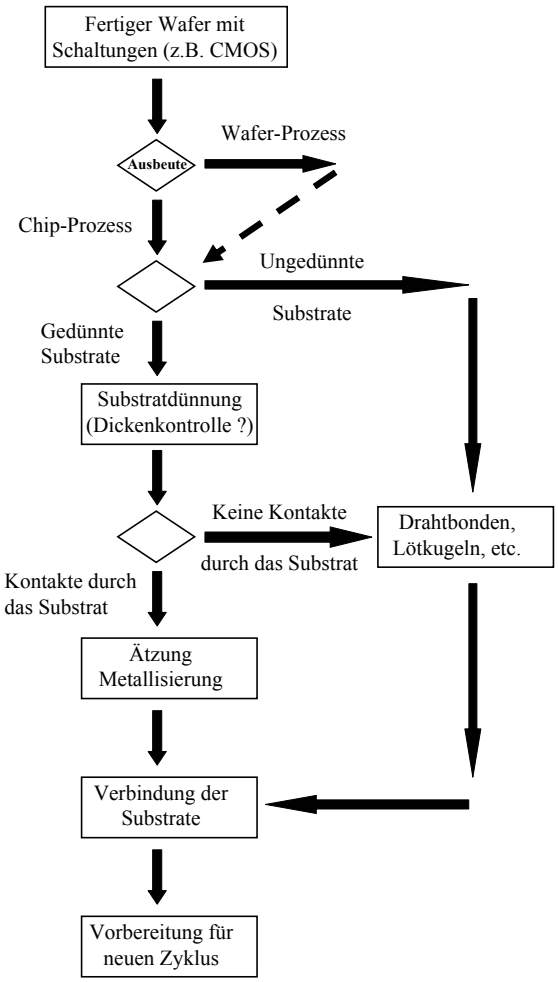


Abbildung 3.1: Allgemeines Flussdiagramm einer 3D-Integration

mum: 2) kann es eventuell nachteilig sein, wenn ganze Wafer miteinander verbunden werden. Probleme, die hierbei beachtet werden müssen, sind zum Beispiel [30]:

- Chipflächendifferenzen zwischen Basischip und Topchip, die zu verschwendeter Waferfläche führen;
- (in)homogener Topographieverlauf über die gesamten Waferflächen;
- (nicht) angepasste thermische Ausdehnungskoeffizienten der Wafer;
- Ausbeutedominanz durch Wafer mit geringerer Ausbeute.

Weiterhin gibt ein Ansatz bei dem eine Chip-zu-Wafer-Verbindung angestrebt wird den Vorteil, dass die Einzelchips zuvor getestet werden können (known-good-die) und so die Ausbeute erhöht werden kann [31]. Aus diesen Gründen ist oftmals ein Ansatz, bei dem Einzelchips mit

einem Wafer verbunden werden vorteilhafter.
Um möglichst kurze elektrische Verbindungen zu erhalten wird bei den meisten Ansätzen zur 3D-Integration eine Substratdünnung durchgeführt. Diese ist vor allem bei der Verwendung von Durchkontaktierungen durch das Substrat unumgänglich. Alternativ können Verbindungen über die Peripherie, z. B. durch Drahtbonden hergestellt werden.
Für Durchkontaktierungen ist weiterhin eine Herstellung von Vias durch das Substrat (Silizium) notwendig, wobei verschiedene Alternativen angewendet werden können (siehe auch Kapitel 3.3).
Allen Integrationsansätzen gemeinsam ist, dass die einzelnen Lagen in einem Stapel neben den elektrischen Verbindungen auch mechanisch miteinander verbunden werden müssen. Dies erfolgt meist gleichzeitig mit der elektrischen Verbindung oder durch die zusätzliche Verwendung von z. B. Klebstoffen.
Essentiell ist weiterhin, dass das Stapeln von Chips bzw. Wafern mehrmals durchgeführt werden kann. Deshalb sind teilweise zusätzliche Schritte notwendig bevor ein weiterer Integrationszyklus beginnen kann.

3.1 Industriell verwendete Prozessabläufe

Abbildung 3.2 zeigt das Flussdiagramm einer stark vereinfachten Integrationstechnologie. Hierbei werden die Substrate entweder zuerst mechanisch verbunden und dann die elektrischen Verbindungen durch Drahtbonden hergestellt, oder es werden konventionelle Lötkugeln für die Chipverbindungen verwendet. Benutzt wird dieser Ansatz z.B. von Amkor Technology [32]. Neben einzelnen Chips wird der selbe Ansatz auch benützt, um fertige gehäuste Schaltungen

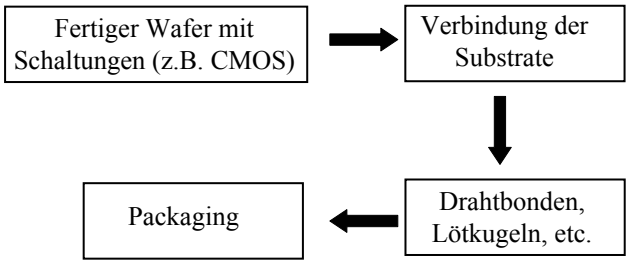


Abbildung 3.2: Flussdiagramm einer einfachen 3D-Integration (Verwendet von z.B. Amkor Technology Inc. [32])

zu Stapeln. Verwendung findet diese Technik bei der Herstellung von portablen Anwendungen, sowie EEPROM- oder DRAM-Speichern.
Die Firma Freescale Semiconductor verwendet einen ähnlichen Ansatz, auch mit gedünnten Substraten, um die mechanischen Spannungen die auf die elektrischen Verbindungen ausgeübt werden, zu reduzieren [33, 34]. Dieser Ansatz schöpft nicht alle Vorteile einer 3D-Integration aus und ermöglicht lediglich ein Umverdrahten (”Re-Routing”) der elektrischen Verbindungen.

Ein typischer Integratonsablauf wie er oftmals, mit kleinen Variationen, in der Industrie (und auch an industrienahen Forschungsanstalten) verfolgt wird ist in Abbildung 3.3 dargestellt. Hierbei erfolgt die Ätzung und Metallisierung der Viakontakte direkt nach der Herstellung der

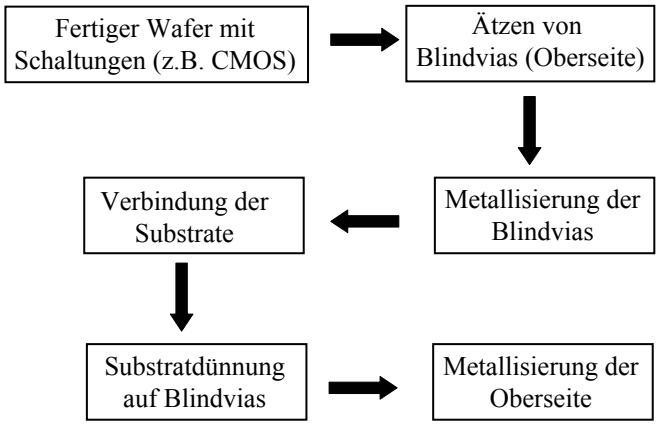


Abbildung 3.3: Typisches Flussdiagramm einer 3D-Integration mit Durchkontaktierungen (Verwendet von z.B. Tezzaron [35])

aktiven Schaltungen. Die Verbindung der einzelnen Lagen kann wie bei Tezzaron's FaStack Technology® mittels Waferbonding bei reduzierten Temperaturen von kleiner 400 °C erfolgen [35]. Andere Varianten verwenden Klebeschichten aus z.B. BCB mit zusätzlichen Cu-Pads zur elektrischen Verbindung [36] oder Mikrolötkontakte (ZyCube Inc. [37]).
Die darauf folgende Substratdünnung wird dann mittels mechanischen, chemischen und kombinierten Prozessen durchgeführt. Typische Restdicken liegen hierbei zwischen 50 µm (Samsung [38]) und 10 µm (Tezzaron [35]). Die Viaherstellung erfolgt im allgemeinen mittels Trockenätzung, wohingegen Samsung ein erstes Produkt mit gelaserten Vias entwickelt [38].
Die demonstrierten Stapelhöhen liegen im Moment im Bereich von 8 (Substratdicke ca. 50 µm, Samsung) bis 10 (Substratdicke ca. 20 µm, ZyCube) Chips. Bei den angeführten Beispielen werden fast ausschließlich Einzelchips für den Stapelaufbau verwendet. Einzig Tezzaron benutzt einen kompletten Waferlevelprozess und führt das Vereinzeln erst ganz am Ende des Fertigungszyklusses durch.
Ein leicht variierter Prozess wird von EV Group verwendet [39]. Hierbei erfolgt die Fertigung der Vias erst nach der Verbindung von Chip und Basissubstrat. Zur Verbindung werden hierbei Polyimidschichten oder Mikrolötverbindungen verwendet [30]. Die Ätzung der Vias erfolgt senkrecht durch die aktiven Schichten des Wafers (wie auch bei den anderen Beispielen) so dass dort keine Schaltungsstrukturen vorhanden sein können.

Prinzipiell gibt es bei den verschiedenen technologischen Ansätzen den Unterschied, ob die Vias zu Beginn der Prozessierung (FEOL[2]) oder am Ende (BEOL[3]) hergestellt werden. Für

[2] **F**ront-**E**nd-**O**f-**L**ine
[3] **B**ack-**E**nd-**O**f-**L**ine

FEOL-Vias, wie sie z.B. von Tezzaron verwendet werden, erfolgt die Prozessierung während der Herstellung der elektrischen Verbindungen z.B. mit Prozessen die auch für DeepTrench-Kapazitäten Anwendung finden.
Für die BEOL-Viaherstellung können die Vias vor der Substratdünnung hergestellt werden (z.B. ZyCube in Tokio) oder nachdem die Chip-Chip- bzw. Chip-Wafer-Verbindung breits durchgeführt wurde (z.B. IBM Research) [31]. Bei BEOL-Vias müssen bei den meisten Ansätzen Waferbereiche für die Vias ausgespart werden.

3.2 Entwickelter Prozessablauf

Der in dieser Arbeit entwickelte Prozessablauf beruht zum großen Teil auf Prozessen die sich in der Halbleiterfertigung bereits bewährt haben. Ziel dieser Arbeit war es, eine möglichst ein-

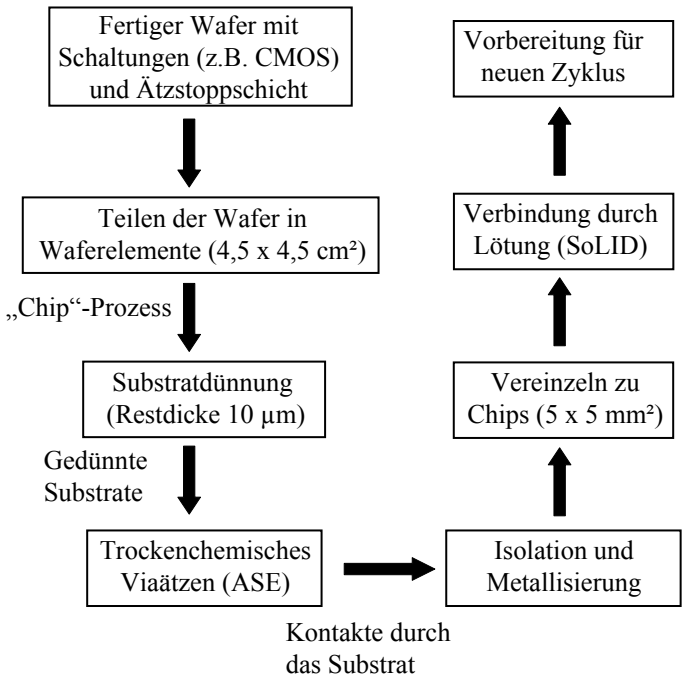


Abbildung 3.4: Flussdiagramm zu dem in dieser Arbeit entwickelten Prozess

fache funktionierende Abfolge von Schritten zu ermitteln die eine erfolgreiche 3D-Integration gewährleisten. Abbildung 3.4 zeigt das Flussdiagramm zu dem hier entwickelten Prozess.
Verwendet werden sollten Wafer mit einer Standard-CMOS-Prozessierung, wobei die Charakterisierung der Technologie an passiven Teststrukturen (Silizium, Isolatoren und Metallisierungen) erfolgen sollte. Es wurde darauf geachtet, dass sämtliche Prozesse kompatibel zu CMOS-Schaltungen sind. Angestrebt wurde ein möglichst geringes Temperaturbudget, so dass

eine Übertragung der Technologie auch auf andere Materialsysteme möglich bleibt.
Vor der Herstellung der Schaltungen (oder passiven Strukturen) wird hier jedoch eine Siliziumepitaxie auf den Standardwafern (n-Silizum, $N_D \approx 10^{16}$ cm^{-3}) notwendig. Diese besteht aus einer dünnen Schicht hoch-bordotiertem Silizium die bei der Substratdünnung als Ätzstoppschicht verwendet wird. Darauf folgt eine weitere Siliziumepitaxie, welche mit ihrer Dicke die Restdicke der gedünnten Waferelemente bestimmt. Die Dotierung kann entsprechend den Anforderungen der zu realisierenden Schaltungen gewählt werden. Durch die Verwendung der Ätzstoppschicht erhält man eine ausgezeichnete Dickenkontrolle nach der Dünnung die über die gesamte Waferfläche konstant ist. Dies erleichtert sämtliche darauf folgenden Prozessschritte

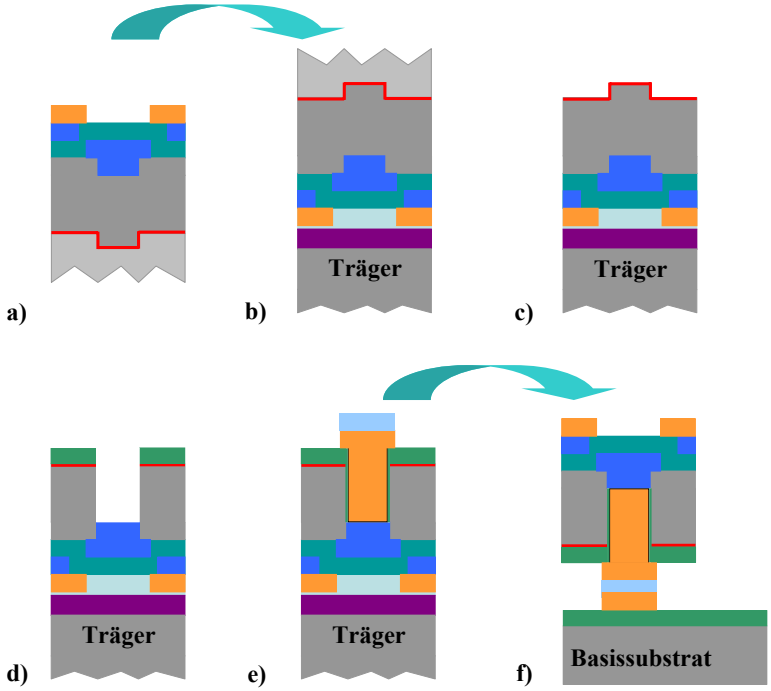


Abbildung 3.5: Veranschaulichung des prinzipiellen Prozessablaufs anhand schematischer Querschnitte: (a) vorprozessierter Wafer mit Ätzstoppschicht und CMOS bzw. passiven Strukturen; (b) Teilen der Wafer in Waferelemente und Aufbringen auf ein Trägersubstrat; (c) mechanisches und chemisches Dünnen bis zum Erreichen der Ätzstoppschicht; (d) Viaätzung mittels ASE^4-Prozess; (e) Isolation und Metallisierung der Vias; (f) Vereinzeln zu Chips und Lötung auf Basissubstrat.

und ermöglicht prinzipiell die Durchführung der Integration mit kompletten Wafern.
Für die passiven Strukturen erfolgt anschließend die Deposition eines Isolators auf der Siliziumoberfläche, sowie die Erzeugung der Metallstrukturen (siehe Abbildung 3.5-a).
Für die Substratdünnung wird ein kombinierter Prozess aus mechanischem und chemischem Dünnen verwendet, der wie schon erwähnt auf der Ätzstoppschicht stoppt. Vor der Substratdünnung werden die Waferelemente auf einen Träger aufgebracht, der die mechanische Unterstützung während der Prozessierung gewährleistet und am Ende des Prozesszyklusses wieder

entfernt werden kann (Abbildung 3.5-b,c).
Trockenchemisches ASE[4] wird verwendet, um die Vias von der Rückseite aus durch das Silizium zu ätzen. Das durch die Substratdünnung verringerte Aspektverhältnis begünstigt hierbei eine schnelle Ätzung mit senkrechten Seitenwänden. Die Ätzung erfolgt hierbei von der Rückseite, damit kein zusätzlicher Platz für das Routing der integrierten Schaltungen verloren geht (im Gegensatz zu z.B. bei [40]).
Für die Metallisierung wird galvanisch abgeschiedenes Kupfer verwendet, das neben seinen guten elektrischen Eigenschaften (geringer spezifischer Widerstand) gleichzeitig den Vorteil hat auch ein Teil der Lötmetallisierung zu bilden. Als Isolator wird Niedertemperatur-Siliziumdioxid verwendet (Abbildung 3.5-d,e).
Für die elektrische und mechanische Verbindung der einzelnen Lagen des Chipstapels wird ein Diffusionslötverfahren, genannt SoLID[5], verwendet. Die Lötmetallisierung besteht hierbei aus dem vorhandenen Kupfer und zusätzlich abgeschiedenem Zinn. Durch dieses Verfahren erhält man Verbindungen die bis weit oberhalb der Löttemperatur stabil sind. Hierdurch ist ein wie-

Prozeßschritt	Gewählte Technologie	Grund
Dünnung	mechanisch + chemisch	**Ätzstopp**
Viaätzung	ASE	**senkrechte Ätzung**
Viaisolation	LT-PECVD-SiO_2	**LT**-Prozess
Viametall	Cu-Galvanik	**LT**-Prozess, **spez. Widerstand**
Chipverbindung	SoLID	**Temperaturstabilität**, **LT**-Prozess

Tabelle 3.1: Gewählte Varianten für einzelne Prozesschritte.

derholtes Löten ohne Lösen vorheriger Verbindungen möglich (siehe auch Abbildung 3.5-f). Nach Entfernung des Trägersubstrates kann jederzeit ein weiterer Chip auf den Stapel gelötet werden.
Tabelle 3.1 fasst die in dieser Arbeit gewählten Prozesse für die 3D-Integration zusammen (siehe auch Kapitel 4). Das Hauptaugenmerk wurde hierbei auf Niedertemperaturprozesse gelegt (**LT**-Prozesse), um die Übertragbarkeit der Prozessschritte von Silizium auf andere Materialien zu begünstigen.

Es liegt hier als ein hybrider Integrationsansatz vor, mit dem die 3D-Integration realisiert wird. Wie schon erwähnt kann dieser Ansatz auch auf andere Materialien erweitert werden. Neben der Entwicklung mit den passiven Siliziumstrukturen wurde eine Integration mit einem Diamant-UV-Sensor durchgeführt (Kapitel 5). Dies liefert den ersten Demonstrator für eine dreidimensional integrierte Diamantstruktur, die alle Vorteile eines solchen Ansatzes aufzeigt, und beweist die Übertragbarkeit auf andere Materialsysteme.

[4] Anisotropes Siliziumätzen
[5] **So**lid **L**iquid **I**nter**D**iffusion

3.3 Alternativen für einzelne Prozessschritte

Für die einzelnen Prozeßschritte bei einer dreidimensionalen Integration gibt es verschiedene Alternativen, die sich nach Aufwand und gewünschtem Endergebnis unterscheiden. Zu beachten sind weiterhin die gegebenen Vorbedingungen bezüglich der Variation von vorhandenen Grundprozessen.
Hier sollen einige Alternativen für einzelne Prozesschritte aufgezeigt werden, die in der Literatur vorkommen. Besonderes Augenmerk soll auf Prozesse gelegt werden, die mit der Siliziumtechnologie kompatibel sind. Zusätzlich sollen über die Chipfläche verteilt eine große Anzahl von Kontakten zwischen den verschiedenen Lagen realisiert werden können. Die diskutierten Technologieschritte im einzelnen sind:

- Dünnen des Wafers, bzw. Waferelements;
- Erzeugung der Vias von Vorder- zu Rückseite;
- Herstellung der elektrischen Kontakte durch die Vias;
- Verbindung der einzelnen Systemteile.

Die in dieser Arbeit verwendeteten Schlüsselprozesse (siehe Kapitel 3.2) sollen dabei in dem separaten Kapitel 4 näher behandelt werden.

3.3.1 Substratdünnung

Das Dünnen von Wafern, bzw. Chips ist mittlerweile eine Standardprozedur beim Packaging von ICs geworden. Hierbei wird bis zu einer Restdicke von 300 bis 100 µm gedünnt. Bei einer dreidimensionalen Integration dient das Dünnen der Wafer zur Reduzierung des Aspektverhältnisses, um das Metallisieren der Durchkontaktierungen zu erleichtern. Zusätzlich reduziert sich mit der Dicke der Wafer auch die Länge der elektrischen Verbindungen und somit die auftretenden Parasitäten, sowie die mechanische Belastung auf die Lötverbindungen.

Mechanisches Dünnen: ”Grinding”

Die einfachste Art der Substratdünnung besteht aus rein mechanischem Dünnen. Ähnlich dem Schleifen erfolgt beim Läppen (engl. grinding) eine Relativbewegung zwischen Probe und Läppscheibe durch die ein Materialabtrag hervorgerufen wird.
Während des Läppens wird der Substrathalter (mit der Probe) auf einem Probenhalter (Läppkopf) fixiert. Der Probenhalter besitzt eine Vorrichtung, die es ermöglicht die Kraft, und damit den Druck, mit der die Probe auf die Läppscheibe gedrückt wird einzustellen (Abbildung 3.6).
Zur Durchführung der Dünnung rotiert die Läppscheibe (z.B. aus Gusseisen) mit vorgegebener

Drehzahl. Der Läppkopf führt senkrecht dazu radiale Bewegungen aus, wobei pro Umdrehung der Läppscheibe deren Radius mehrmals abgefahren werden kann. Die Läppflüssigkeit, die den eigentlichen Materialabtrag bewirkt, wird direkt auf die Läppscheibe zugeführt. Für die Dün-

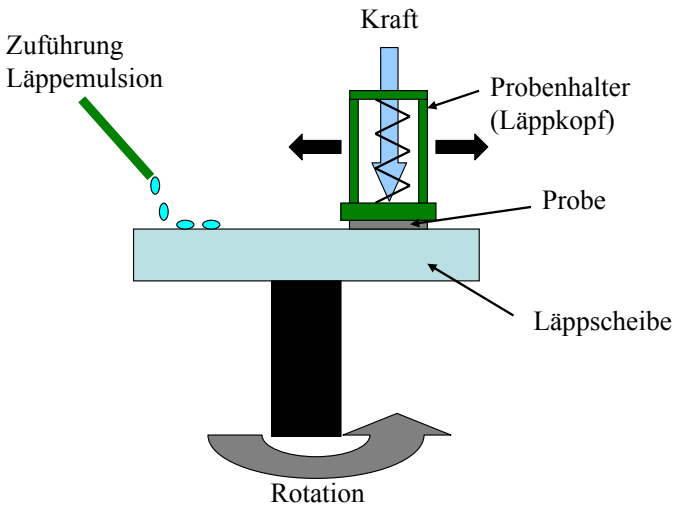


Abbildung 3.6: Prinzipskizze des Läppvorgangs

nung von Silizium wird z.B. eine Mischung aus Aluminiumoxidpulver und Wasser als Läppflüssigkeit verwendet (gebräuchliche Körnungen: 3 µm, 9 µm, 12 µm). Die Geschwindigkeit des Materialabtrages hängt neben der Körnung der Läppflüssigkeit auch vom Anpressdruck der Probe auf die Läppscheibe und von der Drehzahl der Scheibe ab.
Die Dicke der Probe wird relativ zum Substrathalter gemessen, welcher aus diesem Grunde eine hervorragende Planarität aufweisen muss. Bei modernen Geräten kann eine Homogenität in der Dicke der Probe von kleiner $\pm 0{,}5$ µm erreicht werden [41]. Die entstehenden Defekte an der Oberfläche sind je nach verwendetem Gerät im Bereich von einigen µm oder darunter [41]. Diese können durch chemisches Ätzen oder CMP[6] beseitigt werden.

Chemisch-Mechanisches Polieren (CMP)

Zur Beseitigung von Oberflächendefekten nach dem mechanischen Dünnen und zum Erreichen einer verbesserten Oberflächenrauigkeit, wir das Verfahren des Chemisch-Mechanischen Polierens eingesetzt. Hierzu wird neben dem rein mechanischen Materialabtrag noch eine chemische Komponente verwendet.
Eine gebräuchliche Lösung für das CMP von Silizium ist hierbei eine Mischung aus SiO_2-Partikeln, KOH und Wasser. Für das CMP wird ein Aufbau ähnlich dem in Abbildung 3.6 ver-

[6] **C**hemical **M**echanical **P**olishing, (dt.) chemisch-mechanisches Polieren

wendet. Die Züführung des Slurry (Poliermittel) erfolgt wiederum direkt auf die Polierscheibe, die z.B. aus Polyurethan bestehen kann. Die Größe der Partikel liegt typischerweise bei ca. 10 nm [42]. Verwendet wird meistens ein Anteil von 3 bis 4 % Partikeln in einer KOH-Lösung mit pH10 bis pH11 [43].
Während des CMP wird durch das Polieren zuerst das natürliche Oxid auf dem Silizium entfernt und danach das Silizium selbst geätzt. Die OH^--Gruppen werden durch die Siliziumoxidpartikel zum Substrat transportiert. Die durch Reibung zwischen Wafer und Polierscheibe erzeugte Wärme führt zur Oxidation des Siliziums [41, 44]:

$$Si + 4OH^- \rightarrow Si(OH)_4 + 4e^- \tag{3.1}$$

$$4H_2O + 4e^- \rightarrow 4OH^- + 2H_2 \tag{3.2}$$

Aus diesem Grund ist es wichtig die Temperatur während des CMP-Prozesses zu kontrollieren. Das entstandene $Si(OH)_4$ wird dann mechanisch durch die SiO_2-Partikel entfernt. Mit dieser Methode kann eine Dickenkontrolle im Bereich von ein bis zwei Mikrometern auf einem 8”-Siliziumwafer erreicht werden [41].
Weitergehende Untersuchungen zeigen einen generellen Anstieg der Siliziumabtragsrate mit steigendem pH-Wert der Lösung, wobei bei geringeren pH-Werten eine kleinere Rauigkeit der Oberfläche erreicht werden kann [45].
Ausser für die Siliziumdünnung wird CMP vor allem für die Planarisierungsschritte während der Prozessierung integrierter Schaltungen eingesetzt. Hier werden zum großen Teil Dielektrika und auch z.B. Kupfermetallisierungen behandelt.

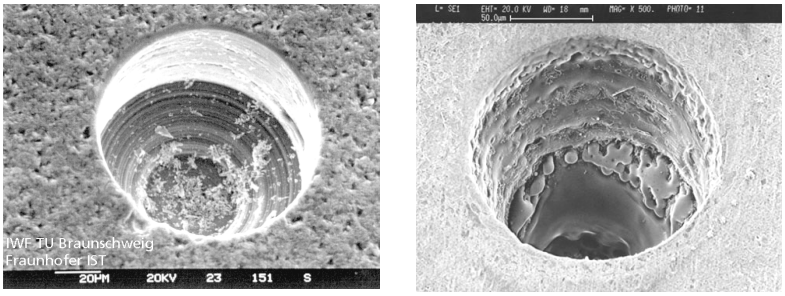
Trockenchemisches Plasmätzen

Silizium kann, wie auch andere Halbleiter, trockenchemisch im Plasma geätzt werden. Verwendet werden hier vor allem fluorhaltige Gas wie CF_4 oder SF_6. Letzeres findet vorwiegend bei hochaspektratigem Siliziumätzen Anwendung [46]. Im Plasma werden Fluorradikale erzeut, die sich dann mit atomarem Silizium verbinden. Die Reaktionsprodukte hierbei sind SiF_4 und ähnliches, die flüchtig sind und über die Abluft enfernt werden können. Parallele Prozessierung ist bei diesen Verfahren im Allgemeinen abhängig von der Anlagengröße bzw. der Anzahl der Anlagen.
Ohne die normalerweise benötigte Vakuumkammer kommt ein neues Verfahren aus, dass sich ADP (Atmospheric Downstream Plasma) nennt [47]. Hier erfolgt die Ätzung an Atmosphäre bei Temperaturen oberhalb von 160 °C, wobei das zu ätzende Substrat mit den Ätzgasen angeströmt wird. Als Ätzgase werden Argon und CF_4 verwendet. Dieses Verfahren kann neben der reinen Dünnung auch zum Glätten von Polierkratzern verwendet werden, wobei die Oberflächenqualität noch nicht mit konventionellem Ätzen vergleichbar ist.
Einen Plasmadünnungsprozess für Silizium bis zu einer Restdicke im Bereich von 10 nm zeigt z.B. [48]. Hier wird ein lokales Plasma verwendet, das jeweils nur einen kleinen Teil der Probe ätzt. Vor der Prozessierung wird die Dicke der Probe mittels Ellipsometrie gemessen und die

Restdicke festgelegt. Über eine numerische Steuerung erfolgt dann die Positionierung der Probe relativ zum Plasma, womit dann die Ätzdauer für jeden Punkt festgelegt wird. Als Ätzgase werden Helium, Sauerstoff und CF_4 verwendet womit eine Toleranz in der Restdicke von kleiner $\pm\,1\,\text{nm}$ erreicht wurde.

3.3.2 Herstellung der Vias zur Vorderseite

Ein essentieller Schritt bei der dreidimensionalen Integration ist die Herstellung der Kontakte (Vias) durch das Substrat. Das Resultat der jeweiligen Prozesse unterscheidet sich stark in der Geometrie der Kontaktlöcher, der erreichbaren Dichte und der Geschwindigkeit der Herstellung.



a) b)

Abbildung 3.7: Mechanische Viaherstellung im Silizium: (a) Mechanisches Bohren nach [49] ($\varnothing \approx 80\,\mu\text{m}$); (b) Gepulste Laser Ablation nach [50] ($\varnothing \approx 100\,\mu\text{m}$).

Mechanisches Bohren

Abbildung 3.7-a zeigt eine REM-Aufnahme eines mechanisch gebohrten Loches in Silizium. Entwickelt wurde diese Methode vom Fraunhofer Institut in Braunschweig. Diamantbesetzte Werkzeuge finden Verwendung um Löcher bis zu einem minimalen Durchmesser von 50 µm zu bohren [51]. Der Vorteil hierbei ist dass keine Lithographie notwendig ist, ein bekanntes Verfahren zugrunde liegt, und eine reproduzierbare Geometrie des Vias erreicht wird.
Nachteilig hingegen ist, dass es sich um einen seriellen Prozess handelt, und die minimal erreichbare Strukturgröße stark begrenzt ist. Dies macht die Technik eher für Nischenanwendungen interessant, wo nur eine kleine Anzahl von relativ großen Löchern notwendig ist.

Laserablation

Die Laserablation findet bereits Anwendung beim Schneiden von harten Materialien, herstellen von Löchern in Platinen u. ä. [52]. Weiterhin ist es schon auf Halbleitermaterialien wie SiC oder

GaN gezeigt worden [53]. Während des ”Bohrens” wird ein gepulster Laserstrahl auf die zu bearbeitende Stelle fokusiert. Dabei wird das Material aufgeheizt und verdampft (Ablation); die Wellenlänge des Lasers muß hierbei an die Bandstruktur des Materials angepasst werden [54]. Vorteil hierbei ist wiederum das Fehlen der Lithographie und das einfache, leicht zu kontrollierende Funktionsprinzip. Weiterhin kann es für verschiedene Materialien angewendet werden und es können auch relativ kleine Viadurchmesser ($< 10\,\mu m$) erreicht werden [55].
Der Nachteil besteht in der lokalen Überhitzung des Materials die zu Defekten und zur Zerstörung elektrisch aktiver Elemente führen kann. Außerdem besteht die Möglichkeit, dass sich das verdampfte Material an anderer Stelle auf der Probe niederschlägt.
Wie das mechanische Bohren handelt es sich hier um einen seriellen Prozeß, der für das Herstellen sehr vieler gleichartiger Vias aufwändig und langwierig durchzuführen wäre. Wie Abbildung 3.7-b zeigt, ergeben sich z.T. auch relativ rauhe Seitenwände, die für bestimmte Prozeßfolgen ungünstig sein können. Trotzdem gibt es erste 3D-Produkte die Vias verwenden, die mit Laser hergestellt wurden [38].

Naßchemisches Ätzen

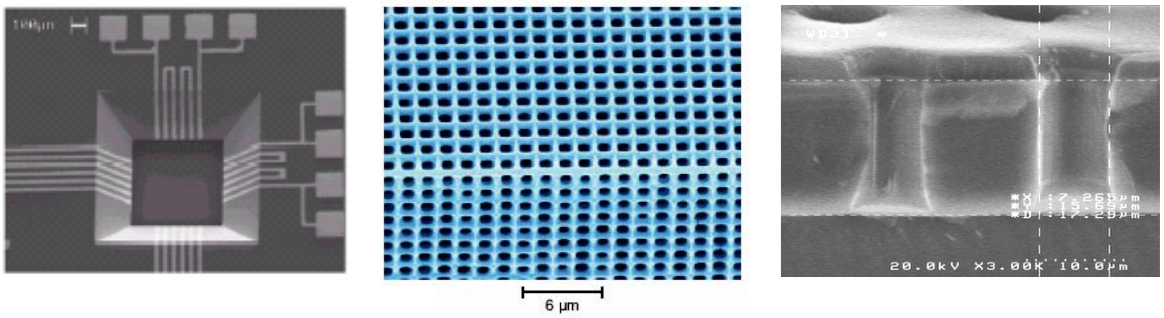
Eine weitere Methode zur Herstellung der Vias von der Rückseite zur Vorderseite der Probe ist das Naßchemische Ätzen. Dies kann mittels basischen Lösungen erfolgen (KOH, NaOH, LiOH), wie in Abbildung 3.8-a dargestellt [46]. Hierbei erhält man bei (100)-Silizium den charakteristischen Seitenwinkel von 54,7° aufgrund der anisotropen Ätzung (Unterschied in der Ätzrate in (111)-Richtung und (100)-Richtung [46]). Weitere anisotrope Ätzlösungen für Silizium sind EDP (Ethylendiamin-Pyrocatechol) oder Hydrazin-Lösung, die in der Literatur beschrieben sind, aber aufgrund von erhöhtem apparativem Aufwand nur selten Anwendung finden [56]. Gleichung 3.3 zeigt die Gesamtreaktion beim Siliziumätzen in basischen Lösungen (um eine ausreichende Ätzrate zu erreichen ist im allgemeinen ein Erwärmen der Lösung erforderlich).

$$Si + 2OH^- + 2H_2O \rightarrow SiO_2(OH)_2^{--} + 2H_2 \uparrow \tag{3.3}$$

Ein gravierender Nachteil bei diesen Ätzverfahren ist der erwähnte Seitenwandwinkel bei (100)-Silizium. Dieser führt zu einer vergrößerten Öffnung auf der Rückseite der Probe im Vergleich zur Vorderseite. Weiterhin muß die CMOS-Seite vor Angriffen durch Alkalimetalle (K, Na) geschützt werden, die negativen Einfluß auf das Gateoxid nehmen[7]. Als Alternative kann TMAH (**T**etra**M**ethyl**A**mmonium**H**ydroxid) verwendet werden, dass keine Alkalimetalle enthält. Der Vorteil beim naßchemischen Ätzen der Vias liegt in den kostengünstigen Chemikalien und dem realtiv geringen Aufwand and Gerätschaften die notwendig sind. Wie Abbildung 3.8-a zeigt ist diese Methode bereits zur Herstellung von Durchkontaktierungen angewendet worden [57, 58].

[7] Na^+ und K^+ die in das Gateoxid eindringen führen als zusätzliche Ladungen zu einer Verschiebung der Schwellspannung bei MOSFETs.

Eine andere Möglichkeit ist das elektrochemische Ätzen von Silizium in Flußsäurelösungen, welches auf der Bildung von porösem Silizium (”porous silicon”) beruht. Dies kann mit oder ohne anliegende Spannung am Substrat erfolgen [59, 60]. Abbildung 3.8-b zeigt ein Beispiel



a) b) c)

Abbildung 3.8: Viaherstellung durch Ätzen: (a) Viaätzung in Silizium mittels KOH-Lösung nach [57], © 1996 IEEE; (b) Elektrochemisches Ätzen mit HF nach [61], © Max Planck Institut 2004; (c) Trockenchemisches anisotropes Ätzen, wie in dieser Arbeit verwendet.

einer solchen Ätzung. Die Größe der geätzten Poren und die Wandstärke ist von den gewählten Prozeßparametern abhängig. Stromdichte, Beleuchtung aber auch die Substratdotierung beeinflussen das Ergebnis der Ätzung [62]. Vor Beginn der eigentlichen Anodisierung müssen die Positionen der Poren durch Anätzen der Oberfläche definiert werden. Da für die Ätzung selbst Löcher vorhanden sein müssen, ist im Gegensatz zu p-Silizium, bei n-Silizium eine Beleuchtung erforderlich, um die benötigten Minoritäten zu erzeugen. Diese diffundieren zu den bereits vorhandenen Poren gegenüber der beleuchteten Seite und ermöglichen das Ätzen. Neuere Untersuchungen beschreiben die Möglichkeit auch ohne Verwendung von HF poröses Silizium, und damit senkrechte Löcher zu erzeugen [63].
Hohe erreichbare Aspektverhältnisse und niedrige Betriebskosten sind die Hauptvorteile dieser Technik. Problematisch ist die Maskierung des Substrats zur Positionierung der Vias sowie die Abhängigkeit von der Substratdotierung. Bei entsprechender Vorprozessierung können mit dieser Methode zweidimensionale photonische Kristalle erzeugt werden, die allein schon aus ästhetischen Gründen eine interessante Anwendung sind (Beispiel in Abbildung 3.8-b) [64].
Weit verbreitet ist das anisotrope Tockenätzen der Vias in Silizium (Abbildung 3.8-c), vor allem wegen der Möglichkeit senkrechte Flanken zu erzeugen. Da diese Methode auch in dieser Arbeit Anwendung findet, wird hierauf in späteren Kapiteln näher eingegangen (siehe auch Kapitel 4).

3.3.3 Elektrische Durchkontaktierung

Die Geometrie einer Durchkontaktierung (Via) von einer Metallschicht M1 durch das Substrat, oder durch einen Isolator, zu einer zweiten Metallschicht M2 ist schematisch in Abbildung 3.9 dargestellt.

Man erkennt Diffusionsbarriere/Haftschicht und die eigentliche Füllung des Vias (M2). Zur

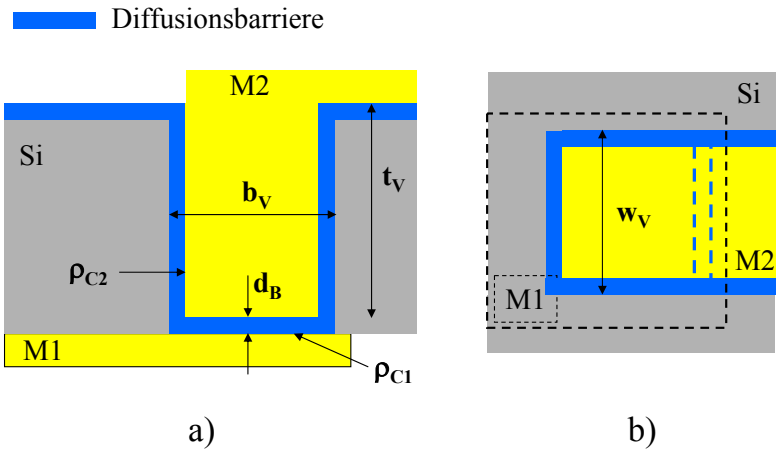


Abbildung 3.9: Modell eines metallisierten Vias: (a) Querschnitt; (b) Draufsicht.

genaueren Untersuchung bzw. Beschreibung der Vias müssen die verschiedenen spezifischen Widerstände der Viafüllung ρ_{M2} und der Diffusionsbarriere ρ_B, sowie die Übergangs- bzw. Kontaktwiderstände ρ_{C1} von M2 zur Barriere bzw. ρ_{C2} von der Barriere zu M1 berücksichtigt werden [65].

Im Vergleich zu konventionellen Vias innerhalb einer Schaltung, die zwei Metallisierungsebenen verbinden ($t_{Via} \approx 0{,}3\,\mu m$ .. $0{,}7\,\mu m$, bei größeren Vias in den oberen Metallisierungslagen auch tiefer) ist bei einer hybriden 3D-Integration die Viatiefe im Allgemeinen größer ($\geq 5\,\mu m$). Dies kann je nach Aspektverhältnis des Vias, einen größeren Einfluß des spezifischen Widerstandes des Kontaktmetalls (M2) zur Folge haben. Einer der Gründe warum bei der Herstellung von integrierten Schaltung vermehrt von Aluminium- zu Kupferleiterbahnen übergegangen wird, ist neben dem besseren Elektromigrationsverhalten, der kleinere spezifische Widerstand von Kupfer ($1{,}7\,\mu\Omega cm$ im Vergleich zu $2{,}7\,\mu\Omega cm$ für Al).

Für den Widerstand eines Vias ergibt sich mit den Abmessungen aus Abbildung 3.9 näherungsweise folgender Zusammenhang

$$R_{Via} = \bar{\rho} \cdot \frac{t_V}{b_V \cdot w_V} + \rho_B \cdot \frac{d_B}{b_V \cdot w_V} + \rho_{C1} \cdot \frac{1}{b_V \cdot w_V} + \rho_{C2} \cdot \frac{1}{b_V \cdot w_V}. \tag{3.4}$$

Wobei t_V, b_V, w_V die Tiefe, Breite und Weite des Vias entsprechend der Skizze darstellen, d_B ist die Dicke der Diffusionsbarriere. Bei ρ_B, bzw. ρ_{C1} handelt es sich um den spezifischen Widerstand der Diffusionsbarriere und den spezifischen Kontaktwiderstand zur Metallisierung M1. ρ_{C2} ist der spezifische Kontaktwiderstand zwischen Metallisierung M2 und Diffusionsbarriere, welcher aufgrund des Metall-Metall-Kontaktes bei richtiger Prozeßführung vernachlässigbar ist. Der Mittelwert $\bar{\rho}$ beschreibt im Prinzip den effektiven spezifischen Widerstand von Viametallisierung M2 und Diffusionsbarriere, da kein homogener Stromfluß stattfinden wird (siehe auch [65]). Bei großem Viadurchmesser kann er näherungsweise gleich dem spezifischen Widerstand ρ_{M2} des Metalles M2 gesetzt werden. Für einen kleinen Viawiderstand

ergibt sich dementsprechend die Forderung nach einem kleinen spezifischen Widerstand der Viametallisierung und eine möglichst geringe Dicke der Diffusionsbarriere/Haftvermittler.

Diffusionsbarriere

Aufgrund der unerwünschten Eigenschaften die Fremdatome im Silizium hervorrufen, wie z.B. Erzeugung tiefer Störstellen, ist im Allgemeinen zwischen der eigentlichen Viametallisierung und dem Halbleiter bzw. Intermetalldielektrikum eine Diffusionsbarriere notwendig [66, 67]. Referenz [68] gibt einen Überblick über die Eigenschaften verschiedener Diffusionsbarrieren zwischen Kupfer und Silizium. Änderungen in den Eigenschaften werden hierbei z.B. bei leicht oxidierter Diffusionsbarriere beschrieben. Ti:W bildet nach [68] eine stabile Barriere bis zu Temperaturen oberhalb 775 °C.
Weitere Möglichkeiten sind TiN, dass mittels Sputtern oder CVD abgeschieden werden kann [69, 70], oder Verbindungen mit Silizium oder Tantal. Allgemein eignen sich die Übergangsmetalle und ihre Verbindungen als Diffusionsbarrieren für Cu-Metallisierungen [71, 72, 73]. Für moderate Abscheidetemperaturen der Viametallisierung ergeben sich also eine Vielzahl an möglichen Barrierematerialien.
In dieser Arbeit wurde Ti:W mit einem Titantanteil von 30 at-% gewählt. Dieses liegt als Sputtertarget vor, und kann aus diesem Grund reproduzierbar deponiert werden. Der hohe Titananteil begünstigt hierbei die Haftung auf dem Isolator im Via [74]. Aufgrund der Deposition durch Sputtern ergeben sich auf dem Substrat leichte Varianzen in der Zusammensetzung, die aber im Allgemeinen die Barriereeigenschaften nicht wesentlich ändern. Als spezifischer Widerstand ergibt sich für Ti:W ein Wert zwischen 50 und 100 µΩcm [68].

Metallisierung der Vias

Wie bereits oben beschrieben, beeinflusst die eigentliche Metallisierung der Vias wesentlich den Widerstand der elektrischen Verbindungen. Bei der Verwendung von reaktionsfreudigen Diffusionsbarrieren, z.B. titanhaltiges TiN, sollte die Abscheidung der Viametallisierung, oder ein Teil der Metallisierung in der selben Anlage erfolgen, um Oxidation und dadurch eine Erhöhung von ρ_{C2} zu verhindern.

Aufdampfen oder Sputtern. Eine Möglichkeit, die Metallisierung der Durchkontaktierung zu realisieren ist die Abscheidung mittels Verdampfen. Hierbei wird das Metall in einem Tiegel thermisch, oder durch Elektronenbeschuß über seine Schmelztemperatur erhitzt und dadurch verdampft. Verbindungen aus Metallen können aufgrund des unterschiedlichen Schmelzpunktes nicht simultan abgeschieden werden.
Bei der Sputterdeposition (ähnlich auch bei der Ionenstrahlabscheidung) werden Metalle oder Verbindungen (Target) normalerweise mit Ar-Ionen beschossen und so das abgelöste Material auf dem zu beschichtenden Substrat deponiert. Hierbei können neben reinen Metallen auch Verbindungen wie Ti:W, TaN oder Isolatoren abgeschieden werden. Ein Vorteil hierbei ist, dass die

Stöchiometrie im Prinzip vom Targetmaterial bestimmt wird. Verwendet wurde diese Methode z.B bei [57] in Abbildung 3.8-a.
Nachteilig ist die im Allgemeinen geringe Abscheiderate beim Sputtern, so dass ein komplettes Verfüllen von mikrometergroßen Strukturen in akzeptabler Zeit unmöglich ist. Beim Aufdampfen speziell stellt die Bedeckung von senkrechten Kanten ein großes Problem dar.

Gasphasenabscheidung (CVD). Die Gasphasenabscheidung (CVD[8]) von Wolfram findet seit Jahren Anwendung in der Halbleitertechnologie, z.B. beim Herstellen der Verbindungen zwischen den einzelnen Metallagen. Als Wolframquelle wird hierbei normalerweise Wolframhexafluorid (WF_6) verwendet [75]. Da während der Abscheidung eine Reaktion des Fluors mit Silizium auftritt, muß dies bei der Deposition auf entsprechenden Isolatoren mit berücksichtigt werden. Die Abscheiderate ist temperaturabhängig, so dass für annehmbare Abscheideraten Temperaturen oberhalb von 200 °C erforderlich sind [76]. Der spezifische Widerstand kann von der Dicke der abgeschiedenen Schicht abhängen und liegt bei dickeren Schichten im Bereich von 10 µΩcm [77]. Mit variierender Reaktorgeometrie und durch die Vermeidung von Verunreinigungen konnten jedoch für dicke Schichten schon früh Werte nahe der idealen 5,5 µΩcm gezeigt werden [75]. Verwendet wurden Wolframmetallisierungen bei der 3D-Integration z.B. bei [40].
Bereits bei niedrigerer Temperatur kann die Abscheidung von Aluminium erfolgen. Hier erreicht man bereits bei Temperaturen unterhalb 200 °C spezifische Widerstände im Bereich des Idealwertes [78]. Der Widerstand und die Schichtqualität hängen jedoch stark von der Abscheidetemperatur ab.
Aufgrund des geringeren spezifischen Widerstandes erscheint jedoch die Gasphasenabscheidung von Kupfer sinnvoller. Hier wurden schon bei Depositionstemperaturen von 100 °C hohe Abscheideraten und spezifische Widerstände von ca. 1,8 µΩcm gezeigt [79]. Auch beim Füllen von Submikrometerstrukturen mit Aspektverhältnissen größer als eins, wurden sehr gute Resultate gezeigt [80]. Die hierbei verwendete Methode auf der Oberfläche eine Passivierung aufzubringen, die dort die Deposition bremst wurde bereits früher auch für CVD-Aluminium demonstriert [81].
Ein wichtiger Vorteil bei CVD-Verfahren ist die gute Reproduzierbarkeit aufgrund der Verwendung von Vakuumanlagen, welche aber wiederum im Vergleich zu anderen Verfahren relativ teuer in der Anschaffung sind.

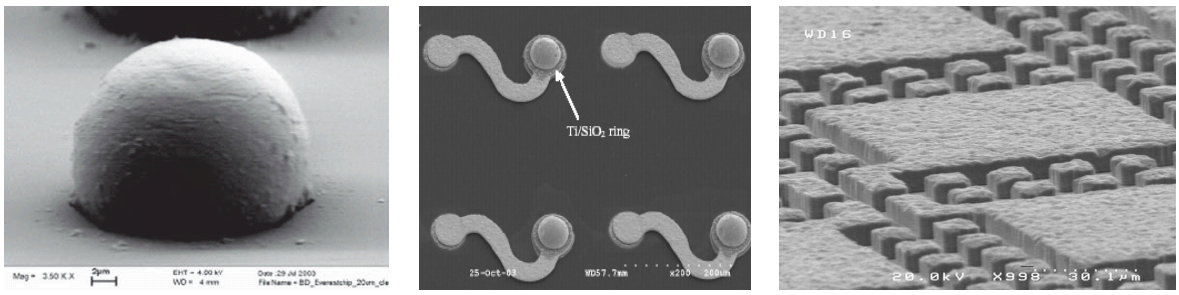
Galvanische Abscheidung. Die galvanische Abscheidung hat in der Mikroelektronik vor allem seit der Einführung von Kupfer für integrierte Schaltungen einen festen Platz. Hier wird besonders die sogenannte Damascene-Technik benutzt. Hierbei werden ”Löcher” und ”Gräben” mit galvanischem Kupfer gefüllt und anschließend die Oberfläche mit einem Polierschritt wieder planarisiert.
Die Verwendung von speziellen Kupferbädern[9] mit Zusätzen die an der Oberfläche die Ab-

[8] **C**hemical **V**apour **D**eposition
[9] Das Kupfer ist hierbei normalerweise als Kupfersulfat, $CuSO_4$, enthalten.

scheidung verlangsamen (”Leveler”, ”Suppressor”) und in der Struktur die Abscheidung beschleunigen (”Accelerator”) erleichtern die Füllung von hochaspektratigen Strukturen [82]. Mit der Optimierung der Abscheidungsparameter, wie z.B. die Verwendung von gepulsten Stromquellen und rotierenden Probenhaltern, wurde eine lunkerfreie Füllung von Strukturen mit einem Aspektverhältnis bis zu sieben gezeigt [83].
Prinzipiell wird die Elektrogalvanik von Kupfer auf einer Startschicht aus einem Edelmetall (z.B. Gold) oder Kupfer, die dann im Aufbau elektrisch kontaktiert werden kann, durchgeführt. Erste Ansätze zeigen jedoch, dass Kupfer stromlos auch direkt auf z.B. Wolfram abgeschieden werden kann [84]. Die Verwendung von stromloser Kupfergalvanik ermöglicht einen zusätzlichen Freiheitsgrad bei der Prozessierung, vor allem da die Füllung von sehr feinen Strukturen bereits demonstriert wurde [85].
Der Aufbau einer einfachen Galvanikzelle beschränkt sich auf eine Kupferanode, die mit fortschreitendem Gebrauch abgebaut wird, und auf einen Substrathalter mit entsprechender Kontaktierung (siehe auch Abbildung B.12). Offensichtlich steckt ein Vorteil bei einer galvanischen Metallisierung in einem relativ einfachen Aufbau, der je nach Substratgröße skaliert werden kann. Ein kleiner Nachteil ist, dass sich die oben angeführten Zusätze an der Anode oxidieren und dadurch verbraucht werden. Eine regelmäßige Kontrolle des Bades ist daher unumgänglich.

3.3.4 Verbindungstechnologie

Die bei einer dreidimensionalen Integration verwendete Verbindungstechnologie beeinflusst wesentlich die erzielbaren Systemeigenschaften. Sie sollte eine große Anzahl von parallelen Verbindungen ermöglichen mit möglichst minimalem Widerstand, Kapazität und Induktivität. Weiterhin sollten die Abmessungen der einzelnen Kontakte minimiert werden können, um eine hohe Dichte an Verbindungen realisieren zu können.



a) b) c)

Abbildung 3.10: Alternative Verbindungstechniken: (a) Mikrolötkugeln (Durchmesser ca. 25 µm) nach [86], © 2005 IBM; (b) Sea-of-Leads (Federkontakte, Lötkontaktdurchmesser ca. 50 µm) nach [87], © 2003 IEEE; (c) Kupferlötpads wie in dieser Arbeit verwendet.

Lötkugeln (BGA)

Neben dem Drahtbonden, dass auch für 3D-Integrationsansätze verwendet wurde (vgl. Abbildung 2.7), stellt das Flip-Chip-Bonden mittels Lötkugeln (bei einer Anordnung als Matrix spricht man dann von sogenannten BGAs[10]) eine weit verbreitete Alternative für die elektrische und mechanische Verbindung einzelner Systemteile dar. Der Vorteil gegenüber dem Drahtbonden liegt in den um ein Vielfaches kleineren parasitären Widerständen, Kapazitäten und Induktivitäten [88]. Entwickelt wurde diese Technologie als sogenannte C4[11]-Technik bereits 1964 bei IBM als Alternative zum Drahtbonden. Eine Beschreibung der Eigenschaften der C4-Verbindung findet sich z.B. in [89].
Konventionelle BGAs beruhen dabei meist auf Blei-Zinn-Loten mit einem mehr oder weniger großen Anteil von Blei. Aufgrund der Forderung nach erhöhter Umweltverträglichkeit, geht die Entwicklung hin zu bleifreien Loten (z.B. Sn-Ag oder Sn-Ag-Cu), die in ihren Eigenschaften und Anwendungen unterschiedlich sind [90]. Die Tendenz geht weiterhin auch zu kleineren Lötkugeln und verringerten Abständen, die von einigen hundert auf einige zehn Mikrometer verkleinert werden können (µC4, Abbildung 3.10-a) [86].
Erzeugt werden solche Lötkugelanordnungen durch galvanische Abscheidung durch eine Lackmaske auf eine geeignete Startschicht bzw. Haftschicht (UBM[12]), die die elektrischen Eigenschaften der Verbindung mit beeinflussen. Die Kugelform wird durch einen anschließenden Reflow-Temperaturschritt erreicht. Eine Alternative ist das direkte Aufbringen des flüssigen Lotes auf Lötstellen [91] oder das Aufbringen der Lötkugel mit einem modifizierten Drahtbonder [92].
Eine Weiterentwicklung der Standard-C4-Technik ist die in Abbildung 3.10-b gezeigte SoL-Technologie. Hier werden durch einen galvanischen Prozess Federkontakte erzeugt, welche die unterschiedlichen thermischen Ausdehnungskoeffizienten von Chip- und Substratmaterial ausgleichen können. Als eigentliche Lötung kann dann wieder eine Pb-Sn-Verbindung verwendet werden [93].
Der Nachteil in dieser Technik liegt darin, dass eine mehrfache Lötung auf einem Substrat nur bei Verwendung von Loten mit unterschiedlichen Schmelzpunkten möglich ist. Anwendung finden diese Lötverfahren bei einer Vielzahl von Integrationsansätzen, ein Beispiel findet sich z.B. in [94].

Leitfähige Klebstoffe

Eine industriell weit verbreitete Methode, Bauelemente auf Substrate aufzubringen ist die Verwendung von leitfähigen Klebstoffen. Man unterscheidet hierbei zwischen isotrop leitfähigen Klebstoffen (ICA[13]), die im deponierten Zustand bereits leiten und anisotrop leitfähigen Kleb-

[10] **B**all **G**rid **A**rray, (dt.) Lötkugeln die in einer Matrix angeordnet sind
[11] **C**ontrolled **C**ollapse **C**hip **C**onnection, (dt.) kontrolliert kollabierende Chipverbindung
[12] **U**nder **B**ump **M**etallurgy
[13] **I**sotropic **C**onductive **A**dhesive

stoffen (ACA[14]) die meistens aus einem isolierenden Klebstoff gefüllt mit Metallpartikeln bestehen. Eine leitende Verbindung wird dann erzeugt, wenn an den Kontaktstellen Druck ausgeübt wird, der Kleber verdrängt wird und die Metallpartikel in direkten Kontakt treten. ACA ermöglichen also gleichzeitig mechanische und elektrische Verbindung von Bauelement und Substrat.
Diese Methode kann für die konventionelle Oberflächenmontage von Bauelementen eingesetzt werden. Weiterhin ist sie auch hervorragend für flexible Substrate geeignet [95]. Simulationen von verschiedenen Gruppen zeigen, dass leitfähige Klebstoffe auch für den Aufbau von HF-Schaltungen geeignet sein können [96].
Erste Ansätze zur Verwendung von Klebstoffen beim Aufbau von gedünnten ($< 20\,\mu m$) Substraten wurden bereits gezeigt [97], was insbesondere in Kombination mit flexiblen Substraten eine interessante Möglichkeit darstellt.
Die Vorteile dieser Technik sind die kostengünstige Prozessierung und die Möglichkeit den Kleber auf die Temperaturbeständigkeit des Substratmaterials anzupassen, so können z.B. Cyanacrylate auch für Klebungen auf Papier angewendet werden [97]. Der Nachteil besteht in einer minimalen Größe der ”Lötpads”, da die Metallpartikel, bzw. metallbeschichtete Partikel im ACA auch eine minimale Größe aufweisen.

Thermokompression (metal-metal-bonding)

Eine weitere Möglichkeit, elektrische und mechanische Kontaktierung zwischen zwei Lagen zu erreichen ist Thermokompression. Hierbei werden zwei Metallflächen in Kontakt gebracht und mittels Druck und Temperatur eine Verbindung erzeugt. Der Effekt beruht hierbei auf der Adhäsion von polierten Oberflächen, die neben Metallen auch das Bonden[15] von Silizium und Siliziumoxidoberflächen ermöglicht [41].
Aufgrund der elektrischen Eigenschaften und der steigenden Bedeutung in der Mikroelektronik erscheint die Verwendung von Cu-Cu-Bonds sinnvoll. Diese Möglichkeit der Cu-Cu-Verbindung durch Thermokompression wurde für die 3D-Integration bereits in [98] gezeigt. Der verwendete Prozess besteht aus dem eigentlichen Bondprozess bei einer Temperatur von 400 °C und einem Druck von 4000 mbar. Hierbei beginnt schon vereinzelt die Diffusion von Cu-Atomen. Zur Festigung der Verbindung wird ein Ausheilschritt bei 400 °C für 30 Minuten durchgeführt der eine verstärkte Diffusion von Kupfer zur Folge hat. Die einzelnen Körner der Kupferflächen wachsen zusammen und es ergibt sich eine stabile Struktur [99].
Bei verringerter Ausheiltemperatur findet die Verbindung der Cu-Lagen nicht vollständig statt, und die Grenze der zwei Cu-Strukturen bleibt sichtbar [100]. Allgemein steigt die mechanische Stabilität der Verbindungen mit der Ausheiltemperatur. Reinigungsprozesse vor dem Bonden und Atmosphäre während des Bondens beeinflussen das erreichbare Ergebnis [101]. Mit den Kupferverbindungen wurden bereits spezifische Kontaktwiderstände im Bereich von

[14] **A**nisotropic **C**onductive **A**dhesive
[15] (dt.) verbinden

$10^{-8}\,\Omega\mathrm{cm}^2$ gezeigt [100].
Weiterhin wurden bereits Ansätze demonstriert, welche das direkte Bonden von Metallen auf Halbleiter ermöglichen. Dies kann für bestimmte Anwendungen eine interessante Alternative darstellen [102].
Der Hauptvorteil bei dieser Technik ist, dass die zu verwendenden Metallisierungen nur einige 100 nm dick sein müssen um eine Verbindung zu ermöglichen. Ein Nachteil kann unter Umständen der hohe Druck von mehreren 1000 mbar sein.

Weitere Alternativen

Für die Verbindung einzelner Lagen in einem Stapel gibt es noch zahlreiche andere Möglichkeiten. Ohne Anspruch auf Vollzähligkeit sollen hier noch einige weitere kurz aufgeführt werden.
Die Verwendung von dielektrischen Klebstoffen, bzw. Polyimiden für die mechanische Verbindung von Chip und Substrat bietet die Möglichkeit der Entkopplung von mechanischer und elektrischer Verbindungstechnologie. Die Herstellung der elektrischen Kontakte erfolgt dann z.B. durch Viaätzung und Galvanik [103]. Eine weitere Möglichkeit ist, eine kapazitive oder induktive Kopplung zwischen den einzelnen Lagen zu verwenden [104, 105], was für RF-Schaltungen sinnvoll ist. Die Übertragung von Gleichspannungen bzw. -strömen muß allerdings z.B. über konventionelle Lötkugeln erfolgen [104].
Eine ganz andere Variante stellt die Verwendung von Polymerzylindern als elektrische und optische Verbindungen dar [106]. Diese bewirken wiederum eine flexible Kopplung von Chip und Substrat bei thermischen Belastungen und können somit die Ausfallrate reduzieren. Die eigentliche optische und elektrische Verbindung der Kontakte wird dann allerdings durch Löten oder Kleben realisiert.

Kapitel 4

Schlüsselprozesse für das gewählte 3D-Integrationskonzept

Der prinzipielle Ablauf der in dieser Arbeit entwickelten Technologie ist bereits in Kapitel 3 beschrieben. Hier sollen nun die Schlüsselprozesse dieser Technologie näher betrachtet werden. Dazu gehören vor allem die Substratdünnung mit Hilfe einer Ätzstoppschicht, die Isolation der Vias durch ein bei verringerter Temperatur deponiertes Siliziumoxid und ein Niedertemperatur-Lötprozess (SoLID). Zu erwähnen sei noch, dass aus anlagentechnischen Gründen die Probengrösse hier auf $5 \times 5\,cm^2$ begrenzt ist, d.h. nach der notwendigen Epitaxie werden die Wafer in kleinere Waferelemente geteilt.
Weitergehende und detailiertere Beschreibungen zu einzelnen Prozessen finden sich im Anhang in Kapitel B .

4.1 Substratdünnung mit Ätzstoppschicht

Wie bereits erwähnt wird hier für die Substratdünnung ein kombinierter Prozess aus mechanischem Läppen und chemischer Ätzung verwendet. Da es sich beim mechanischen Dünnen um einen Standardprozess handelt, soll dieser hier nicht weiter diskutiert werden. Nähere Erläuterungen dazu finden sich in Kapitel B.1. Hier soll nun näher auf das chemische Dünnen der Substrate eingegangen werden.

4.1.1 Siliziumätzmechanismus in alkalischen Lösungen

Silizium kann neben dem trockenchemischen Ätzen auch nasschemisch z.B. in einer Flusssäure-Salpetersäure-Mischung (HF + HNO_3) oder in basischen Lösungen (OH^-) geätzt werden [46]. Als basische Lösungen bieten sich z.B. Natriumhydroxid (NaOH), Kaliumhydroxid (KOH) oder Tetramethylammoniumhydroxid (TMAH) an. Letztere Ätzlösung hat den Vorteil

dass sie metallionenfrei ist und somit auch in Verbindung mit MOS-Prozessen angewendet werden kann. Ein Nachteil besteht aber in der Brennbarkeit der Lösung. Gleichungen 4.1 bis 4.4 beschreiben die Reaktionsabläufe während des Siliziumätzens in alkalischen Lösungen [56]. Der Ätzablauf besteht aus einer Kombination von Oxidation (Gleichung 4.1) und Reduktion (Gleichung 4.2) bei der jeweils Elektronen beteiligt sind.

Oxidation:

$$Si + 2OH^- \rightarrow Si(OH)_2^{++} + 4e^- \tag{4.1}$$

Reduktion:

$$4H_2O + 4e^- \rightarrow 4H_2O^-$$

$$4H_2O^- \rightarrow 4OH^- + 4H^+ + 4e^- \rightarrow 4OH^- + 2H_2 \uparrow \tag{4.2}$$

Siliziumreaktion:

$$Si(OH)_2^{++} + 4OH^- \rightarrow SiO_2(OH)_2^{--} + 2H_2O \tag{4.3}$$

Gesamtreaktion:

$$Si + 2OH^- + 2H_2O \rightarrow SiO_2(OH)_2^{--} + 2H_2 \uparrow \tag{4.4}$$

Die aufgeführten Reaktionen besitzen eine Aktivierungsenergie, so dass für eine ausreichende Ätzrate erhöhte Temperaturen notwendig sind (siehe auch [56]). Durch eine hochdotierte

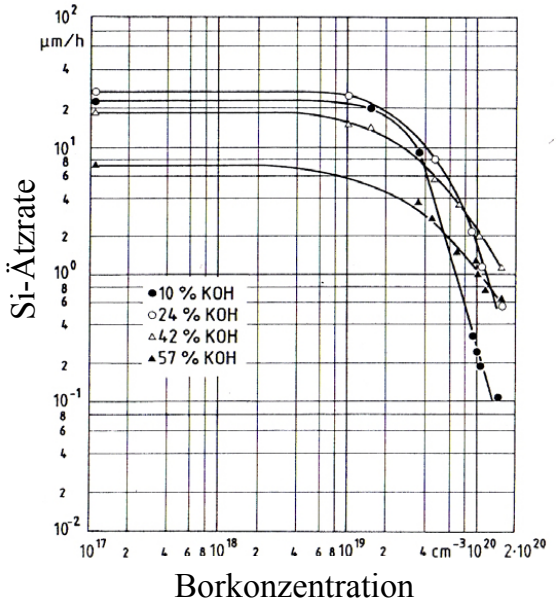


Abbildung 4.1: Abhängigkeit der (100)-Siliziumätzrate in KOH-Lösung von der Borkonzentration nach [107] (T ≈ 60 °C). © 1990 The Electrochemical Society.

Akzeptorschicht im Silizium kann die Ätzrate in z. B. KOH-Lösung je nach Höhe der Dotierung reduziert werden [56]. Abbildung 4.1 zeigt die Abhängigkeit der Ätzrate in Kaliumhydroxidlösungen von der Akzeptordotierung (Bor).

Man erkennt ab einer Borkonzentration von $1{\cdot}10^{19}\,\mathrm{cm}^{-3}$ bis $2{\cdot}10^{19}\,\mathrm{cm}^{-3}$ einen Rückgang der Ätzrate, der mit steigender Borkonzentration stärker ausgeprägt ist. Bei einer Borkonzentration im Bereich von $8{\cdot}10^{19}\,\mathrm{cm}^{-3}$ bis $1{\cdot}10^{20}\,\mathrm{cm}^{-3}$ erhält man eine Reduzierung der Ätzrate um den Faktor 20 bis 30, je nach Konzentration der KOH-Lösung. Dieser Effekt kann zur Herbeiführung eines Ätzstopps während der Dünnung genutzt werden[1].
Weitere Möglichkeiten für einen Ätzstopp bei Silizium sind die Verwendung von implantiertem Kohlenstoff oder Stickstoff, sowie die Germaniumdotierung von Silizium [41]. Prinzipiell funktionieren alle Ätzstoppschichten durch den Einfang aller, oder eines Teils der vorhandenen Elektronen. Bei Erreichen der Ätzstoppschicht ergibt sich meistens eine sehr gute Oberflächenqualität, die hervorragend für die weitere Prozessierung geeignet ist.

4.1.2 Einführung der Ätzstoppschicht in die 3D-Integration

Bei Prozeßfolgen, in denen die Vorder- und Rückseite eines Wafers bearbeitet werden müssen, besteht immer das Problem, der Justierung der Rückseite zur Vorderseite. Besonders bei immer kleiner werdenden Strukturgrößen wird die tolerierbare Dejustage von Vorder- zu Rückseite zu einer kritischen Größe. Bekannte Verfahren wie Infrarot-Durchlicht beim Belichten scheitern schon bei wenigen übereinander liegenden Metallisierungsebenen, so dass z. B. bei einer kompletten CMOS-Schaltung (6-8 Metalllagen und Polysilizium) dies nicht mehr verwendet werden kann.
Die hier benutzte Variante verwendet Marken, die im ersten Schritt trockenchemisch in die Vorderseite der Wafer geätzt werden, und nach Abschluß der Dünnung der Waferelemente auf der Rückseite der Probe als topologische Struktur sichtbar werden (siehe Abbildung 4.2-a). Dies

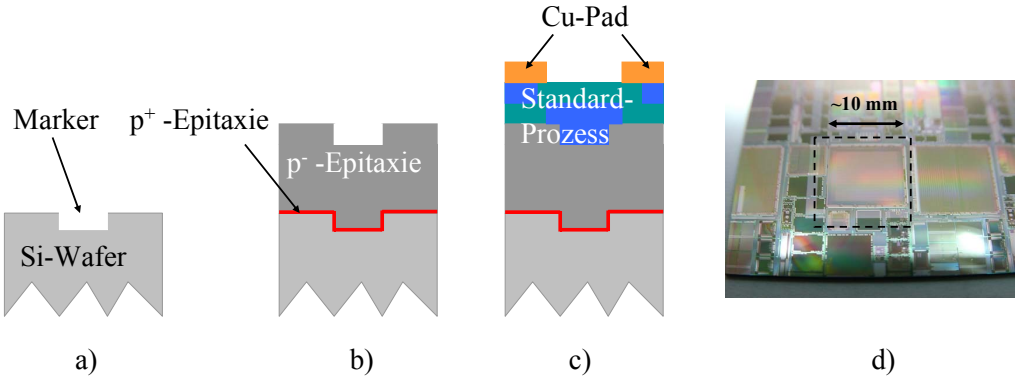


Abbildung 4.2: Prozess zur Implementierung einer Ätzstoppschicht: (a) Markenätzung; (b) Siliziumepitaxie; (c) Standardprozeß; (d) Aufnahme eines CMOS-Chips mit Cu-Galvanikstrukturen auf der Oberseite (Einrahmung).

ermöglicht eine genaue Justage der Rückseitenprozesse zur Vorderseite ohne Verwendung spezieller Lithographiegeräte.

[1] die Elektronenkonzentration verringert sich dabei nach dem Massenwirkungsgesetz zu $n \approx \frac{n_i^2}{N_A}$ [41]

Bei den meisten Integrationstechnologien, die gedünnte Wafer verwenden ist die Kontrolle der Restdicke der Wafer ein großes Problem. Bei dem Ansatz, der hier verfolgt wird, wird die bereits erwähnte Ätzstopptechnik verwendet, die eine genaue Festlegung der Restdicke ermöglicht. Hierzu wird nach dem Ätzen der Marken zunächst eine Epitaxieschicht mit einer hohen Bordotierung ($8 \cdot 10^{19}\,\mathrm{cm}^{-3}$ bis $1 \cdot 10^{20}\,\mathrm{cm}^{-3}$) und einer Dicke von 750 nm gewachsen. Diese dient beim nasschemischen Dünnen als Ätzstoppschicht. Anschließend wird eine geringer dotierte Schicht, die eigentliche Nutzschicht, gewachsen. Diese legt die Restdicke des Wafers fest und nimmt die aktiven Strukturen, z.B. des CMOS-Prozesses, auf (siehe Abbildung 4.2-b,c,d). Besondere Relevanz bei dieser Technik besitzt die Oberflächentopologie nach der Epitaxie, da alle folgenden Prozesse auf dieser Oberfläche stattfinden. Das Wachstumsverhalten des Siliziums bei der Epitaxie zeigen Abbildungen 4.3 und 4.4. Man erkennt, dass das Wachstum in der Mitte der geätzten Struktur genau in Waferrichtung (100) erfolgt. An den Kanten erfolgt

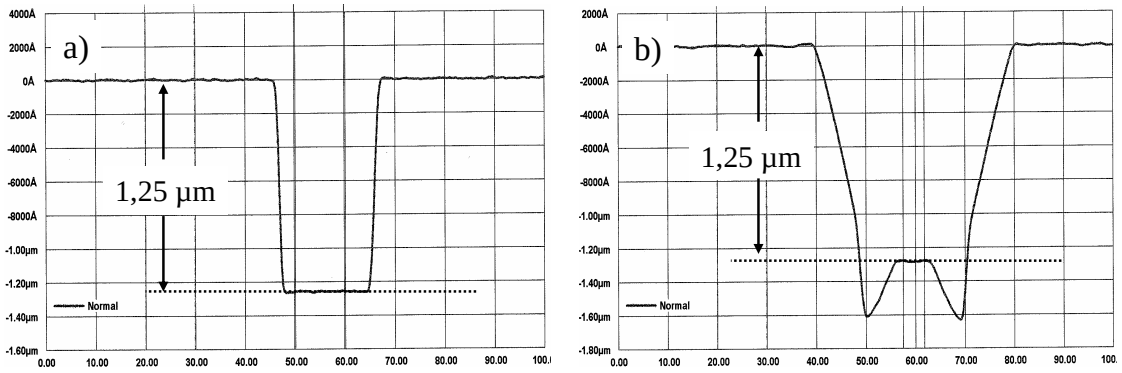
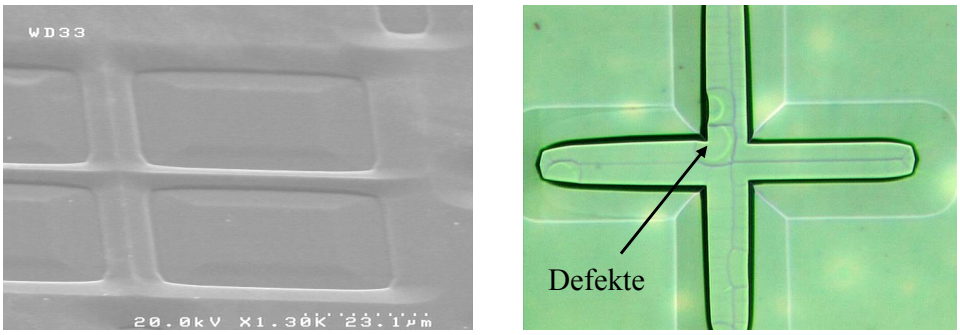


Abbildung 4.3: Oberflächenprofil der Marken: (a) vor der Siliziumepitaxie; (b) nach der Siliziumepitaxie. Gemessen von H. Schäfer, Infineon Technologies AG, München.

das Wachstum in einem Winkel von ca. 45° was zu einer Aufweitung der Struktur in Wachstumsrichtung führt (Abbildung 4.3-b). Desweiteren zeigt sich ein reduziertes Wachstum an den unteren Kanten der Struktur, welches somit auch die Dicke der Ätzstoppschicht an dieser Stelle negativ beeinflusst.

Bei einer hohen Borkonzentration von $1{\cdot}10^{20}\,\mathrm{cm}^{-3}$ kommt es bei der Siliziumepitaxie zu Defekten (Abb. 4.4-b), die vor allem an den geätzten Strukturen auftreten. Dies resultiert aus einer Gitterfehlanpassung des hochdotierten Siliziums zum Siliziumsubstrat, was zu vermehrtem Auftreten von Versetzungen führt [108]. Mit steigender Borkonzentration reduziert sich die Epitaxieschichtdicke innerhalb derer defektfreies Wachstum noch möglich ist.

Für einen ausreichend selektiven Ätzstopp beim chemischen Dünnen erwies sich eine Dotierung von $8{\cdot}10^{19}\,\mathrm{cm}^{-3}$ Bor mit einer Dicke von 750 nm als ausreichend. Durch die Reduzierung der Borkonzentration erhält man eine defektfreie Oberfläche des Wafers. Die eigentliche Nutzschicht besteht dann aus einer gewachsenen Schicht aus p-Silizium, die je nach Standarddotierung des entsprechenden Grundprozesses ($1{\cdot}10^{15}\,\mathrm{cm}^{-3}$ bis $1{\cdot}10^{16}\,\mathrm{cm}^{-3}$) hergestellt wird. Die Dicke dieser Schicht bestimmt die Restdicke der Probe nach der Dünnung, so dass eine sehr genaue Dickenkontrolle möglich ist. Gewachsen wurden die ersten Testschichten in einer Gas-



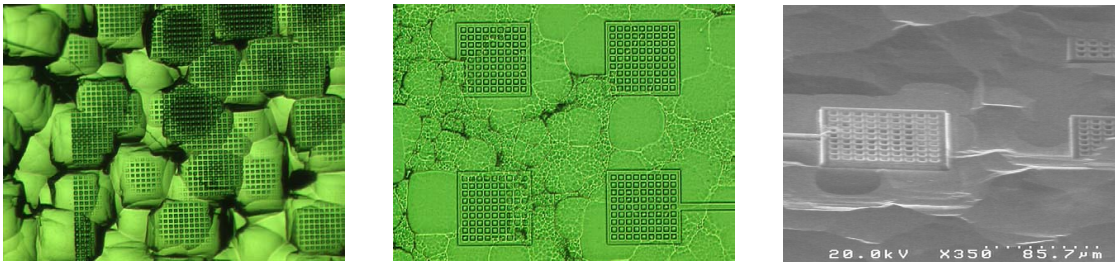
a) b)

Abbildung 4.4: Wachstumsverhalten der Siliziumepitaxie: (a) REM-Aufnahme einer Justagestruktur; (b) Defekte nach der Epitaxie bei zu hoher Borkonzentration (Mikroskopaufnahme).

phasenepitaxie-Anlage bei Infineon in München. Trotz der Aufweitung der Strukturen ergibt sich ausreichend Kontrast um eine sichere Justage der folgenden Maskenschritte durchführen zu können.

4.1.3 Ergebnisse der Substratdünnung

Das mechanische Dünnen der Substrate wird bis zu einer Restdicke von ca. 30 bis 40 µm durchgeführt. Daraus resultiert für die chemische Dünnung eine zu ätzende Siliziumdicke von ca. 20 bis 30 µm (bei einer Restdicke von ca. 10 µm).
Die hier verwendeten Proben besitzen eine vergrabene p^+-Schicht mit einer Borkonzentration von $8{\cdot}10^{19}\,\mathrm{cm}^{-3}$, die während des nasschemischen Ätzens als Ätzstoppschicht wirken soll.
Das Ergebnis erster Tests der Ätzstoppschicht zeigt Abbildung 4.5. Hierbei wurde eine Testprobe die ebenfalls eine Ätzstoppschicht besitzt ($8{\cdot}10^{19}\,\mathrm{cm}^{-3}$) mit Silikonkleber auf einem Träger fixiert. Die grobe Dünnung erfolgte mittels reaktivem Ionenätzen (RIE) mit einer Rate von



a) b) c)

Abbildung 4.5: Mikroskopaufnahmen (a, b) und REM-Aufnahme (c) der Ätzstoppschicht aus dem KOH-Bad. Man erkennt die hohe Ungleichmäßigkeit der Ätzung vor allem in Bild (a) und Bild (c).

120 μm/h (siehe auch Tabelle C.5). Diese erste Dünnung wurde ca. 10 µm vor der Ätzstopp-

schicht beendet. Die chemische Dünnung auf die Ätzstoppschicht wurde in einem KOH-Bad (24 Gewichts-%)[2] bei 60 °C für 15 Minuten durchgeführt. Problematisch ist hierbei, dass sich der Kleber nach einer gewissen Zeit auflöst und zum Ablösen der Probe vom Träger führt.
Man erkennt vor allem in den Bildern 4.5-a und 4.5-c die Inhomogenität in der Ätzung, hauptsächlich hervorgerufen durch das Trockenätzen der unpolierten Rückseite. Es ergeben sich Höhenunterschiede von einigen 10 μm über die Probenoberfläche, so dass sich diese Methode für die eigentliche Probendünnung als ungeeignet erwies. Die Dotierung von $8{\cdot}10^{19}\mathrm{cm}^{-3}$ zeigt aber eine ausreichende Ätzratenreduzierung um als Ätzstopp zu fungieren. Um die höchstmögliche Selektivität zur Ätzstoppschicht zu erreichen wird zur Durchführung der chemischen Dünnung eine 10%-ige KOH-Lösung gewählt (vgl. Abbildung 4.1).
Da die Substrate nach dem Dünnungsprozess eine Restdicke von ca. 10 µm besitzen, ist es erforderlich diese für die weitere Prozessierung auf ein Trägersubstrat aufzubringen. Hierzu wird ein Klebeprozess mit einer Kombination aus Polyimid und Photolack verwendet (siehe auch Kapitel B.3). Dies bieten zudem die Möglichkeit, nach Ende des Prozesszyklusses den Träger ohne Probleme wieder zu entfernen. Aus diesem Grund kann die chemische Dünnung nicht in einem Tauchbad stattfinden, da dies zu einer Auflösung der Klebeschicht führen würde. Verwendet wird hier für die Ätzung ein selbstgebauter Spinätzer, bei dem die Probe in rotierendem Zustand geätzt werden kann. Weitere Details über die Durchführung der Ätzung entnimmt man

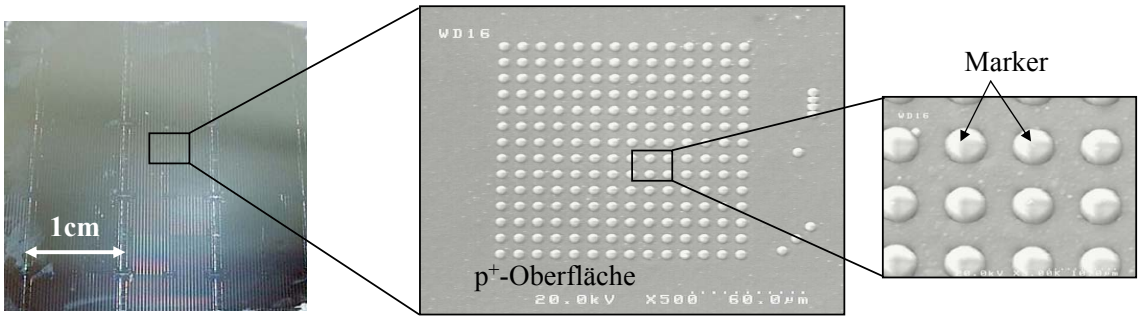


Abbildung 4.6: Oberfläche einer chemisch gedünnten Probe: (a) Fotographie der Probenoberfläche; (b) REM-Aufnahmen. Man erkennt die gute Oberflächenqualität und die Marken zur Justage auf die Vorderseite.

Kapitel B.4. Hier findet sich ausserdem eine Beschreibung des verwendeten Ätzaufbaus.
Abbildung 4.6 zeigt das Resultat einer Ätzung mit dem Spinätzer. Man erhält eine ausgezeichnete Oberflächenqualität über eine grosse Probenfläche, sowie eine gute Abbildung der Marker zu Vorderseitenjustage.

[2] Soweit nicht explizit anders erwähnt, handelt es sich in diesem Kapitel immer um Gewichtsprozente.

4.2 Viaherstellung und Isolation mit Niedertemperaturprozessen

Die mit der chemischen Dünnung auf die Ätzstoppschicht mögliche sehr genaue Dickenkontrolle ist eine wichtige Voraussetzung für die darauf folgenden Schritte. Bei der Ätzung der Vias von der Rückseite ist die Kenntnis der zu ätzenden Tiefe sehr wichtig, da es bei Überätzung zur Aufweitung der Struktur zum Boden hin kommen kann.
In diesem Kapitel soll kurz auf den anisotropen Ätzprozess für die Vias eingegangen werden. Anschliessend wird das wichtige Thema der Viaisolation mit Niedertemperaturprozessen näher erläutert.

4.2.1 Trockenchemischer Ätzprozess zur Viaherstellung

In dieser Arbeit wird ein trockenchemischer Ätzprozess zur Herstellung der Vias (”Kontaktlöcher”) von der Rückseite zur Vorderseite angewendet, der sogenannte ASE[3]-Prozeß (auch DRIE[4] oder umgangssprachlich Bosch-Prozeß genannt). Dieser Prozess wurde Anfang der 90er-Jahre von Laermer et al. entwickelt [109]. Er hat die Eigenschaft trotz hoher Anisotropie eine sehr hohe Ätzrate zu erreichen und wird von der Robert Bosch GmbH unter anderem für die Herstellung von mikromechanischen Silizium-Sensoren verwendet. Die Erreichbarkeit

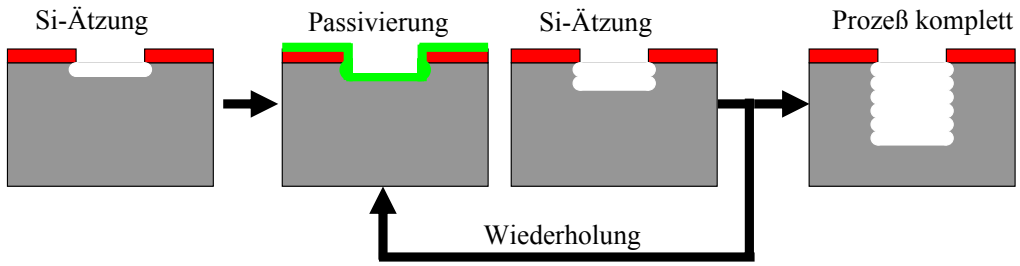


Abbildung 4.7: Prozeßablauf beim Anisotropen Siliziumätzen (ASE)

von senkrechten Seitenwänden im Silizium machen den Prozeß außerordentlich geeignet zur Viaätzung. Der Ablauf des Siliziumätzprozesses ist schematisch in Abbildung 4.7 dargestellt.
Er besteht aus einem alternierenden Prozess, Ätzen und Passivieren. Die hierbei ablaufenden Reaktionen sind in Gleichung 4.5 und 4.6 dargestellt.
Die eigentliche Siliziumätzung wird mit Schwefel-Hexafluorid-Gas durchgeführt (Gleichung 4.5), wobei sich als Endprodukt eine Silizium-Fluor-Verbindung bildet, die flüchtig ist. Hierbei erfolgt die Erzeugung des Plasmas mittels induktiver Kopplung, was eine erhöhte Dichte von

[3] **A**nisotropic **S**ilicon **E**tching, (dt.) anisotropes Siliziumätzen
[4] **D**eep **R**eactive **I**on **E**tching, (dt.) tiefes Reaktives Ionenätzen

Radikalen, und damit eine höhere Ätzrate, erzeugt.
Als Reaktant für den Passivierungsschritt wird im Allgemeinen eine $C_xH_yF_z$-Verbindung verwendet (z.B. CHF_3 oder C_4F_8) die dann ein nCF_2-Polymer als Maskierung erzeugt[5] (Gl. 4.6). Durch die Variation der Zeiten für den Ätz- bzw. Passivierungsschritt kann die Seitenwandwelligkeit eingestellt werden.

ASE Ätzschritt:

$$\begin{aligned} SF_6 + e^- &\rightarrow S_xF_y^+ + S_xF_y^\star + F^\star + e^- \\ Si + F^\star &\rightarrow SiF_x \uparrow \end{aligned} \tag{4.5}$$

ASE Passivierungsschritt:

$$\begin{aligned} CHF_3 + e^- &\rightarrow CF_x^+ + CF_x^\star + H + F^\star \\ CF_x^\star &\rightarrow nCF_2\,(Polymer) \end{aligned} \tag{4.6}$$

Im Allgemeinen ergibt sich für eine höhere Anzahl von Schritten eine geringere Seitenwandrauigkeit.
Die durchschnittliche Ätzrate hierbei hängt neben der Leistung der Ätzquelle vor allem von der Geschwindigkeit des Gasaustausches (und damit von der Systemkonfiguration) ab [110]. Die

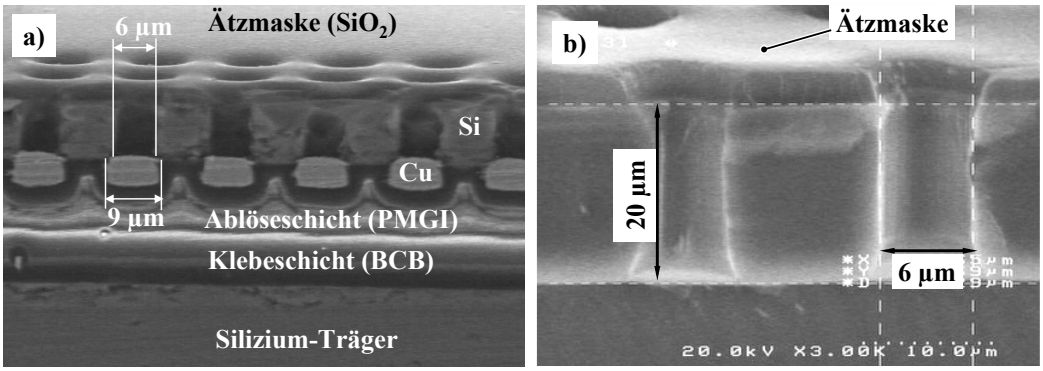


Abbildung 4.8: Querschnitt durch geätzte Vias: (a) Querschnitt durch Chip-Klebeschicht-Träger; (b) Detailansicht der geätzten Vias mit senkrechten Seitenwänden.

Größe der zu ätzenden Struktur, bzw. das Aspektverhältnis haben ebenfalls Einfluß auf die erreichbaren Ätzraten [111]. Anwendung findet dieser Ätzprozeß vornehmlich bei der Herstellung von MEMS[6], aber auch in Kombination mit CMOS und bei Varianten der 3D-Integration [112, 113, 114].
Abbildung 4.8 zeigt Querschnitte durch Vias, die mittels ASE-Prozess geätzt wurden (hergestellt durch Sägen). Man erkennt die senkrechten Seitenwände, die eine hohe Kontaktdichte ermöglichen. Weiterhin erkennt man die Ablöseschicht und die Klebeschicht zusammen mit der Kupfer-Vorderseitenmetallisierung (Abbildung 4.8-a).

[5] kapazitiv erzeugtes Plasma
[6] **M**icro**E**lectro**M**echanical **S**ystems, (dt.) Mikroelektromechanische Systeme

Aufgrund der verwendeten Trägertechnologie ist eine nähere Kalibration der Ätzrate auf den gedünnten Substraten unumgänglich (siehe Kapitel B.5), da eine genaue Tiefenkontrolle wünschenswert ist.

4.2.2 Niedertemperatur-Siliziumoxid

Als Ätzmaske für die Viaätzung und zur Isolation der Seitenwände wird Siliziumoxid verwendet. Da das Maskenoxid relativ dick (1 µm) mittels PECVD (**P**lasma **E**nhanced **C**hemical **V**apor **D**eposition, Plasmaunterstützte Gasphasenabscheidung) abgeschieden wird[7], soll zur Reduzierung des Temperaturbudgets die Abscheidung bei verringerter Temperatur erfolgen. Auch beobachtet man bei der Verwendung von BCB auf Substraten oberhalb von 250 °C das Auftreten von Verspannungen die problematisch im Zusammenhang mit den gedünnten Substraten sein können.
Da das Rückseitenoxid nicht nur als Ätzmaske, sondern auch zur Isolierung der Kontakte auf der Rückseite und in den Vias verwendet werden soll, sind auch die elektrischen Eigenschaften des Oxides relevant. Im Folgenden soll nun auf die Abhängigkeit der Oxideigenschaften von den verschiedenen Abscheideparametern, vor allem der Temperatur, eingegangen werden.

Experimentelles

Zur Abscheidung der Siliziumoxidschichten wurde eine ”Plasmalab 80”-Anlage der Firma Oxford Instruments^{TM} verwendet. Hierbei handelt es sich um einen Parallelplattenreaktor mit Shower-Elektrode, beheizbarem Probenhalter und RF-Generator (kapazitive Einkoppelung über die obere Platte).
Die Parameter des auf dieser Anlage benutzten Standardprozesses zur Siliziumoxidabscheidung zeigt Tabelle 4.1. Für die Abscheidung in einem Plasmareaktor ist es notwendig eine Anzahl

Temperatur	Druck	Leistung	N_2O-Fluß	SiH_4-Fluß (2% in He)
300 °C	1 Torr	20 W	710 sccm	200 sccm

Tabelle 4.1: Standardparameter für die Siliziumoxidabscheidung mittels PECVD.

von Parametern zu kontrollieren um einen reproduzierbaren Prozeß zu erhalten. Die Hauptaufgabe des Plasmas ist hierbei die Erzeugung der chemisch reaktiven Spezies für die Abscheidung

[7] Für die eigentliche Viaätzung würden 100 nm Oxid genügen. Nun muß aber nach der Viaätzung das Oxid, auf dem die Ätzung stoppt, unter dem Vorderseitenkontakt geöffnet werden. Weiterhin ist die Isolatordicke unter dem Metall1-Pad bei der Verwendung von CMOS-Substraten im Bereich von 600 bis 800 nm, so dass 1 µm Oxid wirklich erforderlich wäre.

an sich. Im Plasma ist die Temperatur der Elektronen bis zu 1000fach höher als die Molekültemperatur der Gase (200 bis 300 °C). Die im Plasma erzeugten und multiplizierten Elektronen führen zu Ionisierung und Dissoziation der Gasmoleküle, so dass außer den eigentlichen Gasen wie z.B. Silan (SiH_4) auch SiH_3, $Si^\star$ und ähnliches vorhanden ist[8]. Der Einsatz von Helium als Trägergas reduziert den Anteil ungewollter Spezien im Gas und stabilisiert das Plasma [115, 116]. Gleichung 4.7 zeigt die Gesamtreaktion für die SiO_2-Abscheidung[9].

$$SiH_4 + 2\,N_2O \rightarrow SiO_2 + 2\,H_2 + 2\,N_2 \tag{4.7}$$

Um eine reproduzierbare Abscheidung zu erhalten, ist es bei gegebener Reaktorgeometrie nur sinnvoll bestimmte Parameter zu varriieren. So soll sich zum Beispiel die Anzahl an generierten und vernichteten Elektronen (z.B. an den Kammerwänden) die Waage halten, um ein stabiles Plasma zu erreichen. Bei zu kleinem Druck ($< 0{,}1$ Torr) erhöht sich die freie Weglänge der Elektronen und Gasmoleküle, so dass sich eine Reduzierung von Ionisierung und Dissoziation der Gase ergibt. Hieraus resultiert eine verringerte Abscheiderate und ein instabiles Plasma. Umgekehrt, wenn der Druck zu hoch ist (> 5 Torr) kommt es zu einem Anstieg der Molekül- und Elektronenstösse, was zu inhomogener Abscheidung bezüglich Dicke und Zusammensetzung der Schicht führt [118]. Ein analoger Zusammenhang zeigt sich bei der Variation der eingekoppelten RF-Leistung, die, wenn zu hoch, ebenfalls zu Inhomogenitäten führt [119].
Aus diesem Grund wurde bei den Versuchsreihen zur Siliziumoxidabscheidung auf die Variation des Prozessdruckes und der eingekoppelten RF-Leistung verzichtet, um stabile Plasmaverhältnisse zu gewährleisten. Variiert wurden bei drei verschiedenen Gesamtflüssen (Versuchs-

Reihe	Druck	Leistung	N_2O-Fluß	SiH_4-Fluß	Temperatur
A (Fluß F_0)	1 Torr	20 W	710 sccm	200 sccm	100, 125,..300 °C
B (Fluß $\frac{1}{2}F_0$)	1 Torr	20 W	355 sccm	100 sccm	100, 125,..300 °C
C (Fluß $\frac{1}{4}F_0$)	1 Torr	20 W	177,5 sccm	50 sccm	100, 125,..300 °C

Tabelle 4.2: Abscheideparameter für SiO-Versuchsreihen A, B und C. Die Abscheidetemperatur wurde jeweils von 100 °C bis 300 °C in 25 °C-Schritten variiert.

reihen A,B und C in Tabelle 4.2) jeweils die Abscheidetemperatur von 100 °C bis 300 °C, bei ansonsten konstanten Parametern. In Versuchsreihe D wurde die Gaszusammensetzung verändert, aber der Gesamtfluß von 910 sccm konstant gehalten (Tabelle 4.3)[10]. Die direkte Auswirkung des Anteils von Trägergas (He) auf die Oxideigenschaften wurde hier nicht untersucht (siehe z.B. [120] und [116]).
Prinzipiell wurden zwei verschiedene Arten von Proben hergestellt. Zur elektrischen Charakterisierung und zur Bestimmung der Ätzrate der verschiedenen Oxide wurde die Abscheidung auf n-Silizium (ca. 20 Ωcm) durchgeführt. Für die elektrischen Messungen wurden auf dem Oxid

[8] $\star$ soll hier einen angeregten Zustand kennzeichnen
[9] Veröffentlichungen zeigen dass die Reaktion mit N_2O effektiver abläuft als bei Verwendung von O_2 [117]
[10] Der angegebene SiH_4-Fluß bezieht sich immer auf 2% SiH_4 in He

Reihe	Temperatur	Druck	Leistung	N_2O-Fluß	SiH_4-Fluß
D	250 °C	1 Torr	20 W	610, 510,..210 sccm	300, 400,..700 sccm

Tabelle 4.3: Abscheideparameter für SiO-Versuchsreihe D. Der N_2O-Fluß wurde von 610 auf 210 sccm in 100 sccm-Schritten verringert. Entprechend wurde der SiH_4-Fluß in 100 sccm-Schritten erhöht so dass sich ein konstanter Gesamtfluß von 910 sccm ergab.

400 nm dicke kreisförmig strukturierte und auf der Siliziumrückseite 400 nm dicke ganzflächige Aluminiumkontakte aufgebracht.
Um etwas über die Zusammensetzung des Siliziumoxids bei den verschiedenen Abscheideparametern zu erfahren, wurde zusätzlich auch auf Kupfer abgeschieden. An diesen Proben wur-

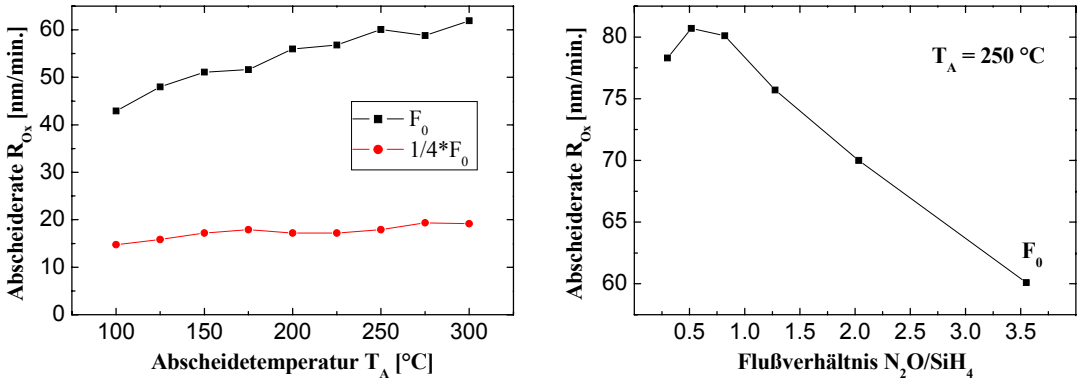


Abbildung 4.9: Abscheiderate von Siliziumoxid für variierende Abscheideparameter: (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

den EDX-Messungen (**E**nergy **D**ispersive **X**-Ray analysis, Energiedispersive Röntgenanalyse) vorgenommen, um den Sauerstoff- und Silizium-Anteil zu bestimmen. Bei dieser Meßmethode werden die charakteristischen Röntgenstrahlen der Elemente verwendet um diese zu detektieren.
Weiterhin wurde jeweils der Brechungsindex und die Ätzrate in 2%HF ermittelt um Aussagen über die Morphologie des Oxides zu erhalten.
Abbildung 4.9 zeigt die Abscheideraten der verwendeten Depositionsprozesse. Wie aus anderen Veröffentlichungen bekannt, steigt die Abscheiderate mit zunehmender Temperatur an (Abbildung 4.9-a, [121]). Dies liegt daran, dass bei steigender Temperatur die Umwandlung der Precursor in Si-O-Si Bindungen energetisch günstiger wird. Ist genügend Sauerstoff vorhanden, so ist der Silananteil reaktionsbegrenzend (Abbildung 4.9-b). Mit fallendem Silananteil wird die Abscheiderate geringer. Bei zu hohem N_2O-Anteil in der Gasphase kann es jedoch zu sogenannter Pulverbildung führen, die ebenfalls unerwünscht ist [122]. Bei einer Reduzierung des Gesamtflusses (Abbildung 4.9-a, untere Kurve) erfolgt eine Verringerung der Abscheiderate aufgrund der reduzierten Anzahl von Reaktionsspezies.

Strukturelle Veränderungen

Wie bereits erwähnt wurden zusätzlich zu den elektrischen Untersuchungen die strukturellen Veränderungen bei verschiedenen Abscheideparametern untersucht. Um die Silizium- und Sauerstoffanteile zu ermitteln wurden EDX-Messungen durchgeführt. Abbildung 4.10 zeigt beispielhaft eines der gemessenen Spektren.
Da die Abscheidung auf Kupfer stattfand, erhält man einen stark ausgeprägten Cu-Peak bei 0,923 keV (Cu $L_{\alpha,1}$ und Cu $L_{\beta,1}$) und einen kleineren bei 0,811 keV. Das Siliziumoxid zeigt sich

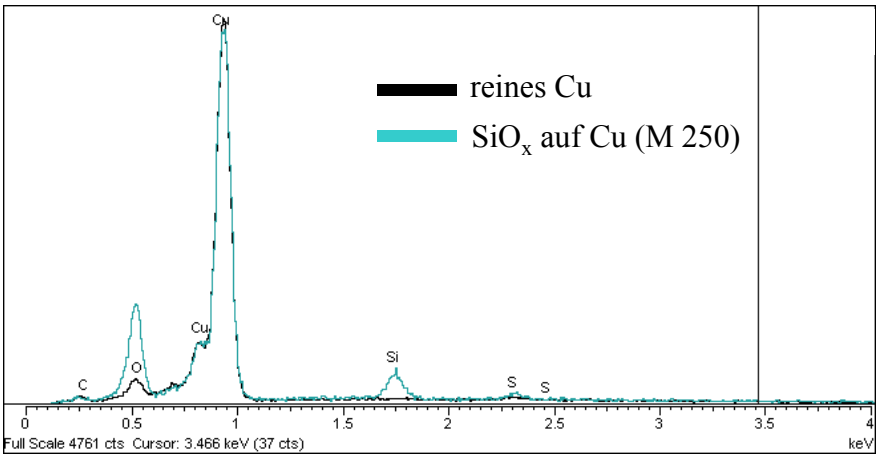


Abbildung 4.10: EDX-Spektren von reinem Kupfer und SiO_x auf Kupfer (Standardfluß F_0, T = 250 °C).

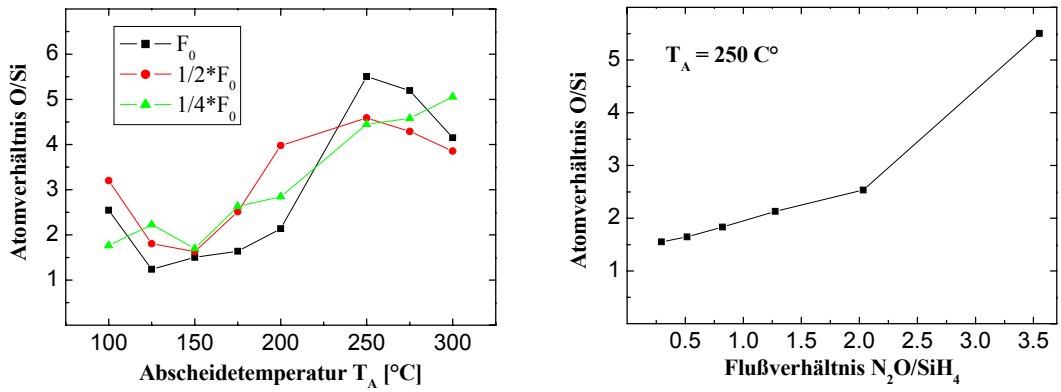
durch den Siliziumpeak (Si $K_{\alpha,1}$ bei 1,74 keV) und den Sauerstoffpeak bei 0,525 keV (O $K_{\alpha,1}$). Ausgehend von diesen Messungen wurde jeweils der Siliziumanteil und der Sauerstoffanteil in den einzelnen Proben ermittelt.
Sauerstoff stellt bei Messungen in Vakuumanlagen immer ein Problem dar, da er nie vollkommen eliminiert werden kann. Desweiteren ergibt auch das reine Kupfer einen Sauerstoffpeak. Aus diesem Grund wurden bei allen Messungen jeweils eine Kupferreferenz mitgemessen, auf welche die jeweiligen Werte für den Sauerstoff normiert werden (Formel 4.8). Der Siliziumanteil kann direkt aus der Messung übernommen werden.

$$A_O = A_{O,M} - \frac{A_{Cu,M}}{A_{Cu,R}} \cdot A_{O,R} \tag{4.8}$$

$$A_{Si} = A_{Si,M} \tag{4.9}$$

Hierbei bezeichnet A_O den Atomanteil von Sauerstoff, $A_{O,M}$ den gemessenen Atomanteil, und $A_{O,R}$ den Sauerstoffanteil der Referenzprobe (reines Cu). $A_{Cu,M}$ und $A_{Cu,R}$, bzw. A_{Si} und $A_{Si,M}$ bezeichnen dementsprechend die Anteile des Kupfers bzw. Siliziums. Trotzdem ergibt sich eine relativ große Messunsicherheit so dass die Werte aus den EDX-Messungen nur einen groben Anhalt geben können.
Aus Abbildung 4.11-a erkennt man, dass tendenziell mit steigender Temperatur mehr Sauerstoff in die Schicht eingebaut wird und somit ein Sauerstoffüberschuss in der Schicht entsteht.

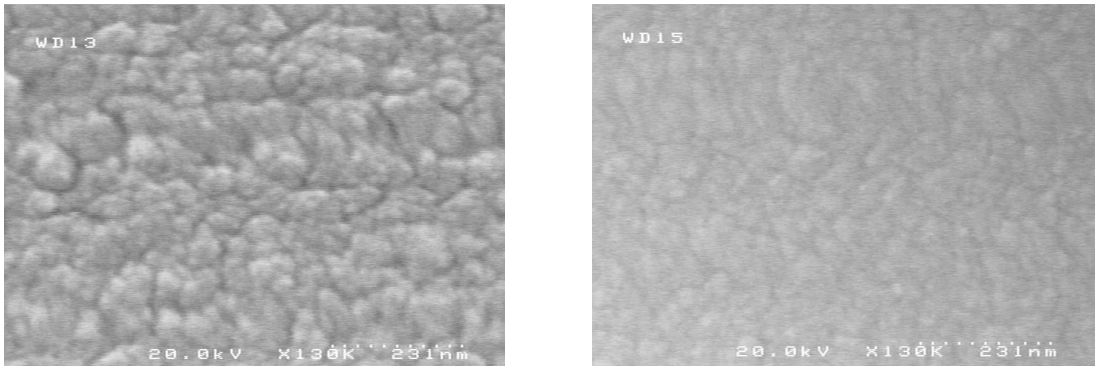
Betrachtet man Abbildung 4.11-b so zeigt sich, dass mit zunehmendem Sauerstoffangebot in der Gasphase, wie zu erwarten war, auch mehr Sauerstoff in die Schicht eingebaut wird.
Eine qualitative Untersuchung der Oberfläche des abgeschiedenen Oxides kann mittels eines Rasterelektronenmikroskops (REM) erfolgen. Abbildung 4.12 zeigt die Aufnahmen zweier



a) b)

Abbildung 4.11: Atomverhältnis von Sauerstoff (O) zu Silizium (Si) für variierende Abscheideparameter des Siliziumoxides: (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A,B und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

Schichten mit verschiedener Abscheidetemperatur. In Einklang mit den EDX-Auswertungen ergibt sich bei niedrigeren Temperaturen eine rauere Schicht durch den erhöhten Siliziumanteil [121]. Da die Oberflächenrauigkeit für die hier diskutierten Anwendungen nicht relevant



a) b)

Abbildung 4.12: REM-Aufnahmen von Silizumoxid-Proben (Standardfluß F_0): (a) Abscheidetemperatur 100 °C; (b) Abscheidetemperatur 275 °C.

ist, wurden keine weiteren Untersuchungen in dieser Richtung durchgeführt.
Um weitere Rückschlüsse über die strukturelle Qualität des deponierten Siliziumoxids zu erhalten wurde jeweils die Ätzrate in 2%HF bestimmt, sowie der Brechungsindex mittels Ellipsometermessung festgestellt (der Brechungsindex von stöchiometrischem Siliziumdioxid sollte nahe

bei 1,46 liegen). Die Ätzrate des Oxides hängt neben der Konzentration der Flußsäure und der Temperatur auch von der Struktur und damit von der Entstehungsgeschichte ab. Die Ätzrate

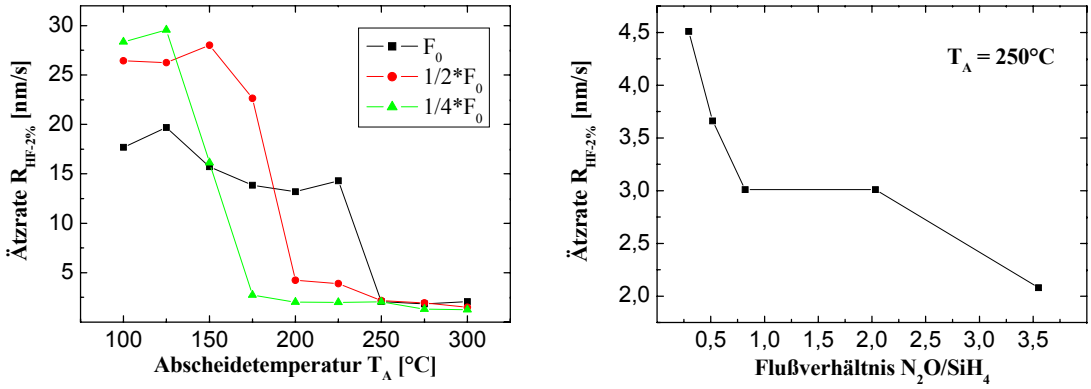


Abbildung 4.13: Ätzrate von Siliziumoxid in 2%-HF für variierende Abscheideparameter: (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A, B und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

nimmt hierbei von Quartz über CVD-Oxid zu anodischem Oxid hin zu (siehe auch [123]). Den Ätzvorgang von Siliziumoxid in Flußsäure beschreibt Gleichung 4.10.
Während des Ätzens öffnet zunächst das H^+ das Siliziumoxid-Netzwerk, so dass anschließend reaktives Fluor das Silizium angreifen kann.

$$SiO_2 + 6HF \quad \rightarrow \quad SiF_6^{2-} + 2H_2O \tag{4.10}$$

Bei Siliziumoxid hoher Qualität (Quartz, kristallines SiO_2) liegen fast ausschließlich gleichartige Si-O-Bindungen vor die eine hohe Bindungsstärke aufweisen [123]. Dementsprechend dringt weniger Fluor in die Matrix ein und die Ätzrate ist geringer als z.B. bei CVD-Oxid. Abbildung 4.13 zeigt den Verlauf der Ätzraten für die verschiedenen Versuchsreihen.
Man erkennt deutlich die Abhängigkeit von der Abscheidetemperatur T_A bei verschiedenen Gasflüssen (Abb. 4.13-a). Beim Standardgasfluß F_0 liegt die ”Sprungtemperatur” der Ätzrate bei $\leq 250\,°C$ und nimmt über $\leq 200\,°C$ bis zu $\leq 175\,°C$ für den halben bzw. viertel Gasfluß ab. Diese Verschiebung der Sprungtemperatur lässt sich mit einer abnehmenden Dichte von starken Si-O-Bindungen erklären, wodurch die Ätzrate steigt. Für die langsamste Abscheidung ergibt sich die geringste Sprungtemperatur, was in Bezug auf die Bindungen in der Schicht auf ein qualitativ höherwertiges Oxid hinweist.
Betrachtet man erneut Abbildung 4.12 so hat eine Reduzierung der Abscheidetemperatur auch eine erhöhte Rauigkeit der Schicht zur Folge, was eine erhöhte Angriffsfläche für die Ätzlösung erzeugt.
Abbildung 4.13-b zeigt den Einfluß des Gasmischungsverhältnisses auf die Ätzrate bei einer Abscheidetemperatur von $T_A = 250\,°C$. Man erhält hier nur einen geringen Einfluß, erkennt

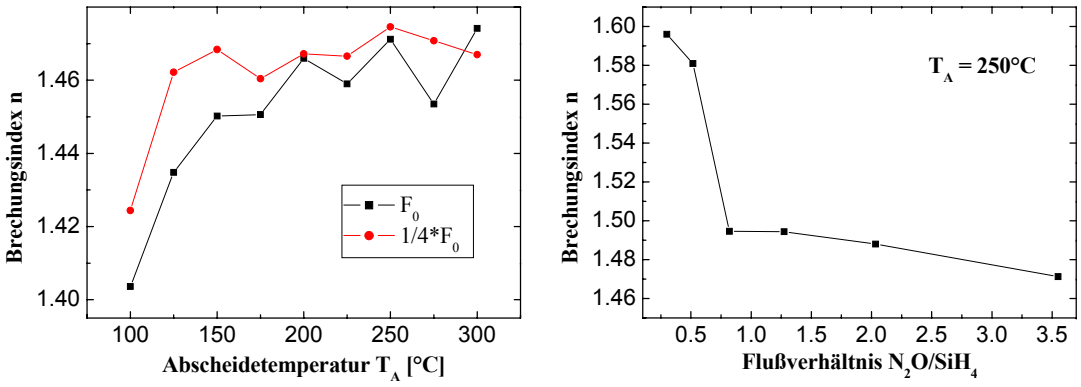


Abbildung 4.14: Brechungsindex von Siliziumoxid für variierende Abscheideparameter (λ = 632,8 nm): (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

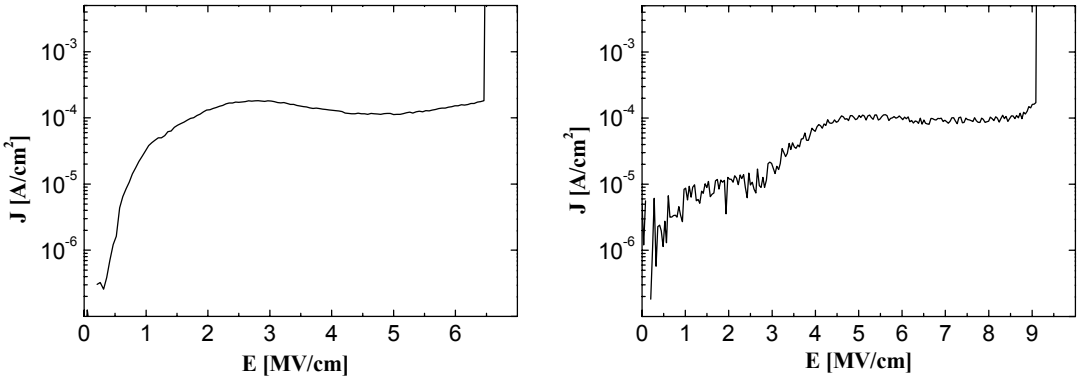
aber einen Anstieg der Ätzrate zum erhöhten Siliziumanteil hin.

Die Abhängigkeit des Brechungsindex von den Abscheideparametern zeigt eine ähnliche Abhängigkeit (Abb. 4.14). Bei reduzierter Abscheiderate wird der Brechungsindexbereich des stöchiometrichen Oxides bereits bei geringerer Abscheidetemperatur erreicht (Abb. 4.14-a), was auf eine höhere Qualität des Oxides hinweist. Der Verlauf des Brechungsindex über die Gaszusammensetzung korreliert ebenfalls mit dem Verhalten aus der Äztratenabhängigkeit. Wie zu erwarten war, erhält man für steigenden Sauerstoffanteil einen geringeren Brechungsindex.
Aus diesen ersten Messungen erwartet man ein ähnliches Verhalten für die elektrischen Parameter. Es sollten sich für verringerte Abscheideraten bereits bei niedrigeren Temperaturen bessere Werte ergeben als für den Standardprozeß.

Elektrische Resultate

In Abbildung 4.15 sind beispielhaft zwei gemessene J-E-Kennlinien (Stromdichte-Feldstärke) des Siliziumoxids dargestellt. Man erkennt den Leckstrombereich bei niedrigen Feldstärken, sowie den Durchbruch bei Erreichen der maximalen Feldstärke. Im Bereich vor dem Durchbruch dominiert bei hohen Oxiddicken, wie sie hier vorliegen, im Allgemeinen das Fowler-Nordheim-Tunneln (siehe auch Abbildung B.10) [124].

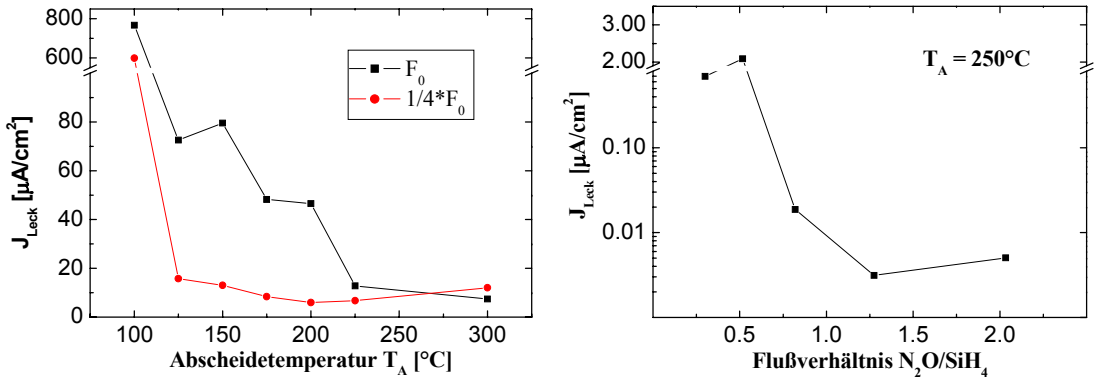
Um die abgeschiedenen Oxide vergleichen zu können wurde jeweils der Leckstrom bei einer Feldstärke von 1 $\frac{MV}{cm}$ herangezogen, der bei allen Oxiden im Leckstrombereich liegt (Abbildung 4.16).
Es ergibt sich für eine Abscheidetemperatur von 100 °C eine von den Gasflüssen relativ unab-



a) b)

Abbildung 4.15: Stromdichte als Funktion der elektrischen Feldstärke für Normfluß F_0: (a) Abscheidetemperatur 125 °C (Kontaktfläche $A_K = 2{,}6 \cdot 10^{-4}\,cm^2$, Oxiddicke $d_{Ox} = 96\,nm$); (b) Abscheidetemperatur 300 °C (Kontaktfläche $A_K = 2{,}75 \cdot 10^{-4}\,cm^2$, Oxiddicke $d_{Ox} = 124\,nm$).

hängige hohe Leckstromdichte (Abb. 4.16-a). Diese sinkt für die reduzierten Gasflüsse ($\frac{1}{4}F_0$) allerdings viel schneller mit steigender Abscheidetemperatur als für den Fluss F_0. So erreicht

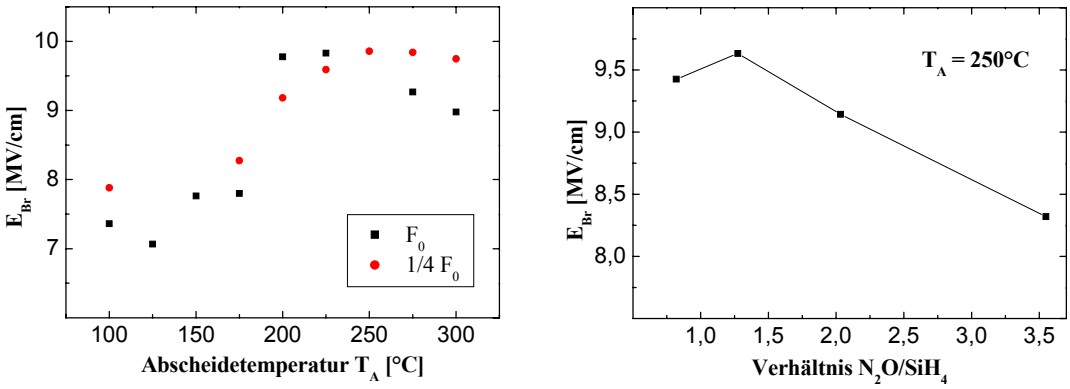


a) b)

Abbildung 4.16: Leckstromdichte von Siliziumoxid für variierende Abscheideparameter (E = 1 MV/cm): (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

man bereits bei 175 °C einen Wert unterhalb von 10 $\frac{\mu A}{cm^2}$.
Für die Abhängigkeit der Leckströme von der Gaszusammensetzung ergibt sich mit steigendem Sauerstoffanteil im Plasma eine Reduzierung der Leckströme. Eine Abschätzung der Mechanismen für den Stromtransport durch das Oxid findet sich in Kapitel B.6.

Abbildung 4.17 zeigt die Abhängigkeit der Durchbruchfeldstärke E_{Br} von den Abscheideparametern. Für den reduzierten Gasfluß (und damit reduzierte Abscheiderate) ergeben sich meist

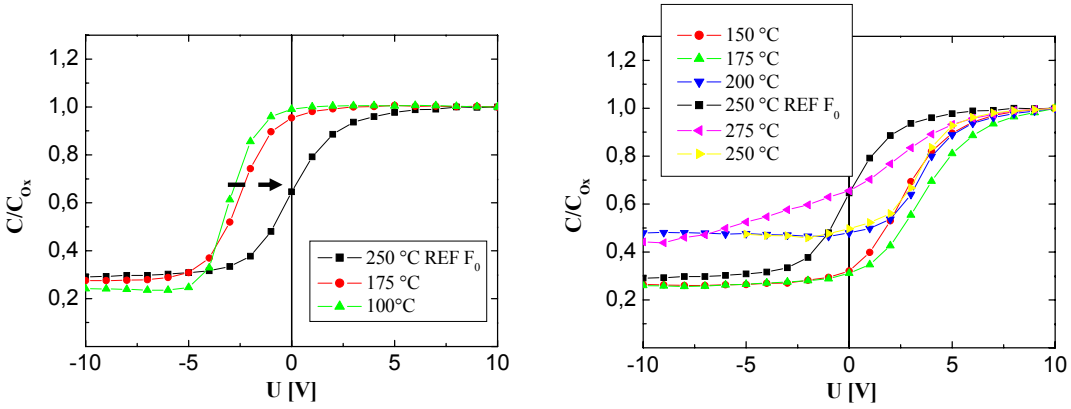


a) b)

Abbildung 4.17: Durchbruchfeldstärke von Siliziumoxid für variierende Abscheideparameter: (a) Abhängigkeit von der Abscheidetemperatur mit dem Gasfluß als Parameter (Reihen A und C); (b) Abhängigkeit vom Gasmischungsverhältnis (Reihe D).

leicht höhere Werte für die Durchbruchfeldstärke als für die Abscheidung bei Standardfluß. Allgemein werden spätestens ab einer Abscheidetemperatur von 200 °C sehr gute Werte für E_{Br} erreicht.

Abbildung 4.18 zeigt C-V-Messungen, die an den hergestellten Oxidproben durchgeführt wurden. Bei den Proben, die mit Standardfluß F_0 abgeschieden wurden, ergibt sich bei niedrigen



a) b)

Abbildung 4.18: C-V-Messungen für Normalfluß und reduzierten Fluß: (a) C-V-Messungen für Normalfluß F_0; (b) C-V-Messungen für reduzierten Fluß $\frac{1}{4}F_0$ (n-Silizium-Kontakt auf Masse, $N_{D,Si} \approx 10^{16}$ cm^{-3}).

Depositionstemperaturen eine Verschiebung der Kurve hin zu negativen Spannungen (Abb. 4.18-a), im Vergleich zur Referenzprobe (Normalfluß F_0, T_A = 250 °C).
Dies ist ein Hinweis auf positive Ladungen, die im Oxid oder an der Grenzfläche zum Silizium

vorhanden sein können, da die Schwellspannung für die Inversion verringert wird. Dies wird auch aus anderen Veröffentlichungen zur Niedertemperaturabscheidung deutlich [125].
Die Kurve in Abbildung 4.18-b zeigt umgekehrtes Verhalten. Hier zeigt sich eine Verschiebung der Kurve zu positiven Spannungen hin (relativ zur Referenz), was in diesem Fall das Vorhandensein von negativen Ladungen im Oxid bedeuten würde. Diese könnten z.B. durch den Einbau von OH^- in die Schicht hervorgerufen werden.

4.2.3 Abscheideverhalten von Siliziumoxid im Via

Abbildung 4.19 zeigt zwei Versuche zur Charakterisierung des Abscheideverhaltens von PECVD-Oxid (verwendet wurde hierbei der Standardprozess aus Kapitel 4.2.2).
Bei großen Aspektverhältnissen (Verhältnis Tiefe zu Breite des Vias) resultiert eine stark reduzierte Abscheidung zum Boden des Vias hin. Es ergibt sich vor allem am unteren Übergang zum Viaboden (Vorderseite am Landepad) eine geringere Oxiddicke (Abbildung 4.19-a2). Dies

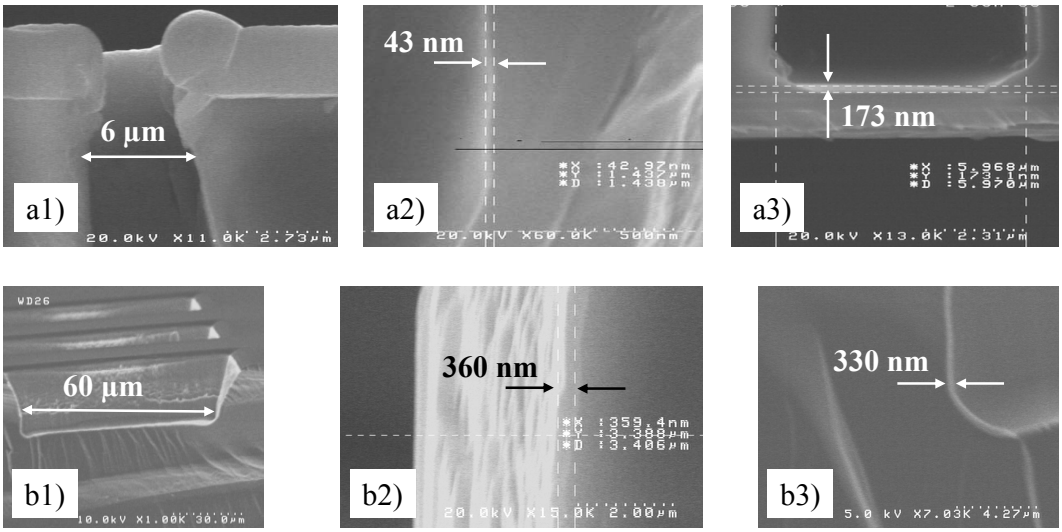


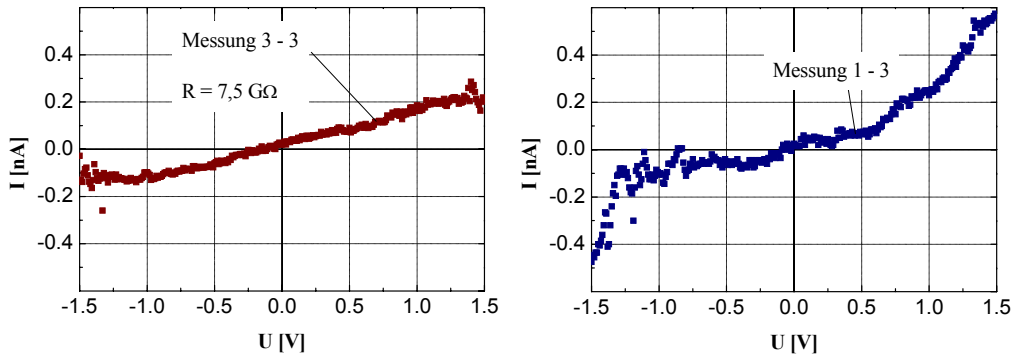
Abbildung 4.19: Oxidabscheidung im Via: (a) Via mit 6 x 6 µm² (18 µm tief): (a1) Querschnitt des Vias mit 2 μm Oxid auf der Oberfläche; (a2) Abscheidung am unteren Ende der Seitenwand; (a3) Abscheidung am Boden des Vias. (b) Via mit 60 x 60 µm² (20 µm tief): (b1) Querschnitt des Vias mit 1 µm Oxid auf der Oberfläche; (b2) Abscheidung am oberen Ende der Seitenwand; (b3) Abscheidung am unteren Ende der Seitenwand und am Boden des Vias.

liegt auch daran, dass mit zunehmender Abscheidedicke die Öffnung des Vias kleiner wird (Abb. 4.19-a1). Am Boden erhält man tendenziell eine höhere deponierte Oxiddicke als an der Seitenwand (Abb. 4.19-a3), wobei die hier benutzte Präparationsmethode (Spalten oder Sägen) teilweise zu Abplatzen des Oxides führen kann. Bei kleinen Aspektverhältnissen der Vias (Abb. 4.19-b) ergibt sich ebenfalls eine verringerte Abscheidung an der Seitenwand, die aber über die Tiefe des Vias konstant bleibt und im gezeigten Beispiel immer noch ein Drittel der auf der Oberfläche abgeschiedenen Dicke beträgt.

Die hier verwendeten Aspektverhältnisse liegen mit einem Viadurchmesser von 6 x 6 µm^2 und einer Viatiefe von ca. 10 µm in der Mitte der zwei gezeigten Extreme. Elektrische Messungen zeigen, dass mit den verwendeten Abscheideparametern sehr wohl eine ausreichende Isolierung erzeugt werden kann. Eine zusätzliche Verbesserung der Kantenbedeckung des Oxides könnte eventuell durch die kontrollierte Zugabe von CF_4 während der Abscheidung erreicht werden [126].

4.2.4 Elektrische Messungen der PECVD-Isolation

Um die elektrischen Eigenschaften der Viaisolation mittels PECVD zu ermitteln wurden Messungen an vereinfachten Teststrukturen durchgeführt. Die Vorderseitenmetallisierung besteht bei diesen Strukturen aus ganzflächig abgeschiedenem Aluminium (d = 400 nm). Nach der



a) b)

Abbildung 4.20: Isolationsmessungen an einer Teststruktur: (a) Messung zwischen zwei Vias (Messung 3–3, komplett isoliert); (b) Messung von Via auf Aluminium-Gegenelektrode (Messung 1–3).

Viaätzung wurde der Isolator deponiert (abgeschiedene Dicke: 250 nm) und die Viametallisierung durchgeführt (siehe auch Probentyp **I** in Abbildung B.15-a).
Betrachtet man die Messungen in Abbildung 4.20 so ergibt sich kein wesentlicher Unterschied in der Isolation bezüglich der Al-Gegenelektrode (Abb. 4.20-b) bzw. eines benachbarten Vias (Abb. 4.20-a). Man erhält im dargestellten Spannungsbereich Leckströme unterhalb 10^{-9} A.

4.2.5 Anodische Oxidation von Silizium

Um eine Verbesserung der Oxidqualität zu erreichen, kann die Methode der anodischen Oxidation von Silizium verwendet werden. Abbildung 4.21-a zeigt den prinzipiellen Aufbau zur Durchführung einer anodischen Oxidation. Verwendet wird ein gekapselter Probenhalter, der die zu oxidierende Probe enthält und so ausgeführt ist, dass nur die Oberseite der Probe mit

dem Elektrolyten in Kontakt kommt. Die elektrische Kontaktierung der Probe erfolgt über die

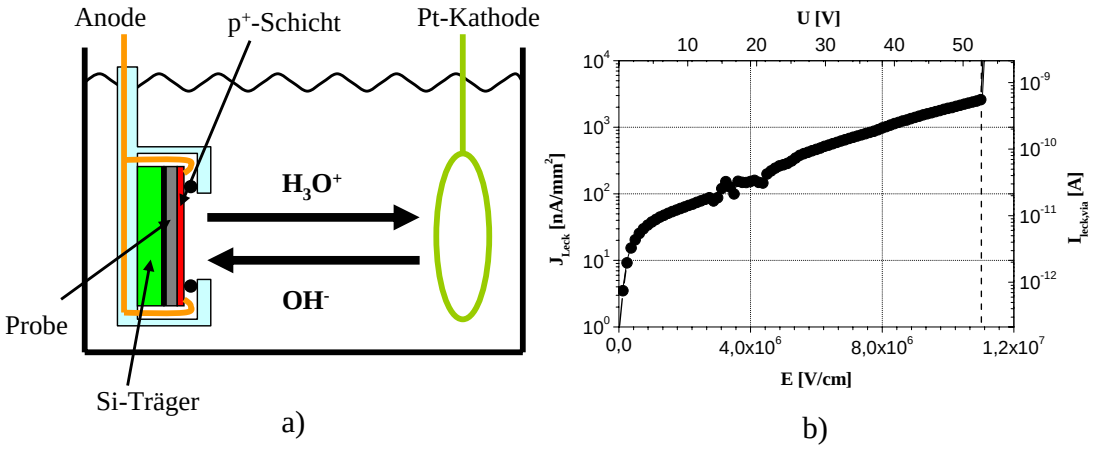


Abbildung 4.21: Prinzipskizze zur anodischen Oxidation und I-U-Messung eines anodisch oxidierten Vias: (a) Prinzipskizze des Aufbaus zur anodischen Oxidation; (b) Leckstrommessung eines Vias mit 200 nm PECVD-Oxid und 50 nm anodischem Oxid [127].

p^+-Siliziumepitaxieschicht, die nach dem Dünnen an der Rückseite offen liegt.
Als Elektrolyt kann z.B. eine Mischung aus 0.02 M KNO_2 (Kaliumnitrit) und 0,02 M KNO_3 (Kaliumnitrat) in Ethylenglycol (Restwasseranteil ca. 2%) verwendet werden. Mit einer solchen Mischung wurde ein geringer Einfluss auf die Oxidkontamination und die Hysterese der C-V-Kurve gezeigt [128]. Die hohe Viskosität des Ethylenglycols ($C_2H_6O_2$) begünstigt hierbei ein langsames Ablaufen der Reaktion. In der Lösung erfolgt dann eine Aufspaltung analog folgender Formel

$$KNO_3 + H_2O \rightarrow K^+ + OH^- + HNO_3\,. \tag{4.11}$$

Zur Durchführung der Oxidation wird relativ zu einer Platingegenelektrode ein Potential angelegt. Hierdurch bewegen sich die OH^--Ionen in der Lösung zur Probenoberfläche wodurch das Silizium oxidiert wird (Abbildung 4.21-a).
Beim Anlegen des Potentials am Silizium finden folgende Reaktionen statt.

Si-Anode:

$$Si + 4OH^- + 4h^+ \rightarrow SiO_2 + 2H_2O \tag{4.12}$$

$$Si + 2H_2O \rightarrow SiO_2 + 4H^+ + 4e^- \tag{4.13}$$

$$2H_2O \rightarrow O_2 \uparrow + 4H^+ + 4e^- \tag{4.14}$$

$$C_2H_6O_2 \rightarrow 2H_2CO + 2H^+ + 4e^- \tag{4.15}$$

Pt-Kathode:

$$2H_2O + 2e^- \rightarrow H_2 \uparrow + 2OH^- \tag{4.16}$$

$$NO_3^- + H_2O + 2e^- \rightarrow NO_2^- + 2OH^- \tag{4.17}$$

Die Gleichungen 4.12 und 4.13 beschreiben die Oxidbildung mit OH^--Ionen oder direkt mit Wasser. Es erfolgt eine Anlagerung von OH^- an der Siliziumoberfläche, wobei durch Abgabe

von Löchern SiO_2 entsteht (Gl. 4.12). An der Platin-Kathode werden aus dem Wasser die benötigten OH^--Ionen erzeugt (Gl. 4.16 und 4.17).
Durch bereits vorhandenes Oxid auf dem Silizium findet feldunterstützte Diffusion statt. Mit steigender Oxiddicke wird es für die OH^- jedoch schwerer die Siliziumoberfläche zu erreichen, so dass für eine gleichbleibende Feldstärke eine höhere Spannung notwendig wird. Dieser Effekt wird ausgenutzt, um die Dicke des Oxides zu kontrollieren, da hierbei eine lineare Abhängigkeit besteht [128]. Bei dem hier verwendeten Aufbau ergibt sich für eine angelegte Spannung von 80 V eine Oxiddicke von ca. 50 nm.
Dadurch, dass die Oxidation von einem Stromfluss getragen wird, erfolgt das "Ausheilen" von offenen Oxidstellen quasi von selbst. An diesen Positionen findet zu Beginn des Vorganges eine verstärkte Oxidation statt, da hier bevorzugte Strompfade vorhanden sind. Bei Erreichen eines geringen Reststromes nach der Durchführung der Oxidation kann sofort ein Rückschluss auf die Qualität des Oxides gezogen werden, da dieser abhängig von den Grenzflächenzuständen ist.
Um eine hohe Wachstumsrate zu erreichen, ist zu Beginn eine Anodisierung mit konstantem Strom empfehlenswert, die dann allerdings eine hohe Oxidladung zur Folge hat. Bei einer anschliessenden Konstantspannungsbehandlung, kann diese Ladung jedoch wieder abgebaut werden und die Qualität des Oxides verbessert sich [129].
Weiterhin sollte der Wasseranteil nicht zu hoch sein, da dieser die Durchbruchfeldstärke negativ beeinflusst. Es wurde gezeigt, dass ein Ausheizen (z.B. bei 400 °C) des Oxides positiven Einfluss auf die Anzahl der Oxidladungen haben kann [129]. Dies widerspricht allerdings einem möglichst kleinen Temperaturbudget.
Ein durch anodische Oxidation verbessertes Viaoxid zeigt Abbildung 4.21-b [127]. Für die hier beschriebene Viageometrie erhält man Leckströme von weniger als 10^{-11} A bis zu einer Feldstärke von 2 $\frac{MV}{cm}$. Für die Durchbruchfeldstärke ergeben sich ebenfalls sehr gute Werte oberhalb von 10 $\frac{MV}{cm}$.
Diese Ergebnisse zeigen die Anwendbarkeit der anodischen Oxidation für die Verbesserung der Viaisolation. Die erhaltenen Leckströme im Bereich von 10^{-11} A liegen zwei Grössenordnungen unter den Leckströmen mit reinem CVD-Oxid und sollten ausreichend für die meisten analogen Anwendungen sein.

4.3 SoLID Diffusionslöten

Neben den Plasmadepositionsprozessen sind oftmals die Verbindungstechnologien mit einem großen Temperaturbudget belastend für die Substrate bei einer dreidimensionalen Integration. Mit der Verwendung eines Lötprozesses, der bei niedriger Temperatur stattfindet, wird das gesamte Temperaturbudget der Integration weiter reduziert.
Wie bereits erwähnt, wurde die hier verwendete Löttechnik bei Infineon in München in Zusammenarbeit mit dem Fraunhofer IZM (Institut für Zuverlässigkeit und Mikrointegration)

zur Produktionsreife entwickelt. Erste Ergebnisse wurden hierbei für eine Face-to-Face-Lötung (Vorderseiten zweier Chips aufeinander) veröffentlicht [10]. Ziel war eine Anwendung im Be-

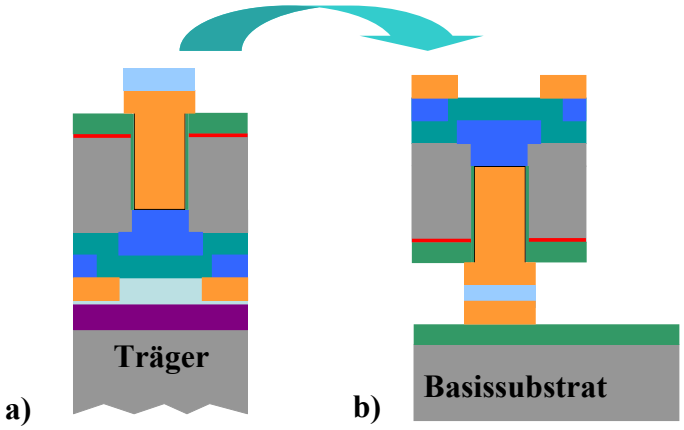


Abbildung 4.22: Prozeßschritte bei der Lötung auf das Basissubstrat: (a) Lötung; (b) Entfernen des Trägers.

reich von sicheren Chipkarten. Deshalb wurden neben den eigentlichen elektrischen Kontakten auf dem Großteil der Chipfläche mechanische Lötverbindungen erzeugt. Diese erschweren das "Reverse Engineering" und erhöhen somit die Sicherheit. Weiterhin verbessern sie die mechanische Stabilität. Für einen $5 \times 5\,mm^2$ großen Chip wurden so Scherkräfte bis größer 120 N gemessen [10].
Bei der hier durchgeführten Lötung werden neben den elektrischen Kontakten die eine Größe von $9 \times 9\,\mu m^2$ besitzen ebenfalls mechanische Lötflächen mit einer Größe von ca. $80 \times 80\,\mu m^2$ verwendet. Die Konfiguration zeigt z.B. Abbildung 3.10-c in Kapitel 3.3.4.

4.3.1 Grundlagen des Diffusionslötens

Das Diffusionslöten beruht auf dem Prinzip der isothermen Erstarrung. Voraussetzung ist hierbei eine Kombination aus zwei Metallen, wobei eines einen niedrigen Schmelzpunkt aufweist, die zusammen eine hochschmelzende Verbindung erzeugen können. Als Beispiel können Gold/-Indium oder Kupfer/Zinn genannt werden. Betrachtet man das Cu-Sn-Phasendiagramm in Abbildung 4.23-b, so erkennt man die hochschmelzende ε-Phase mit einem Zinnanteil von 25 % (Cu_3Sn), die bis 640 °C stabil ist.
Während des Prozesses, der auf einer Kupfer-Zinn-Kupfer-Schichtfolge aufbaut (Abb. 4.23-a), werden die Metalle über die Schmelztemperatur des Zinns (Sn) erhitzt. Sodann beginnt die Diffusion des Kupfers in das flüssige Zinn. Es bildet sich zunächst eine Zwischenphase (η, Cu_6Sn_5) mit 43,5 at-% Zinn, die bereits über einen erhöhten Schmelzpunkt verfügt, und bereits bei Raumtemperatur vorhanden ist. Mit fortschreitender Kupferdiffusion reagiert die Cu_6Sn_5-Schicht bei Temperaturen oberhalb 150 °C mit dem Cu zu Cu_3Sn (ε-Phase) [131]. Ist ausreichend Kupfer vorhanden, so kann die gesamte vorhandene Schicht in die ε-Phase umgewandelt

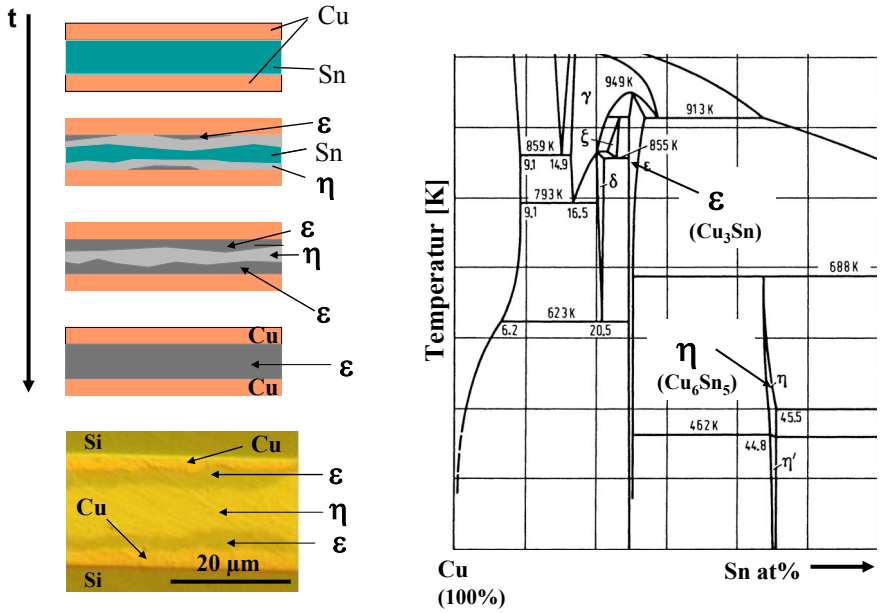


Abbildung 4.23: Verlauf der Phasenbildung beim SoLID-Prozess und Cu-Sn-Phasendiagramm: (a) Zeitlicher Verlauf der Phasenbildung bei der SoLID-Lötung und Mikroskopaufnahme eines Schliffes; (b) Ausschnitt aus dem Cu-Sn-Phasendiagramm nach [130].

werden. Diese ist bis weit oberhalb der Löttemperatur ($>$ 232 °C, Sn-Schmelztemperatur) stabil und wird durch erneutes Löten nicht wieder gelöst [132]. Entscheidend für den Lötprozess sind die Dicken der Kupfer- und Zinnschichten, sowie der Druck der während der Lötung auf die Proben ausgeübt wird.

Über das Diffusionslöten (SoLID[11]) von Kupfer und Zinn gibt es etliche Untersuchungen, die neben der Phasenbildung auch mechanische Eigenschaften untersuchen (z.B. [133]). Einen produktionsreifen Prozeß haben jedoch erst Hübner et al. im Jahr 2002 gezeigt [10]. An ungedünnten Proben mit Lötmetallisierungen von 15 x 15 µm^2, die Vorderseite zu Vorderseite gelötet wurden, konnten Kontaktwiderstände von 7,5 mΩ gezeigt werden [10].

Dies ermöglicht die Einführung dieser Löttechnik für eine dreidimensionale Integration bei der die wesentliche Eigenschaft, die hochtemperaturstabile Verbindung bei niedriger Löttemperatur, für wiederholtes Löten auf dem selben Substrat angewendet werden kann. So fand dieses Lötverfahren auch bereits Anwendung bei der 3D-Integration von gedünnten Substraten [134, 114].

Die Oberflächenqualität der Lötmetallisierung beeinflusst die Qualität der Lötverbindung. So kann z.B. durch geeignete Reinigungsschritte das Kupferoxid entfernt werden, und damit eine verbesserte Lötung mit reduziertem elektrischem Widerstand erzielt werden. Die Literatur zeigt Werte $< 0{,}5\,\Omega$ für eine gelötete 3D-Durchkontaktierung [135].

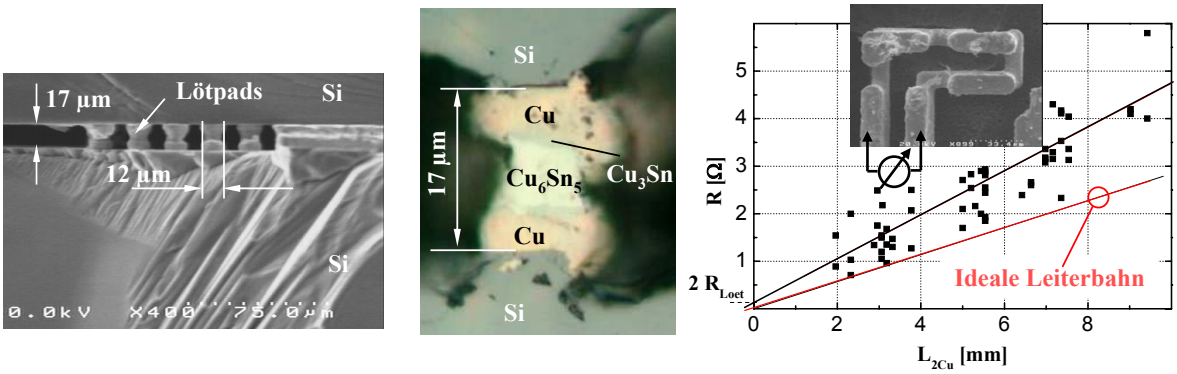
Der Vorteil bei dieser Verbindungstechnik liegt offensichtlich in der geringen Löttemperatur,

[11] **So**lid **L**iquid **I**nter**D**iffusion, (dt.) fest-flüssig Interdiffusion

obwohl eine hochtemperaturstabile Verbindung erreicht werden kann. Dies bietet die Möglichkeit Lötungen hintereinander durchzuführen, ohne vorherige Verbindungen, elektrische und mechanische, wieder zu lösen. Weiterhin kann die Größe der Lötkontakte skaliert werden, wie auch in Abbildung 3.10-c gezeigt, so dass elektrische und mechanische Verbindungen simultan erzeugt werden können. Ein Nachteil ist, dass während des Lötvorgangs keine oxidierende Atmosphäre vorhanden sein darf, um die Bildung von Zinnoxid und Kupferoxid zu vermeiden. Dies bedeutet leicht erhöhte Anforderungen an die Lötapparatur, wie z.B. eine zusätzliche Stickstoffspülung (siehe auch Kapitel B.8).
Bei der hier demonstrierten Technologie wurden Cu-Dicken von 3 µm und Sn-Dicken von 2 µm verwendet. Für eine weitere Reduzierung der Geometrie der Lötkontakte sind weitergehende Untersuchungen notwendig. Ein Ansatz ist z.B. die Einführung von Diffusionsbarrieren, die die Kinetik des Phasenwachstums beeinflussen und so die Zeitkonstante für die Benetzung von Sn auf Cu erhöhen [136]. Damit ist es möglich, die Lötmetallisierungen auf einen Bereich von wenigen 100 nm zu reduzieren.

4.3.2 Ergebnisse der Lötungen

Um die Lötverbindungen zu charakterisieren, wurden Lötungen mit ungedünnten Proben durchgeführt (siehe Abbildung 4.24-a). Diese Proben besitzen jeweils nur Cu-Strukturen (Basissubstrat) bzw. Cu-Sn-Strukturen (Chip) für die Lötung. Das Basissubstrat weist zusätzlich Cu-Leiterbahnen mit Messpads auf. Der gelötete Chip hingegen, schließt nur die Verbindungen auf

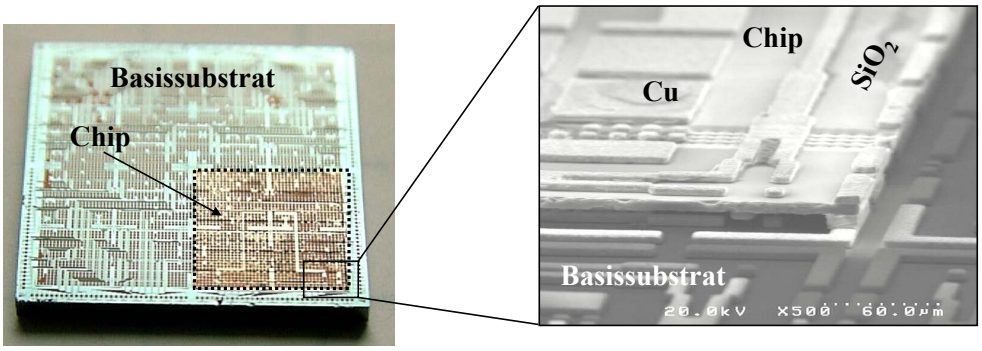


a) b) c)

Abbildung 4.24: Löttestchip und Lötwiderstandverteilung: (a) REM-Aufnahme des ungedünnten Löttestchips; (b) Schliff durch eine Lötverbindung; (c) Verteilung des Lötwiderstandes auf der Testprobe (Fläche: 1 x 1 cm^2, keine Durchkontaktierungen, nur Lötbrücken mit Zuleitungen). Es ergibt sich ein extrapolierter Widerstand einer Lötung von $R_{Loet} \leq 0{,}1\ \Omega$ (Lötkontakte: 12 x 12 μm^2).

dem Basissubstrat. Die optische Kontrolle der Lötung kann durch Anfertigen eines Schliffes (Abbildung 4.24-b) oder bei außenliegenden Kontakten durch REM-Aufnahmen erfolgen. Da

die Cu-Leiterbahnen verschiedene Längen aufweisen, kann eine Messung analog zur bekannten TLM[12]-Messung durchgeführt werden.
Abbildung 4.24-c zeigt eine solche Messung. Hierbei wird der gemessene Widerstand über die Länge der gesamten Zuleitung aufgetragen. Über eine Ausgleichsgerade kann der Schnittpunkt bei Länge null, und damit der doppelte Lötwiderstand extrapoliert werden. Die Messung zeigt

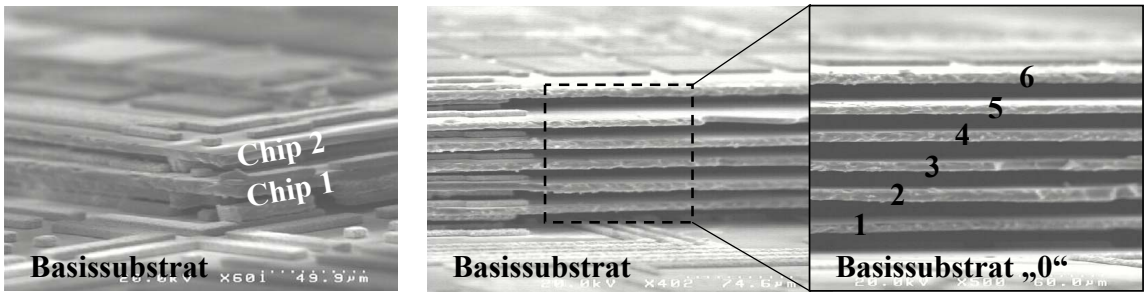


a) b)

Abbildung 4.25: Gelöteter Chip auf Basissubstrat (1 x 1 cm^2): (a) Photographie des Chips auf dem Substrat; (b) REM-Aufnahme.

den erhöhten spezifischen Widerstand des galvanischen Kupfers (Steigung der Ausgleichsgeraden) im Vergleich zu reinem Kupfer ($\rho_{Cu,Mess} \lesssim 3\,\mu\Omega$cm, rot in Abb. 4.24-c). Der Schnittpunkt der Regressionsgeraden bei L = 0 ergibt einen Lötwiderstand $R_{Loet} \leq 0{,}1\,\Omega$. Dieser Wert kann allerdings aufgrund der großen Schwankung der Meßwerte nur als Hinweis auf die Größenordnung des Lötwiderstandes gesehen werden. In der Literatur finden sich Werte von $\rho_{Cu} \approx 1{,}7\,\mu\Omega$cm, $\rho_{Cu_3Sn} \approx 8{,}9\,\mu\Omega$cm und $\rho_{Cu_6Sn_5} \approx 17{,}5\,\mu\Omega$cm, so dass eine komplette Legierung zu Cu_3Sn neben der höheren Schmelztemperatur auch einen niedrigeren Widerstand besitzt [137].
Abbildung 4.25 zeigt einen gelöteten, gedünnten Chip auf dem Basissubstrat, nach Ablösen des Trägers. Man erkennt die Cu-Oberfläche des Chips und die Metallisierung des Basissubstrates mit den Messpads (Abb. 4.25-a). Die REM-Aufnahme (Abb. 4.25-b) zeigt als Detail eine Ecke des gelöteten Chips (Restdicke 6 µm). Die großen Metallflächen dienen hier als Blindlötfläche zur mechanischen Stabilisierung und zum Teil als Pads für elektrische Messungen.
Lötungen von einzelnen Chips und die dazu gehörigen Messungen konnten reproduzierbar realisiert werden. Um nun eine wirkliche 3D-Integration zu demonstrieren, muß die Lötung mindestens zweimal auf dem selben Basissubstrat, bzw. Chip erfolgen. Einen Stapel mit zwei gedünnten Chips auf dem Basissubstrat ist in Abbildung 4.26-a dargestellt. Hierbei wurde nach dem Löten des ersten Chips und der Trägerentfernung eine zweite Lötung durchgeführt. Um die Reste der Ablöseschicht auf der Vorderseite zu entfernen, wird ein isotropes Sauerstoffplasma verwendet. Die Deoxidation der Kupfermetallisierung auf der Vorderseite des bereits auf das Basissubstrat gelöteten Chips wird mit verdünnter Ameisensäure (1 : 100) durchgeführt.

[12] **T**ransmission **L**ine **M**ethod: Analyse mit dem Modell einer verteilten Leitung



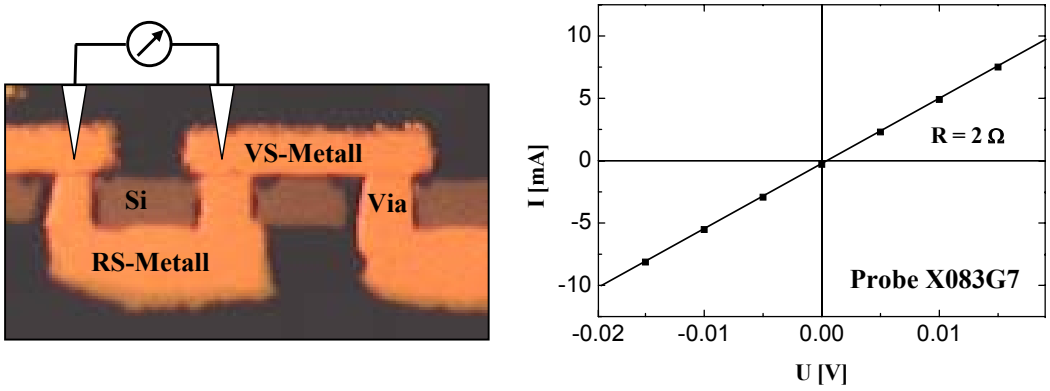
a) b) c)

Abbildung 4.26: Mehrfachlötung auf Basissubstrat: (a) REM-Aufnahme eines Dreierstapels; (b) REM-Aufnahme eines Stapels mit sieben Lagen; (c) Detailaufnahme des Siebenerstapels.

Den höchsten bis jetzt realisierten Stapel zeigen Abbildungen 4.26-b und 4.26-c. Diese Struktur diente ausschließlich zur Erprobung der mechanischen Machbarkeit eines Stapels mit einer größeren Anzahl von Chips. Bei diesen Strukturen wurden keine elektrischen Messungen durchgeführt.
Diese Ergebnisse zeigen die Anwendbarkeit der Integrationstechnologie, jedoch hat die noch fehlende hohe Ausbeute bis jetzt nur Messungen an Einzelchip-Stapeln ermöglicht.

4.3.3 Elektrische Resultate an gelöteten Chips

Wie bereits erwähnt, konnten aufgrund von geringer Ausbeute Messungen nur an Strukturen vorgenommen werden die nur einen gelöteten gedünnten Chip enthalten. Solche Strukturen ge-

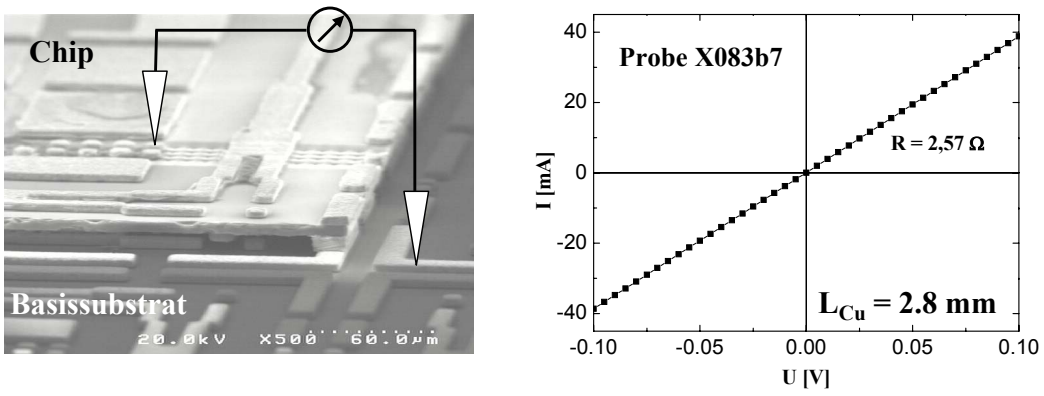


a) b)

Abbildung 4.27: Messung einer Viakette: (a) Schnittbild einer Viakette; (b) Diagramm der Messung. Nach Korrektur um den Widerstand des Meßaufbaus ergibt sich für ein Via ein Widerstand von $R_{Via} \leq 0{,}7\ \Omega$ (Viadurchmesser: 6 x 6 µm^2).

nügen aber, um die grundlegenden elektrischen Eigenschaften eines 3D-integrierten Systems zu

ermitteln.
Die wichtigste Voraussetzung für das Funktionieren der Integrationstechnologie ist, dass ein elektrischer Kontakt zwischen Vorder- und Rückseite des Chips hergestellt werden kann. Abbildung 4.27-a zeigt einen Schnitt durch einen gedünnten Chip mit einer Messbrücke die über Vias kontaktiert wird. Die Messung erfolgt von der Vorderseite und erlaubt die Ermittlung des Viawiderstandes ohne Lötwiderstand. Abbildung 4.27-b zeigt die Messung einer solchen Viabrücke. Aus der Meßkurve ergibt sich ein Widerstand von ca. 2 Ω der noch um den Widerstand des Messaufbaus korrigiert werden muß ($R_{Meaufbau} \approx 0{,}6 - 1\,\Omega$). Es ergibt sich also ein extrahierter Widerstand eines Vias von $R_{Via} \leq 0{,}7\,\Omega$. Dieser Wert liegt wie erwartet weit unterhalb des Wertes mit einer Al-Gegenelektrode (vgl. Abbildung. B.15).
Abbildung 4.28 zeigt die Messung einer kompletten Durchkontaktierung. Gemessen wird hierbei von der Vorderseite des gedünnten Chips über die Viametallisierung und Lötung auf die Kupfermetallisierung des Basissubstrates (Abbildung 4.28-a).
Es ergibt sich ein Gesamtwiderstand von ca. 2,6 Ω. Da hier die Messung von der Oberseite des gelöteten Chips zum Basissubstrat hin erfolgt, muß neben dem Widerstand des Meßaufbaus auch der Widerstand der Cu-Leiterbahn berücksichtigt werden. Man ermittelt einen längen-



a) b)

Abbildung 4.28: Messung einer gelöteten Durchkontaktierung: (a) REM-Aufnahme der Probe mit dem Meßschema; (b) elektrische Messung ($\rho_{Cu} \approx 3\,\mu\Omega$cm, Viadurchmesser: 5 x 5 µm^2, Viatiefe: 6 µm).

bezogenen Widerstand von $\rho_{L,Cu} \approx 0{,}42\ \frac{\Omega}{mm}$ für die verwendete Metallisierung. Dies ergibt bei einer Länge von 2,8 mm einen Widerstand von ca. 1,18 Ω für die Cu-Leiterbahn. Somit erhält man für den korrigierten Widerstand der Durchkontaktierung einen Wert von $R_{DK} \leq 0{,}8\,\Omega$.
Vegleicht man diese beiden gezeigten Messungen, so liegt ihr Unterschied, also der Lötwiderstand R_{Loet}, in dem Bereich, der aus vorausgehenden Messungen ermittelt wurde (vgl. Abbildung 4.24). Rechnerisch ergibt sich wiederum ein Wert von $R_{Loet} \leq 0{,}1\,\Omega$. Die Lötung selbst trägt zum Widerstand der Durchkontaktierungen also nur sehr wenig bei.
Die Ursache des Viawiderstandes, der bei theoretischer Rechnung ca. 7,2 mΩ betragen würde, kann daher vor allem in den Übergangswiderständen zum Vorderseitenpad (Cu-Ti:W-Ti:W-Cu)

gesucht werden. Da zwischen Oxidätzung am Landepad zur Vorderseite und Metallisierung der Proben ein Anlagenwechsel vorgenommen werden muss, kann hier eventuell eine Oxidation stattfinden.
Vergleichbare 3D-Integrationsansätze aus der Literatur zeigen Werte für die Durchkontaktierungen die im Bereich des reinen Kupferwiderstandes liegen [135]. Im Vergleich zu Widerständen, wie sie innerhalb einer integrierten Schaltung bei Vias zwischen einzelnen Metalllagen vorkommen, sind die erzielten Widerstände hingegen klein. Hier sind Werte von einigen Ohm tolerabel. Können die zur Durchkontaktierung notwendigen Schritte in einer gekapselten Anlagenkette stattfinden, sind sicherlich Widerstände erreichbar, die nur durch den spezifischen Widerstand der Viametallisierung bestimmt sind.
Trotzdem sind die erhaltenen Widerstände für die meisten Anwendungen ausreichend. Zur weiteren Reduzierung besteht auch die Möglichkeit für alle, oder eine begrenzte Zahl an Durchkontaktierungen, mehrere Vias parallel zu schalten und so den Spannungsabfall am Via weiter zu reduzieren.

4.4 Resumée zur Integrationstechnologie

In diesem Kapitel wurden die Schlüsselprozesse für die 3D-Integration dargestellt. Die Kombination aus mechanischem und chemischem Dünnen ermöglicht, zusammen mit der verwendeten Trägertechnik, eine zerstörungsfreie Substratdünnung bis zu Restdicken kleiner als 10 µm.
Durch die Verwendung eines Niedertemperaturprozesses für die Abscheidung von Siliziumoxid sowohl als Ätzmaske als auch als Isolator findet ein weiterer Schritt Verwendung, der zur Reduzierung des gesamten Temperaturbudgets beiträgt. Weiterhin existiert mit der anodischen Oxidation ein Ansatz, der eine zusätzliche Verbesserung der elektrischen Isolation ermöglicht. Die folgende Viaätzung und Metallisierung mittels ASE und Galvanik tragen ebenfalls dazu bei, dass der gewählte Prozessablauf auch für extrem temperatursensitive Substrate verwendet werden könnte.
Abbildung 4.29 zeigt einen Überblick des Temperaturverlaufs während der Prozessierung. Die abschließende Lötung des Chips auf das Basissubstrat stellt mit 300 °C die höchste Prozesstemperatur dar, die jedoch noch auf ca. 250 °C verringert werden kann [138]
Der verwendete Prozessablauf mit den erzielten Widerständen von kleiner 0,8 Ω für eine Durchkontaktierung und einer minimalen Leckstromdichte von kleiner 10^{-11} A bietet somit die Möglichkeit mit sehr kleinem Temperaturbudget eine erfolgreiche Integrationstechnologie durchzuführen.

Eine weitere Erhöhung der Kontaktdichte, die im Moment bei 4400 mm^{-2} liegt, kann durch ein Verkleinern des Viadurchmessers und der Viaabstände erreicht werden. Hierzu müssen jedoch weitere Untersuchungen durchgeführt werden, die zeigen bis zu welcher Metallisierungsgeometrie noch zuverlässige Lötungen durchgeführt werden können.

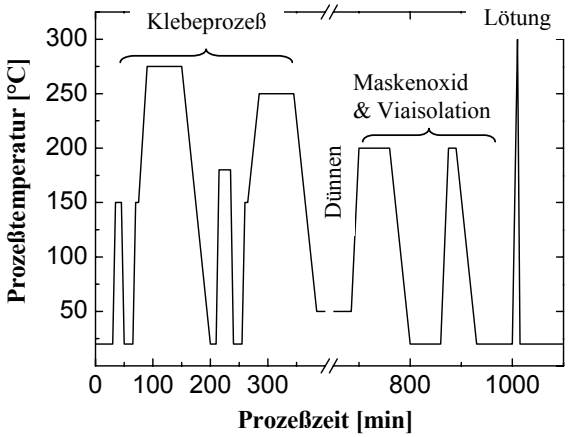


Abbildung 4.29: Schematische Darstellung des Temperaturverlaufs während der Prozessierung.

Natürlich kann die Entwicklung einer solchen Integrationstechnologie nur in einem Team erfolgen. Innerhalb dieses Entwicklungsprojektes waren von der technologischen Seite aus, außer dem Autor dieser Dissertation, noch Dipl.-Ing. Andreas Munding und Dipl.-Ing. Peter Benkart mit Arbeiten an diesem Thema beschäftigt.
Der Arbeitsbereich von Herrn Munding war hierbei vor allem die Erprobung und Weiterentwicklung des SoLID-Lötverfahrens. Herr Benkart beschäftigt sich mit verschiedenen Verbesserungsmöglichkeiten für die Isolierung der 3D-Kontakte.
Weiterhin sei noch die Unterstützung von Dr. Holger Hübner (ehemals Infineon Technologies AG) gewürdigt, der bei weiterreichenden technologischen Fragestellungen immer hilfreich zur Seite stehen konnte.
Von Seiten der Schaltungstechnik sollen hier auch Dipl.-Ing. Markus Bschorr und Prof. Dr.-Ing. Hans-Jörg Pfleiderer, die das Design der Schaltungen zur Ausbeutesteigerung durchgeführt haben, erwähnt werden. Für hilfreiche Diskussionen bezüglich der elektrischen Anforderungen der 3D-Kontakte standen auch immer Dr. Arne Heittmann (ehemals Infineon Technologies AG) und Prof. Dr. Ulrich Ramacher bereit, die auch die Leitung des Projektes inne hatten.

Kapitel 5

Anwendungsbeispiel: 3D-integrierter Diamant-UV-Sensor

5.1 Einführung

Wie bereits in der Einleitung erwähnt soll neben der Integration von reinen siliziumbasierten Substraten die Erweiterbarkeit der Technologie auf andere Materialsysteme demonstriert werden. Hierzu wird ein auf nanokristallinem Diamant hergestellter UV-Sensor dreidimensional integriert. Im Folgenden sollen nun zunächst einige wichtige Eigenschaften und die UV-Detektion mit Diamant beschrieben werden. Danach werden die mit den 3D-integrierten Sensoren ermittelten Ergebnisse aufgezeigt.

5.1.1 Eigenschaften von Diamant

Diamant ist aufgrund seiner herausragenden Eigenschaften bestens für den Einsatz in aggressiven Medien und unter extremen Bedingungen (Druck, Temperatur) geeignet (vgl. auch Tabelle 5.1). Zahlreiche Sensoren und Systeme wurden realisiert, um seine Eignung in der Mikroelektromechanik und Sensorik zu demonstrieren [13, 11, 139].
Neben einkristallinem Diamant, der vorwiegend für elektronische Bauelemente wie Feldeffekttransistoren verwendet wird [140], gibt es je nach Kristallitgröße bezeichnete Varianten polykristalliner Diamantschichten. Unterschieden wird hierbei zwischen polykristallinem Diamant (Kristallite größer 1 µm), nanokristallinen Diamantschichten (NCD[1]) mit Kristallitgrößen zwischen 1 µm und 10 nm, und ultrananokristallinem Diamant (UNCD[2]) der Kristallite im Bereich zwischen 10 nm und 1 nm besitzt [141, 142, 143]. Schichten mit kleineren Kristalliten werden als amorph bezeichnet. Diese Varianten von polykristallinem Diamant ergeben sich je nach

[1] **n**ano**c**rystalline **d**iamond
[2] **u**ltra **n**ano**c**rystalline **d**iamond

Wahl der Wachstumsparameter.
Ein einkristallines Wachstum kann nur homoepitaktisch, also auf dem selben Substrat erfolgen. Eine Ausnahme bilden hierbei iridiumbasierende Substrate. Auf diesen wurde bereits heteroepitaktisches einkristallines Wachstum gezeigt [144]. Auf anderen Substraten ist dementsprechend nur polykristallines Wachstum möglich.
Zur Herstellung von Diamantschichten können verschiedene Methoden bzw. Anlagenkonfigurationen verwendet werden. Zwei geläufige Verfahren hierbei sind die MWPACVD[3] (mikrowellenplasma-unterstützte Gasphasenabscheidung) und die HFCVD[4] (Heißdraht-Gasphasenabscheidung). Für die Beschreibung der Wachstumsmechanismen sei hier auf weiterführende Literatur verwiesen [145, 146, 147]. Als Substratmaterial hat sich vor allem für mikromechanische Anwendungen Silizium als geeignet erwiesen, da es ein Standardmaterial der Halbleitertechnologie ist und deshalb seine Strukturierung und Eigenschaften hinlänglich bekannt sind.

	Diamant	Silizium	SiO_2 (CVD)
Gitterstruktur	Diamant	Diamant	amorph
Gitterkonstante a_0 [nm]	0,3567	0,5431	-
Dichte ρ $[\frac{g}{cm^3}]$	3,515	2,329	2,2
Schmelzpunkt T_S [°C]	3827	1415	1725
Wärmeleitfähigkeit λ $[\frac{W}{cmK}]$	20	1,5	0,014
Ausdehnungskoeffizient α $[10^{-6}K^{-1}]$	1	2,6	0,5–0,9
E-Modul E [GPa]	1050	98	$\sim$75
Brechungsindex n	2,4	3,5	1,46
Dielektrizitätskonstante ε_r	5,7	11,9	3,9
Bandstruktur	indirekt	indirekt	-
Bandabstand E_G [eV]	5,46	1,12	8..9
Elektronenbeweglichkeit μ_n $[\frac{cm^2}{Vs}]$	2200	1500	-
Löcherbeweglichkeit μ_p $[\frac{cm^2}{Vs}]$	1800	450	-
Durchbruchfeldstärke E_{Br} $[\frac{MV}{cm}]$	10	0,3	10..14

Tabelle 5.1: Ausgewählte Parameter wichtiger Materialien bei Raumtemperatur [148, 66] (Werte hier für einkristallinen Diamant).

Diamant: elektronische Eigenschaften

Um elektrisch aktive Strukturen im Diamant zu erzeugen ist ein Dotieren der Diamantschicht notwendig. Aufgrund der hohen Bandlückenenergie von 5,46 eV (siehe auch Abbildung 5.2)

[3] **M**icro **W**ave **P**lasma **A**ssisted **C**hemical **V**apour **D**eposition
[4] **H**ot **F**ilament **C**VD

ist einkristalliner, undotierter und defektfreier Diamant auch bei hohen Temperaturen isolierend [149]. Die Dotierung der Diamantschichten kann jeweils während des Wachstums mit fester oder gasförmiger Dotierstoffquelle erfolgen. Technische Relevanz haben im Moment hauptsächlich Bor als p-Dotierung, sowie teilweise Stickstoff als Donator. Beide werden größtenteils substitutionell eingebaut und Bor ist bei Raumtemperatur zum Teil elektrisch aktiv [150, 151]. Im Vergleich zu anderen Halbleitern sind die Aktivierungsenergien der Dotierstoffe relativ hoch (Bor: 0,37 eV, Stickstoff: 1,7 eV [150, 152]). Bei Stickstoff ist aus diesem Grunde bei Raumtemperatur praktisch keine Aktivierung erkennbar. Weitergehende Untersuchungen bezüglich der Bor-Dotierung von Diamantschichten ergeben eine Abnahme der Aktivierungsenergie mit zunehmender Dotierstoffkonzentration [150]. Dies wird mit einer Abnahme der mittleren Abstände der Dotieratome und dem Einsetzen einer "Hopping"-Leitfähigkeit erklärt [149, 153]. Die maximale Borkonzentration die erreicht werden kann liegt im Bereich von $10^{20}\,\mathrm{cm}^{-3}$ bis $10^{21}\,\mathrm{cm}^{-3}$ [154]. Die Werte für die Löcherbeweglichkeit in CVD-Diamantschichten reichen von ca. 1 $\frac{cm^2}{Vs}$ bei einer Konzentration von $10^{21}\,\mathrm{cm}^{-3}$ bis zu über 3000 $\frac{cm^2}{Vs}$ in hochreinem Material [154, 155, 156].
Die elektrischen Eigenschaften polykristalliner Schichten unterscheiden sich aufgrund der vorhandenen Korngrenzen von einkristallinem Material. An den Korngrenzen findet Ladungsträgerstreuung und Einbau von Fremdatomen statt. Je kleiner die Kristallite sind, desto mehr Korngrenzen sind vorhanden und desto größer im Allgemeinen der negative Einfluß auf die elektronischen Eigenschaften [157].

Diamant: mechanische und thermische Eigenschaften

Neben den angeführten elektrischen Eigenschaften ist Diamant vor allem durch seine mechanischen Eigenschaften ein außergewöhnliches Material. Er besitzt eine extreme Härte, ein hohes Elastizitätsmodul sowie eine hohe Bruchspannung [149]. Vor allem die letzten beiden Eigenschaften machen ihn hervorragend geeignet für eine große Zahl mechanischer Anwendungen. Zusätzlich besitzt er die höchste Wärmeleitfähigkeit aller Materialien, sowie einen relativ geringen Wärmeausdehnungskoeffizienten, was ihn weiterhin auch für thermische Anwendungen interessant macht.
Tabelle 5.1 zeigt einen Vergleich mit anderen Materialien. Polykristalliner Diamant ist im Allgemeinen wiederum auch bezüglich seiner mechanischen und thermischen Eigenschaften einkristallinem Diamant unterlegen. Ein Vorteil ist jedoch, dass nanokristalliner Diamant durch seine Wachstumsparameter bestimmten mechanischen Anforderungen angepasst werden kann [158]. Ein wichtiger mechanischer Parameter ist die intrinsische Spannung die nach dem Wachstum in der Diamantschicht vorhanden ist. Hervorgerufen wird diese intrinsische Spannung durch unterschiedliche thermische Ausdehnungskoeffizienten. Abbildung 5.1-a zeigt den Temperaturverlauf des thermischen Ausdehnungskoeffizienten α von Diamant im Vergleich zu Silizium und SiC. Es ergibt sich eine über die Temperatur variierende Differenz der Ausdehnungskoeffizienten von Diamant und Silizium. Aus diesem Grund ergeben sich auch je nach Wachs-

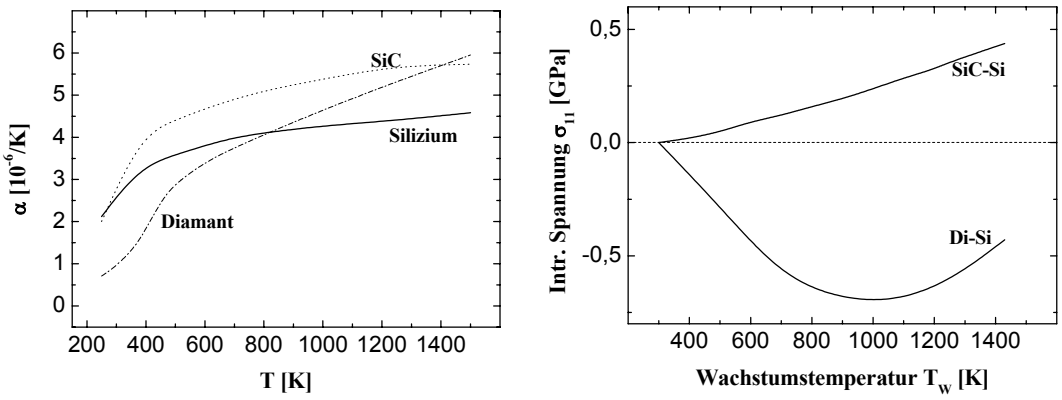


Abbildung 5.1: Thermische Ausdehnungskoeffizienten und intrinsische Spannung in Diamant und Vergleich mit anderen Materialien: (a) Temperaturabhängigkeit der thermischen Ausdehnungskoeffizienten α; (b) resultierende intrinsische Spannung σ_{11} in Abhängigkeit der Wachstumstemperatur T_W [159].

tumstemperatur unterschiedliche Spannungen in der Diamantschicht. Die Spannung σ ist im allgemeinen ein Tensor. Für einen vereinfachten eindimensionalen Fall, bzw. wenn nur Spannungen in die Hauptrichtungen vorhanden sind, ergibt sich

$$\sigma_{11} = \sigma = \varepsilon \cdot E \,. \tag{5.1}$$

Hierbei wird dann die Dehnung $\varepsilon = \frac{\Delta L}{L}$ auch als eindimensional angenommen. Bei E handelt es sich um das Elastizitätsmodul des Materials bei der betrachteten Temperatur (für nanokristallinen Diamant soll hier ein Wert von 800 GPa angenommen werden). Aus dem einfachen Zusammenhang für die Dehnung

$$\varepsilon = \alpha \cdot \Delta T \tag{5.2}$$

ergibt sich für die resultierende Dehnung bei der Deposition von Material 1 auf Material 2 (mit temperaturabhängigen Ausdehnungskoeffizienten α(T)) folgender integraler Zusammenhang

$$\varepsilon(RT) = \int_{RT}^{T_W} [\alpha_1(T) - \alpha_2(T)]\, dT \,. \tag{5.3}$$

Betrachtet werden muss hierbei der Temperaturbereich zwischen der Abscheide- bzw. Wachstumstemperatur T_W und der Temperatur bei der die Spannung ermittelt werden soll (z.B. Raumtemperatur). Abbildung 5.1-b zeigt die Auswertung dieser Betrachtung. Die intrinsische Spannung bei Raumtemperatur wird dabei entsprechend Gleichung 5.1 berechnet.
Aus der Kurve für Diamant auf Silizium (Di-Si in Abb. 5.1-b) ergibt sich ein Bereich mit relativ hohen intrinsischen Spannungen, der z.B. für Anwendungen mit bistabilen Schaltern relevant sein kann. Bei hohen und niedrigen Wachstumstemperaturen nimmt die intrinsische Spannung jedoch wieder ab. D.h. für kritische Anwendungen (z.B. großflächige Diamantstrukturen auf dünnen Substraten) kann durch geeignete Wahl der Wachstumsparameter eine Anpassung der Schichtspannung σ und des Elastizitätsmoduls E erfolgen [158, 160].

5.1.2 UV-Detektion mit Diamant

Abbildung 5.2 zeigt das Banddiagramm von Diamant. Man erkennt die indirekte Bandlücke von 5,46 eV, sowie eine direkte Energielücke von ca. 7,3 eV. Bei reinem einkristallinem Diamant fin-

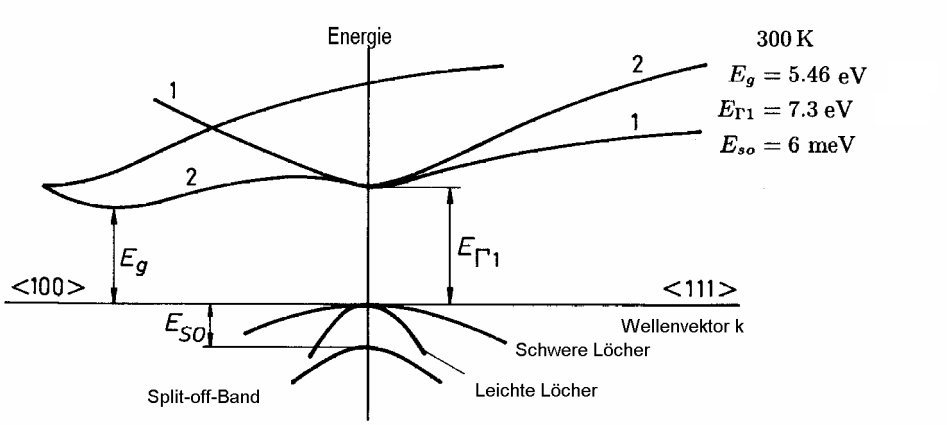


Abbildung 5.2: Banddiagramm von Diamant nach [148].

det aus diesem Grund Absorption ab einer Wellenlänge von 225 nm statt. Dies prädestiniert ihn für die Herstellung von visible-blind[5] UV-Detektoren [161]. Jedoch ergibt sich, vor allem auch bei CVD-Diamantschichten, je nach Wachstumsprozeß und im Diamant enthaltenen Zuständen und Dotierstoffen Absorption bereits unterhalb der Bandkante [162, 163, 164].
Betrachtet man die bereits in Kapitel 5.1.1 eingeführten Dotierstoff Bor (E_A = 370 meV), so ergibt sich ein Zustand wie in Abbildung 5.3 dargestellt. Neben der fundamentalen Absorption bei 5,46 eV ergibt sich für Bordotierung (Abb. 5.3-a) zusätzlich Absorption bereits ab einer Photonenenergie von 370 meV. Ab einer Energie von E_G - E_A = 5,09 eV (ohne den zusätzlichen Einfluß von Phononen und Exzitonen) können auch Ladungsträger in das Leitungsband E_L angehoben werden.
Wie bereits erwähnt ändert sich E_A je nach Konzentration des Bors im Volumen. Durch die einfallenden Photonen werden Löcher aus dem Akzeptorniveau E_A in das Valenzband (E_V) angeregt. Ladungsneutralität gewährleisten die zurückbleibenden negativen Akzeptorrümpfe (N_A^-). Bei idealen sperrfreien Kontakten werden bei einer anliegenden Spannung U Löcher von den Kontaktbereichen nachgeliefert und es kann ein konstanter Photostrom fliessen. Die Löcher können hierbei entweder direkt in das Valenzband oder in die Akzeptorniveas injiziert werden. Begrenzt wird hierbei die Höhe des Photostromes durch die Konzentration der Störstellen (N_A). Weitere im Diamant vorkommende Defekte wurden z.B. bei 1,5 eV, 1,8-1,9 eV, 2,6-2,7 eV und 3,1-3,2 eV festgestellt [162, 165]. Daraus ergeben sich ebenfalls Einflüsse auf die Absorption und die Detektionscharakteristik von optischen Diamant-Sensoren.
Ein weiterer Effekt ist in Abbildung 5.3-b dargestellt. Neben der direkten Absorption über

[5] (dt.) blind im sichtbaren Bereich, d.h. keine Detektion im sichtbaren Bereich

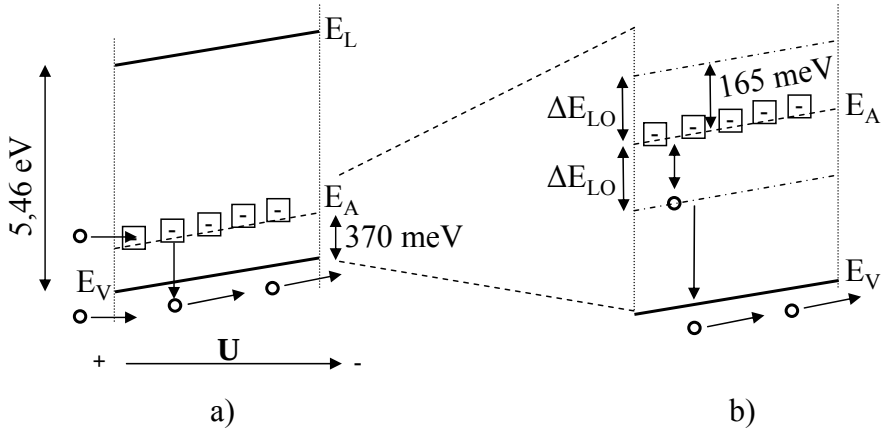


Abbildung 5.3: Absorption in Diamant: (a) Absorption über Bor-Akzeptor-Niveaus; (b) Absorption mit Beteiligung von Phononen (beispielhaft dargestellt ist hier das LO-Phonon) nach [165].

die Donator- oder Akzeptorniveaus kann im Diamant auch Absorption mit Hilfe von Phononen erfolgen [165]. Dies wurde im sichtbaren Bereich in der Nähe von Defekten beobachtet. Das hierbei beteiligte LO[6]-Phonon hat eine Energie von 165 meV[7]. Absorption kann hierbei über zusätzliche Generierung oder Vernichtung eines oder mehrerer solcher Phononen erfolgen. Im Absorptionsspektrum zeigt sich dies an zusätlichen lokalen Maxima die von der Hauptabsorption (z.B. Defekt, Bor,...) einen Abstand von ΔE_{LO} = 165 meV haben [165].
Abbildung 5.4-a zeigt den Verlauf der Absorptionskoeffiezienten für qualitativ hochwertige Diamantschichten. Man findet hauptsächlich Absorption ab der Bandkante von Diamant bei 5,46 eV, bei den CVD-Schichten (D17, D11 in Abbildung 5.4-a) liegt lediglich eine Verbreiterung des Absorptionsbreiches vor. Die Absorption kann hierbei durch den Zusammenhang

$$\alpha \sim (E - E_G \pm E_{Ph})^2 \tag{5.4}$$

beschrieben werden, wobei E_{Ph} den Beitrag der Phononen angibt [167]. Bei Vorhandensein von z.B. Stickstoff in Diamant setzt die Absorption entsprechend früher ein (Verlauf für Diamant Ib in Abbildung 5.4-a).
Wird für einen Diamantdetektor ein Material mit relativ kleinen Diamantkörnern verwendet (z.B. nanokristalliner Diamant) so ergibt sich durch das vermehrte Vorhandensein von Korngrenzen ein verstärkter Einfluss von Defekten. Auch sind an den Korngrenzen vermehrt sp^2-Bindungen vorhanden, die durch den graphitischen Anteil hervorgerufen werden [168]. Der Einfluss dieser π-Bindungen ist in Abbildung 5.4-b dargestellt [167]. Man erkennt die Zunahme der Absorption im sichtbaren Bereich mit kleiner werdenden Körnern (d2.1 nach d2.9), da der Einfluss der Korngrenzen zunimmt.
Dass die Korngrenzen in polykristallinem Material auch Auswirkungen auf elektronische Ei-

[6] **L**ongitudinal **O**ptisch

[7] Weiterhin existieren z.B. auch transversal-optische (TO) und transversal-akustische(TA) Phononen, deren Energien im Bereich von 5 bis 10 meV liegen [166]

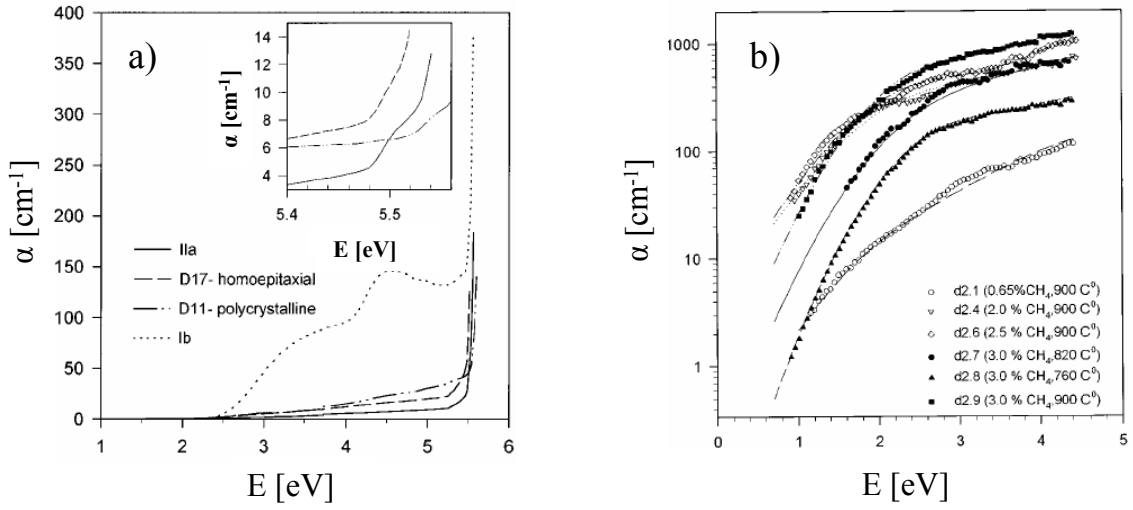


Abbildung 5.4: Absorptionskoeffizient α in Diamant: (a) Absorptionskoeffizienten für natürlichen Diamant (IIa), homoepitaktische Diamantschicht (D17), polykristalline Diamantschicht ohne graphitische Anteile (D11) und HPHT-Substrat (Ib) mit substitutionellem Stickstoff; (b) Absorptionskoeffizient in nanokristallinem Diamant. Der Einfluss der Korngrenzen (und damit der graphitischen Phase) steigt mit kleiner werdender Kristallitgröße (d2.1 nach d2.9) [167]. © 1996 American Physical Society.

genschaften, und somit die Detektionscharakteristik haben, wurde bereits von Seto an Silizium untersucht und von Lu et al. verfeinert [169]. Eine dabei auftretende zusätzliche Aktivierungs- bzw. Barriereenergie konnte in Diamant jedoch nicht ermittelt werden [170].
Zusätzlich zu Defekten im Volumenmaterial kommt es an Korngrenzen zur Anreicherung von eingebauten Fremdatomen, die als Ladungsträgerfangstellen wirken können. Untersuchungen an dotierten polykristallinen Diamantschichten im Vergleich zu einkristallinen Substraten ergaben reduzierte Ladungsträgerbeweglichkeiten und erhöhte Kompensation aufgrund von verstärktem Störstelleneinbau an (111)-Facetten im Vergleich zu (100)-Facetten sowie Anreicherung von Verunreinigungen an Korngrenzen und Defekten [171].
Für einen Detektor mit möglichst guter Unterdrückung des sichtbaren Wellenlängenbereiches und guten elektro-optichen Eigenschaften, wie z.B. Quantenausbeute, ergibt sich somit die Forderung nach reinem defektfreiem Material mit möglichst grossen Körnern, bzw. einkristallinem Material. Eine weitere Betrachtung zur Theorie von diamant-basierenden Photodetektoren findet sich z.B. in [172].

Prinzipiell gibt es mehrere Strukturen um eine UV-Detektion auf Diamant zu realisieren. Die erste Möglichkeit ist, eine Schottkydiode zu verwenden, die in Sperrichtung betrieben wird. Als Alternative bietet sich die einfachere Photoleiterstruktur an. Die Schottkydiode auf Diamant hat hierbei den Vorteil des geringeren Dunkelstromes aufgrund des Sperrbetriebes [173]. Außerdem kann die Schottkydiode auch in vertikaler Richtung realisiert werden, was zu einem reduzierten Einfluß der Korngrenzen führt.

Eine weitere Möglichkeit ist die Verwendung einer Phototransistorstruktur (OPFET[8]), die z.B. auf Diamant von Lansley et al. gezeigt wurde [174]. In diesem speziellen Fall erfolgt die eigentliche Detektion mit der Schottkydiode, und der Transistor liefert die Verstärkung.

5.1.3 Kenngrössen optischer Sensoren

Ein wichtiger Parameter zur Charakterisierung von optischen Detektoren (hier speziell Photoleiter) ist die sogenannte externe Quantenausbeute oder Quantenwirkungsgrad η_q (siehe Gleichung 5.5). Sie beschreibt den Wirkungsgrad der Umwandlung von optischer in elektrische Energie [175].

$$\eta_q = \frac{\Delta I_{ph} \cdot h \cdot \nu}{q \cdot P_0} \tag{5.5}$$

Hierbei sind ΔI_{ph} = I_{hell} - I_{dunkel} der mittlere Photostrom, q die Elementarladung, h das Planck-Wirkungsquantum, ν die Lichtfrequenz und P_0 die eingestrahlte Lichtleistung. Damit ergibt sich aus $\frac{\Delta I_{ph}}{q}$ die Anzahl der generierten Elektronen und aus $\frac{P_0}{h \cdot \nu}$ die Anzahl der eingestrahlten Photonen. Mit der bekannten Detektorfläche (bei den hier hergestellten Sensoren liegt eine Detektorfläche von $A_D = 1{,}14 \cdot 10^{-3}$ cm^2 vor) lässt sich aus der Intensität die Lichtleistung berechnen. Der externe Quantenwirkungsgrad schließt eventuelle optische Verluste mit ein.

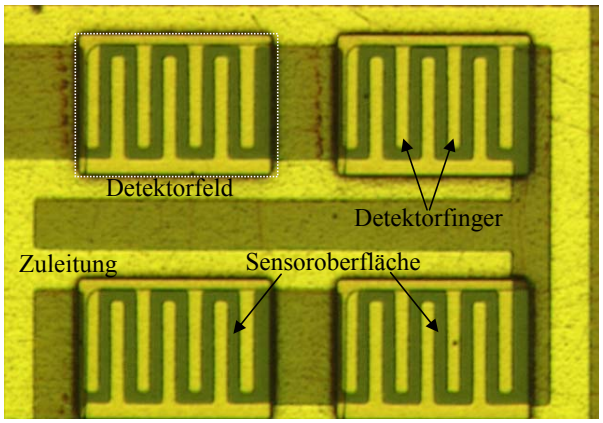


Abbildung 5.5: Hergestelltes Diamant-UV-Detektor-Array (Mikroskopaufnahme) mit einem Fingerabstand von 10 µm.

Ein weiterer Parameter der zur Beschreibung von Photodetektoren benutzt werden kann, ist die Empfindlichkeit R. Da oftmals ein Strom gemessen wird, schreibt man für die "Stromempfindlichkeit" R_I nach [176]:

$$R_I = \frac{\lambda \, \eta_i}{hc} \, qg. \tag{5.6}$$

Hierbei ist λ die Wellenlänge des Lichtes, η_i der interne Quantenwirkungsgrad, h die Planck-Konstante und c die Lichtgeschwindigkeit. Bei dem Faktor g handelt es sich um die photo-

[8] **OP**tically activated **F**ield-**E**ffect **T**ransistor, (dt.) optisch gesteuerter Feldeffekttransistor

elektrische Verstärkung, die von Rose eingeführt wurde [177]. Sie beschreibt die Anzahl von Ladungsträgern, die pro generiertem Elektron-Loch-Paar den Detektor durchqueren. g ist also ein Maß dafür, wie gut die generierten Träger zum Photostrom beitragen. Durch einfache Umformungen erhält man [178]

$$g = \frac{\tau}{T_{tr}}. \tag{5.7}$$

Wobei τ die Ladungsträgerlebensdauer und T_{tr} die Transitzeit zwischen den Kontakten angibt. Für die Berechnung der Empfindlichkeit ist also eine Abschätzung der Ladungsträgerlebensdauer und des internen Quantenwirkungsgrades notwendig. Hierzu muss der Absorptionskoeffizient in der Diamantschicht bekannt sein. Für eine Wellenlänge von z.B. 193 nm entnimmt man [179] einen Wert von $\alpha \approx 6 \cdot 10^3\,\mathrm{cm}^{-1}$. Dieser Wert ist beispielhaft für einkristallinen Diamant. Aus den Zusammenhängen in Kapitel 5.1.2 ergibt sich für nanokristallinen Diamant ein höherer Wert.
Über den Zusammenhang der absorbierten Strahlungsleistung S

$$S = S_0 \cdot e^{-\alpha \cdot d} \tag{5.8}$$

$$\eta_i \approx 1 - e^{-\alpha \cdot d}. \tag{5.9}$$

kann mit der bekannten Dicke d der Diamantschicht von 2,5 µm der intrinsische Quantenwirkungsgrad η_i abgeschätzt werden. Für λ = 193 nm ergibt sich so ein Wert von

$$\eta_i(193\,\mathrm{nm}) \approx 78\,\%.$$

Für die Generationsrate G aufgrund der einfallenden Strahlung ergibt sich

$$G = \frac{P_{detektor}}{h \cdot \nu} \cdot \frac{\eta_i}{A_{detektor} \cdot d}. \tag{5.10}$$

Wobei $P_{detektor}$ die auf den Detektor auftreffende Lichtleistung, ν die Frequenz des Lichtes und d wieder die Dicke der Diamantschicht ist[9].
Die zum Stromfluss beitragende Ladungsträgerdichte n_e kann aus der Photostromdichte J_{ph} berechnet werden. Es ergibt sich

$$n_e = \frac{J_{ph}}{q \cdot \mu \cdot E}, \tag{5.11}$$

mit der Beweglichkeit μ (für den hier verwendeten nanokristallinen Diamant soll ein Wert von ca. 10 $\frac{cm^2}{Vs}$ angenommen werden) und dem anliegenden elektrischen Feld E.
Aus der Generationsrate G und der elektrisch aktiven Ladungsträgerdichte n_e kann die Ladungsträgerlebensdauer τ abgeschätzt werden zu

$$\tau = \frac{n_e}{G}. \tag{5.12}$$

[9] Der einfache Zusammenhang aus Gleichung 5.10 gilt für $d \ll \frac{1}{\alpha}$, ansonsten muß ein integraler Ausdruck verwendet werden.

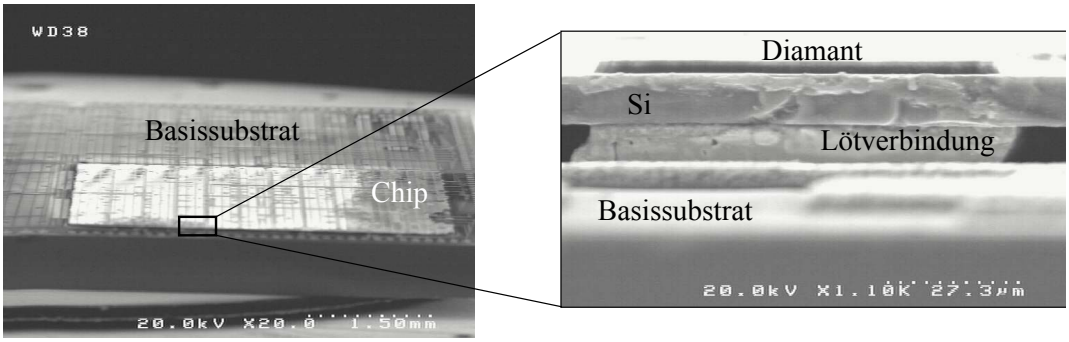
Hiermit kann mit dem gemessenen Photostrom I_{ph} die Ladungsträgerlebensdauer und dann die Empfindlichkeit R_I berechnet werden.

Als Demonstrator für die 3D-Integration von diamantbasierenden Elementen wurde eine Photoleiterstruktur, wie in Abbildung 5.5 gezeigt, verwendet. Im Gegensatz zu Schottkyphotodiode oder Phototransistor hat diese den Vorteil, dass eine geringere Anzahl von Prozeßschritten notwendig sind. Ausgeführt wird der Photoleiter als Kammstruktur mit ineinander greifenden Fingern.

Hergestellt werden die UV-Detektorstrukturen auf intrinsischem, nanokristallinem Diamant, der auf vorprozessierten Siliziumsubstraten gewachsen wird. Die UV-Sensoren sind auf dem Substrat in Arrays angeordnet, um eine kameraähnliche Konfiguration zu demonstrieren. Jedes Pixel wird dabei von der Rückseite aus kontaktiert. Nähere Details zur Herstellung der UV-Sensoren findet sich in Kapitel B.9. Für die dreidimensionale Integration der Diamant-UV-Sensoren werden die Einzelschritte entsprechend Kapitel 4 und Anhang B durchgeführt.

5.2 3D-integrierter Diamant

Abbildung 5.6 zeigt REM-Aufnahmen eines 3D-integrierten Diamanttestchips der auf das zugehörige Basissubstrat gelötet ist. Man erkennt deutlich die Schichtfolge aus Basissubstrat, Lö-

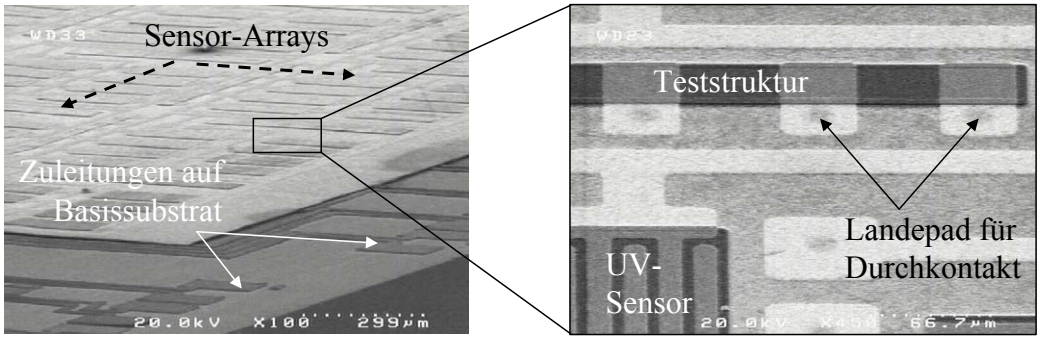


a) b)

Abbildung 5.6: Gelöteter Diamant-Chip auf Basissubstrat (REM-Aufnahmen): (a) Übersichtsbild; (b) Detailaufnahme mit Lötverbindung.

tung, Silizium und Diamant (Abb. 5.6-b). Gezeigt ist hier eine mechanische Lötverbindung mit einer Fläche von 80 x 80 µm^2.
Den 3D-integrierten UV-Sensor zeigt Abbildung 5.7. Der gelötete Chip mit den Sensor-Arrays auf der Oberfläche hat eine Siliziumrestdicke von 6 µm bei einer Dicke der Diamantschicht von 2,5 µm. Abbildung 5.7-a zeigt weiterhin einen Teil der Zuleitungen mit den Meßpads auf dem

Basissubstrat. In der REM-Aufnahme 5.7-b erkennt man deutlich die Positionen der Durchkontaktierungen auf der Vorderseite des Chips. Das Kupfer der gefüllten Vias erzeugt einen zusätzlichen Kontrast unter der dünnen Ohmmetallisierung der Vorderseite.
Der gezeigte Prozessablauf bietet somit ebenfalls einen Ansatz zur Integration von Diamantelementen mit beliebigen anderen Technologien. Bei der Entwicklung der Integrationstechno-



a) b)

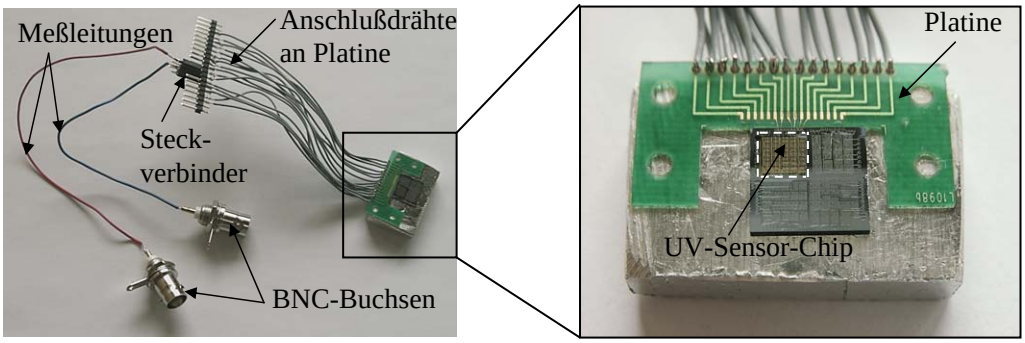
Abbildung 5.7: Anordnung der Sensoren und Zuleitungen auf dem Basissubstrat (REM-Aufnahmen): (a) Sensorarrays und Zuleitungen auf Basissubstrat; (b) Detailaufnahme der durchkontaktierten Oberseite. Man erkennt deutlich die Position der Vias unter den Pads.

logie wurde besonderes Augenmerk auf die Kompatibilität mit gängigen Herstellungsprozessen der Halbleitertechnik gelegt.

Der Einfachheit halber wurde die Diamantintegration auf zwei Lagen beschränkt (ein Basissubstrat, ein gedünnter Diamant-Chip), da hiermit bereits alle Eigenschaften des Systems ermittelt werden können. Zusammen mit den Ergebnissen aus Kapitel 4 steht somit einer Kombination von Diamant mit gängigen Technologien wie z.B. CMOS oder Bipolar prinzipiell nichts im Wege.

5.3 Charakterisierung der integrierten UV-Sensoren

Zur optischen Charakterisierung des UV-Sensor-Demonstrators, wurde ein ArF-Excimer-Laser mit einer Wellenlänge von λ = 193 nm (E = 6,42 eV) verwendet. Der Laser wird gepulst betrieben, mit einer Pulsdauer von t_P = 4 ns. Die Pulsenergie E_L kann zwischen 4 mJ und 10 mJ variiert werden.
Da hierzu ein aufwändigerer Versuchsaufbau notwendig ist, muss der UV-Sensor-Chip über eine Platine und externe Anschlüsse kontaktiert werden. Hierzu wird das Basissubstrat mit dem 3D-integrierten UV-Sensor-Chip zusammen mit einer Platine auf einen Träger geklebt. Die elektrischen Verbindungen zur Platine werden mittels Drahtbonden hergestellt (Abbildung 5.8).



a) b)

Abbildung 5.8: Aufgebauter Sensor für Messungen mit dem ArF-Excimer-Laser: (a) Konfiguration von Messleitungen und Platine; (b) Detailansicht des UV-Sensor-Chips mit Platine auf dem gemeinsamen Träger.

Aufgrund der längeren ungeschirmten Leitungen kommt es in dem zu betrachtenden Strombereichen teilweise zu Rauschen, welches in der Kennlinie sichtbar wird. In dem verwendeten

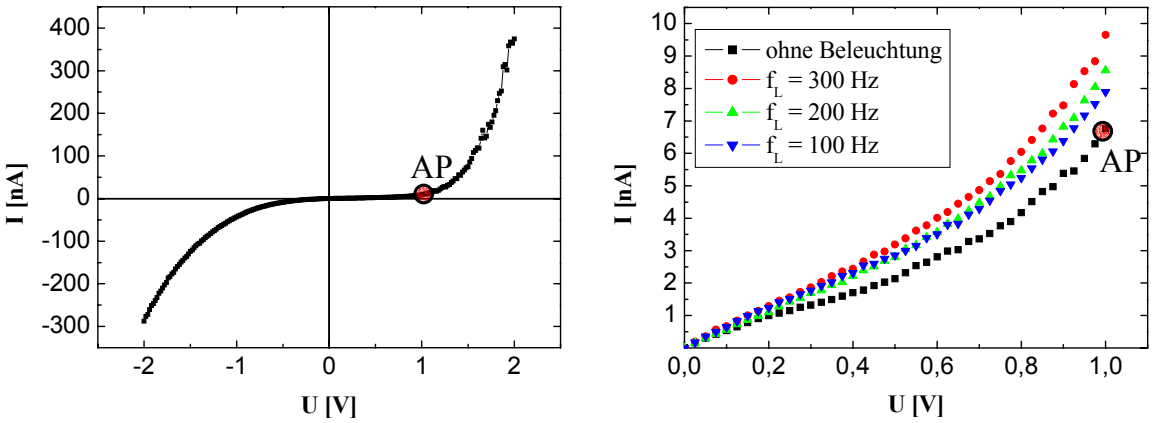


Abbildung 5.9: Strom-Spannungs-Kennlinie der UV-Sensoren für λ = 193 nm: (a) I-U-Kennlinie ohne Beleuchtung. Eingezeichnet ist der Arbeitspunkt für die I-t-Messungen (AP); (b) I-U-Kennlinie für verschiedene Pulsfrequenzen der Laserpulse f_L (t_P = 4 ns, E_L = 4 mJ).

Messaufbau ergibt sich in der Ebene des Sensors ein elliptischer Strahlquerschnitt des Lasers von ca. 1 cm x 2 cm, und somit eine bestrahlte Fläche von ca. 1,57 cm^2. Die normierte Darstellung der Lichtintensität bezieht sich hier jeweils auf diese Fläche.
Abbildung 5.9-a zeigt die Dunkelstromkennlinie der UV-Sensoren. Eingezeichnet ist der Arbeitspunkt (AP), der für die zeitabhängigen Messungen gewählt wurde. Er stellt einen Kompromiss bezüglich der erreichbaren Photo- und Dunkelströme dar. Man sieht, dass der Sensor im unteren Feldstärkebereich betrieben werden kann, da hier der Dunkelstrom noch nicht zu hoch

wird, und ein ausreichendes Signal-Rausch-Verhältnis erreicht werden kann (das Rauschen besteht hier hauptsächlich aus dem Dunkelstrom).
In Abbildung 5.9-b ist die I-U-Kennlinie der Sensoren für verschiedene Pulsfrequenzen f_L der Laserpulse dargestellt.

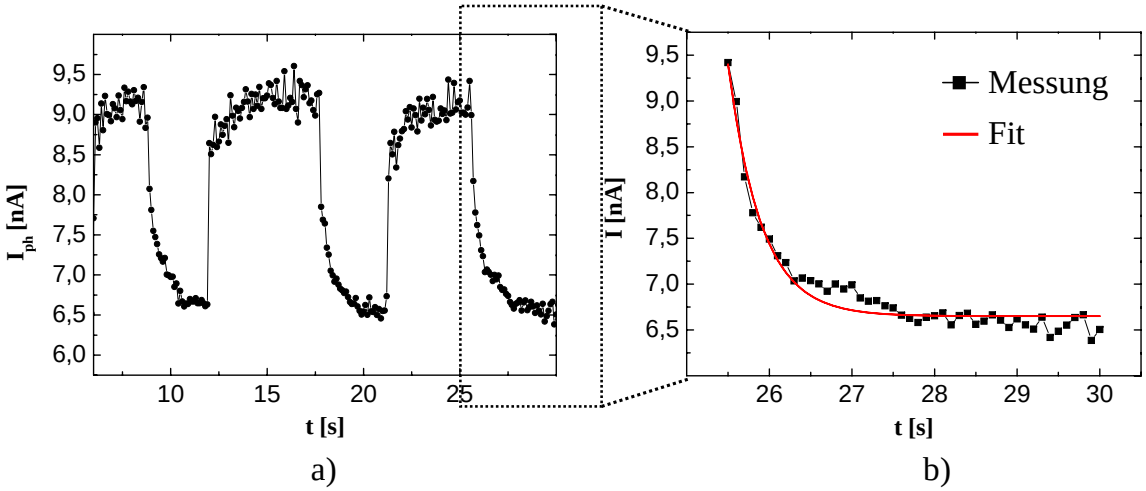


Abbildung 5.10: Strom-Zeit-Kennlinie der UV-Sensoren für λ = 193 nm (t_P = 4 ns, E_L = 4 mJ, f_L = 300 Hz): (a) I-t-Kennlinie bei Ein- und Ausblenden des Lasers; (b) Vergrößerung der abfallenden Flanke mit Ausgleichskurve (exponentieller Abfall).

Je höher f_L, desto größer ist der erreichte Photostrom, da mehr Ladungsträger erzeugt werden.
In Abbildung 5.10 ist eine zeitabhängige Messung des Photostromes dargestellt (Ein- und Ausblenden des Lasers).

Qualitativ erkennt man eine schnelle Zeitkonstante an der steigenden Flanke die durch direkt generierte Elektronen bestimmt sein kann. Der anschließende flachere Anstieg (während des Pulses) könnte durch über die Löcher injizierte sekundäre Elektronen hervorgerufen werden. Nähere Untersuchungen dazu wurden in dieser Arbeit nicht durchgeführt.
Die Vergrößerung in der Zeitskala (Abb. 5.10-b) zeigt deutlich den zeitlichen Verlauf der abfallenden Flanke. Man ermittelt eine Fallzeit (auf 10 %) des Pulses von $t_F \approx 2{,}3$ s. Die Auflösung des Meßsystems beträgt 100 ms. Dieses Verhalten wird auch in der Literatur dokumentiert, z.B. in [180], und wird als PPC (**P**ersistence of **P**hoto **C**urrent, Erhalt des Photostromes) bezeichnet. Ursache ist wiederholtes, evtl. auch zeitverzögertes Anregen von Ladung aus Zuständen (evtl. auch aus Löchern) und Absorptionsbändern, die in CVD-Diamant vorhanden sind [163]. Fallzeiten von mehreren 10 s wie sie in [180] beschrieben sind, konnten hier jedoch nicht beobachtet werden.
Abbildung 5.11 zeigt die Abhängigkeit der Photoströme von elektrischen und optischen Parametern. Wie schon erwähnt ergibt sich mit steigender Pulsfrequenz f_L ein erhöhter Photostrom ΔI_{ph} (Abb. 5.11-a). Für die Abhängigkeit des Photostromes von der Energiedichte des Lasers ergibt sich ein annähernd linearer Zusammenhang, was in einer konstanten Empfindlichkeit re-

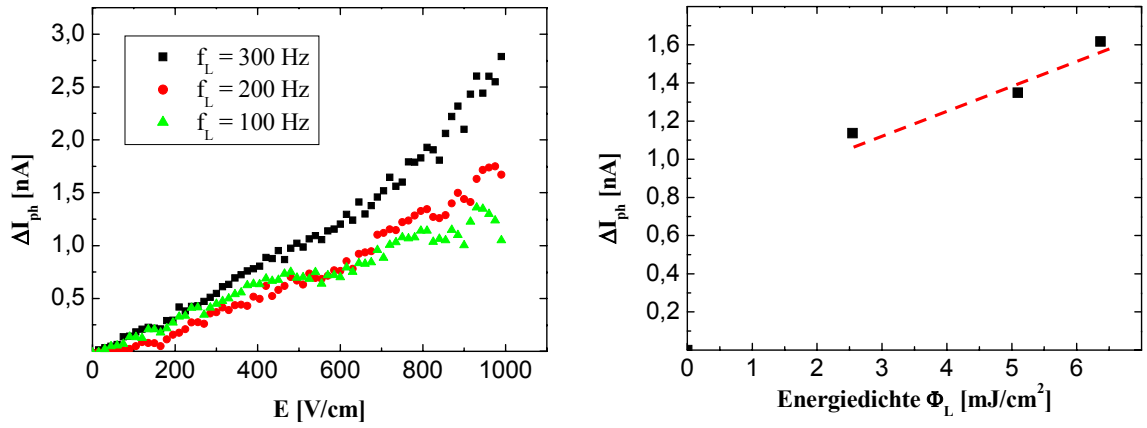


Abbildung 5.11: Abhängigkeiten des Photosignals (λ = 193 nm): (a) Abhängigkeit des Photostromes von der elektrischen Feldstärke für verschiedene Pulsfrequenzen (Energiedichte des Lasers Φ_L = 2,55 $\frac{mJ}{cm^2}$); (b) Abhängigkeit des Photostroms von der Energiedichte des Lasers Φ_L bei konstanter elektrischer Feldstärke von 1 $\frac{kV}{cm}$ (f_L = 100 Hz).

sultiert (Abb. 5.11-b).
Aus den Gleichungen 5.5 bis 5.12 ergibt sich mit dem bereits abgeschätzten internen Quantenwirkungsgrad von $\eta_i \approx 78\,\%$ eine externe Quantenausbeute von $\eta_q \approx 0{,}011\,\%$. Mit einer berechneten Ladungsträgerlebensdauer von $\tau \approx 16{,}5$ ps (aus Gleichungen 5.11 und 5.12) erhält man dann eine Empfindlichkeit von $R_I(193\,\text{nm}) \approx 0{,}02\ \frac{mA}{W}$.

In Abbildung 5.12-a ist die Abhängigkeit des Photosignales von der elektrischen Feldstärke für verschiedene Laserintensitäten dargestellt. Wie auch in anderen Veröffentlichungen ergibt sich ein linearer Zusammenhang mit dem anliegenden Feld [181], der dem ohmschen Gesetz gehorcht. Lediglich bei der höchsten gemessenen Intensität ergibt sich bei größeren Feldstärken ($> 900\ \frac{V}{cm}$) eine leichte Tendenz zur Nichtlinearität die etwa von vermehrten Ladungsspeichereffekten herrühren kann. Abbildung 5.12-b zeigt die Abhängigkeit des Photostromes von der Frequenz der Laserpulse f_L. Wiederum erhält man einen linearen Anstieg des Photosignales mit der Frequenz.

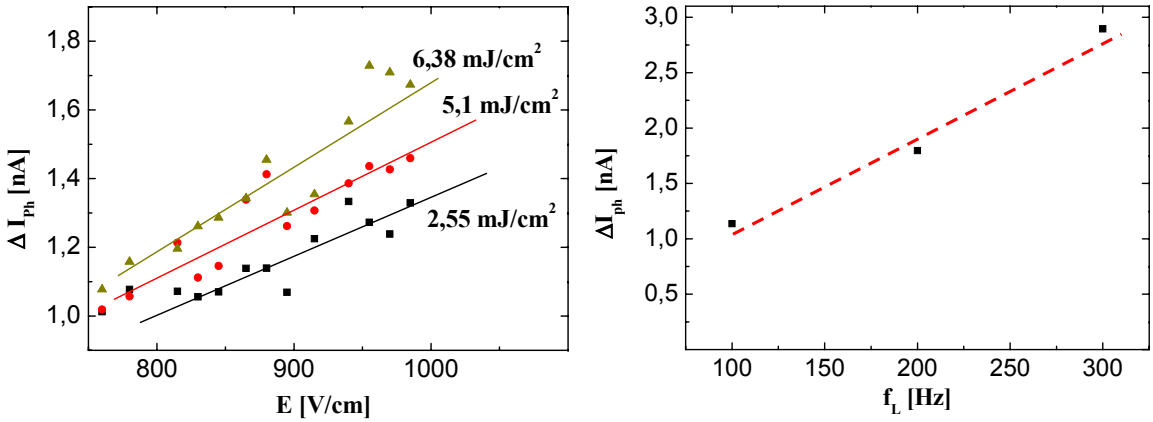


Abbildung 5.12: Abhängigkeit des Photostromes von der elektrischen Feldstärke und Frequenz der Laserpulse: (a) Abhängigkeit des Photostromes von der elektrischen Feldstärke (Parameter: Energiedichte des Lasers Φ_L; f_L = 100 Hz); (b) Abhängigkeit des Photosignals von der Frequenz der Laserpulse f_L (Energiedichte = 2,55 $\frac{mJ}{cm^2}$).

5.4 Resumée und Diskussion zum 3D-UV-Sensor

Betrachtet man die mit den integrierten UV-Sensoren ermittelten Ergebnisse, so macht sich die ”Nanokristallinität” der verwendeten Diamantschichten bei den optischen Eigenschaften stark bemerkbar.

Die externe Quantenausbeute η_q, wie sie in der Literatur dokumentiert ist, kann aufgrund von vorhandener Verstärkung im Material im Bereich oberhalb der Bandkantenenergie von Diamant Werte von 100 (polycrystalline CVD-Schicht) bis zu 1000 (HPHT-Substrat) oder Werte darüber erreichen [182]. Der hier ermittelte Wert liegt unterhalb von 1 %, was wohl hauptsächlich an der starken Rekombination in der nanokristallinen Diamantschicht liegt. Die Qualität des verwendeten Materials ist extrem wichtig für die Herstellung eines UV-Sensors, da das $\mu\tau$-Produkt entscheidend für das Photosignal ist.

Das Vorhandensein von graphitischen Phasen, sei es an Korngrenzen oder an der Oberfläche, reduziert das Photostrom-Dunkelstrom-Verhältnis, und damit im Prinzip das Signal-Rausch-Verhältnis, so dass ein großes Augenmerk auf das Wachstum der Diamantschichten gelegt werden muß [183].

Zur Beseitigung der graphitischen Phase an der Oberfläche wird zum Teil vor der Herstellung der UV-Sensoren eine Oberflächenbehandlung mit Chrom-Schwefel-Säure durchgeführt [184]. In dieser Arbeit wurde dazu ein isotropes Sauerstoffplasma verwendet, dass die Wasserstoffleitfähigkeit und die graphitischen Anteile entfernt. Dadurch ändert sich auch das Oberflächenpotential und ein Teil der Diamantschicht wird von der Oberfläche her verarmt (siehe hierzu z.B. auch [140]). Der selbe Effekt führt bei polykristallinem Material zu einer Reduzierung des Dunkelstromes bei sinkendem Elektrodenabstand (weniger Korngrenzen im Strompfad) [185].

Die Qualität des Materials spiegelt sich wieder in der durchgeführten Abschätzung der Ladungsträgerlebensdauern im verwendeten Material. Der ermittelte Werte im Bereich von 16 ps lässt keine hohen Photosignale erwarten.
Wie bereits erwähnt, kann die breitere fallende Flanke des Photostromes (zeitabhängige Messung) mit dem Laden bzw. Umladen von vorhandenen Zuständen im Diamant erklärt werden [180, 186]. Zum Beispiel sind in [187] Defekte bei 3,8 eV und 4,3 eV dokumentiert, die zu einer verlängerten Lebensdauer der erzeugten Ladungsträger führen. Zusätzlich zu den im Diamant vorhandenen Zuständen kann dieser Effekt durch die Wahl der Kontaktmetallisierung begünstigt werden [188, 163].

Die Wahl von nanokristallinen Diamantschichten (abgeschieden mittels HFCVD[10]) auf Silizium erfolgte aufgrund der Möglichkeit diese auf ausreichend grossen Substraten (maximal 4”-Siliziumwafer) abzuscheiden. Der für die Diamantintegration verwendete Prozess wurde für 4,5 x 4,5 cm^2 große Siliziumwaferelemente entwickelt, so dass die Probengröße beibehalten werden konnte. Das für die Integrationstechnologie erforderliche Silizium hat im Allgemeinen nur geringen Einfluß auf die Detektionscharakteristik der Sensoren, und zeigt sich vor allem im sichtbaren Bereich [189].

Ziel des UV-Sensor-Demonstrators war es, die Möglichkeit einer Integrationstechnologie für diamantbasierende Systeme mit konventionellen Materialsystemen aufzuzeigen. Die Resultate mit den UV-Sensoren zeigen die prinzipielle Funktion der 3D-integrierten Detektoren, und damit die zuverlässige Übertragung von kleinen Strömen über die 3D-Kontakte.
Da der Schwerpunkt auf die Demonstration der Integrationstechnologie gelegt wurde, erfolgte keine Optimierung der nanokristallinen Diamantschichten in Bezug auf die optischen Eigenschaften. Besonders beim Photostrom-Dunkelstrom-Verhältnis ist noch einiges an Verbesserungspotential vorhanden.
Für Anwendungen zur Detektion hochenergetischer Teilchen hingegen wurde in der Literatur bereits die Anwendbarkeit von nanokristallinen Diamantschichten demonstriert [190].

[10] **H**ot **F**ilament **C**hemical **V**apour **D**eposition

Kapitel 6

Zusammenfassung und Ausblick

6.1 Zusammenfassung

Das Hauptziel dieser Arbeit war die Entwicklung einer Technologie zur dreidimensionalen Integration von silizium-basierten Schaltungen. Aufbauend auf einem Niedertemperatur-Lötprozeß (SoLID) erfolgte die Entwicklung des technologischen Konzeptes.
Der gewählte Ansatz hierbei beruht auf gedünnten aktiven Substraten mit einer Restdicke von 10 µm. Die Dickenkontrolle, sowie die Justage von Vorder- zur Rückseite wurde mittels Markenätzung während der Prozessierung der Oberseite, sowie einer epitaktischen bordotierten Ätzstoppschicht realisiert.
Eine Schwierigkeit bestand darin, eine Handhabungsmethode für die extrem dünnen Siliziumsubstrate zu finden. Eine Lösung ergab sich durch das Aufkleben der vorprozessierten Substrate auf einen Träger. Dies geschieht durch die Verwendung eines Polyimides in Kombination mit einem Photolack, welcher am Ende des Prozesszykluses das Entfernen des Trägers ermöglicht. Das Dünnen der Substrate erfolgte durch eine Kombination von mechanischem Dünnen und chemischem Ätzen, dass ein genaues Erreichen der Ätzstoppschicht ermöglicht. Eine genaue Kontrolle der Dicke, sowie eine spiegelnd glatte Oberfläche sind hierbei die Vorteile dieser Methode. Die Besonderheit der aufgeklebten Proben erforderte den Aufbau eines Spinätzers zur chemischen Probendünnung, da kein solches Gerät zur Prozessierung vorhanden war.
Aufgrund der Eigenschaften der Klebeschicht-Probe-Konfiguration und der Entwicklung des Prozesses für Siliziumschaltungen (CMOS o. ä.) ist ein eingeschränktes Temperaturbudget zu beachten. Für die Verwendung als Ätzmaske zur Viaätzung, sowie zur elektrischen Isolation der Durchkontaktierungen wurde deshalb ein Prozeß zur Siliziumoxidabscheidung bei verringerten Temperaturen erprobt und charakterisiert. Als geeignet bezüglich Leckstromdichte und Durchbruchfeldstärke erwies sich ein Prozeß bei 200 °C mit reduzierter Abscheiderate. Dies schaffte eine wichtige Voraussetzung für die zerstörungsfreie Prozessierung der dünnen Substrate.
Zur Herstellung der Kontakte von der Rückseite zur Vorderseite wurde Anisotropes Siliziumätzen verwendet. Diese Technik ermöglicht, aufgrund der senkrechten Seitenwände, das Errei-

chen der maximalen Kontaktdichte von bis zu 4400 mm^{-2}. Der Einfluß der Klebung auf den Prozeß zeigte sich hierbei durch eine leicht verminderte Ätzrate.
Die Viametallisierung und die Lötpads für die Verbindung der einzelnen Lagen im Stapel wurden durch Kupfergalvanik realisiert. Im gleichen Schritt wurde ebenfalls Zinn als Teil der Lötmetallisierung deponiert. Die Lötung bei 300 °C mit dem schon erwähnten SoLID-Verfahren stellte den Abschluß des Prozeßzyklusses dar.
Bis auf die Lötung liegen alle Prozeßschritte bezüglich der Temperatur unterhalb 300 °C. Dies bietet den Vorteil der Anwendbarkeit des Prozeßablaufes auf andere Substrate, wie z.B. GaAs, InP, oder sogar Polymere, die vielleicht aufgrund der Schmelztemperatur noch stärkeren Begrenzungen unterworfen sind.
Erfolgreich gezeigt wurden Durchkontaktierungen mit einem Widerstand von kleiner 0,8 Ω, wobei der Lötwiderstand selber mit $< 0{,}1\,\Omega$ keinen wesentlichen Beitrag zum Gesamtwiderstand leistet. Die Ursache des Viawiderstandes liegt hauptsächlich im Übergangswiderstand zur Vorderseitenmetallisierung, da hier eine teilweise Oxidation während der Prozessierung nicht ausgeschlossen werden kann. Eine mehrfache Lötung auf dem selben Basissubstrat wurde bis zu einer Höhe von sieben Lagen demonstriert, wobei aufgrund von Ausbeuteschwierigkeiten noch keine elektrischen Messungen vorliegen.

Zusätzlich zu dem Ansatz mit reinen Siliziumsubstraten wurde die Technologie durch die Integration eines UV-Sensors auf nanokristallinen Diamant erweitert. Das für das Diamantwachstum verwendete Siliziumsubstrat bot hierbei die Möglichkeit einige Prozessschritte direkt zu übernehmen.
Als weitere Schritte in der Prozessierung kamen hierbei das trockenchemische Diamantätzen und die Abscheidung der Ohmmetallisierung der UV-Sensoren hinzu. Um eine Anwendung als eine Art UV-Kamera zu demonstrieren wurde auf den integrierbaren Substraten eine Matrix aus Detektorpixeln realisiert. Für die einzelnen Pixel wurde hierbei das Prinzip des Photoleiters mit einer aktiven Fläche von etwa $1{,}14 \cdot 10^{-3}$ cm^2 und einem Fingerabstand von 10 µm gewählt.
Obwohl nanokristalliner Diamant aufgrund der vielen Korngrenzen kein ideales Material für die UV-Detektion ist, konnten mit den Sensoren durchaus befriedigende Ergebnisse erzielt werden. Gezeigt wurden Signalströme im Nanoamperebereich, sowie gepulste Messungen die aufgrund von Ladungsspeicherung an Korngrenzen und Defekten eine abfallende Flanke im Bereich mehrerer Sekunden aufwiesen. Die vorhandenen Korngrenzen erhöhen den Dunkelstrom und verringern dadurch das Signal-Rausch-Verhältnis. Bei den Messungen mit einer Wellenlänge von 193 nm wurde eine Empfindlichkeit von ca. 0,02 $\frac{mA}{W}$ ermittelt.
Durch weitere Optimierung der Diamantschichten bezüglich der optischen Eigenschaften wäre eine weitere Verbesserung der Detektionscharakteristik der Sensoren zu erwarten.

Mit dieser Arbeit wurde eine funktionsfähige Integrationstechnologie demonstriert, die neben reinen Siliziumschaltungen auch für andere Materialsysteme angewendet werden kann. Durch

die Verwendung eines SiP[1]-Ansatzes sind nur geringe Änderungen am Standardprozeß für die aktiven Schaltungssubstrate notwendig.
Erstmals wurde eine Technologie aufgezeigt, die es ermöglicht Diamantsensorik, -aktorik oder -elektronik mit konventionellen Schaltungsarchitekturen, wie z.B. CMOS zu kombinieren. Dies bietet die einzigartige Möglichkeit, von den Vorteilen und Eigenschaften verschiedenster Architekturen, bzw. Materialsysteme zu profitieren.

6.2 Ausblick

Nach der Demonstration der Integrationstechnologie mittels passiven Siliziumsubstraten bleibt prinzipiell die Übertragung der Technologie auf Wafer mit aktiven Schaltungen. Erste Anstrengungen wurden unternommen bezüglich der Erprobung der Trägertechnik und des Dünnungsprozesses an CMOS-Schaltungen. Grundlegende Experimente zeigten kein Auftreten von zusätzlichen Schwierigkeiten im Prozeßablauf.
Die Verwendung aktiver Substrate sollte die Charakterisierung der Technologie in Hinblick auf den Einfluß auf Transistorparameter und andere Schaltungseigenschaften ermöglichen. Eine

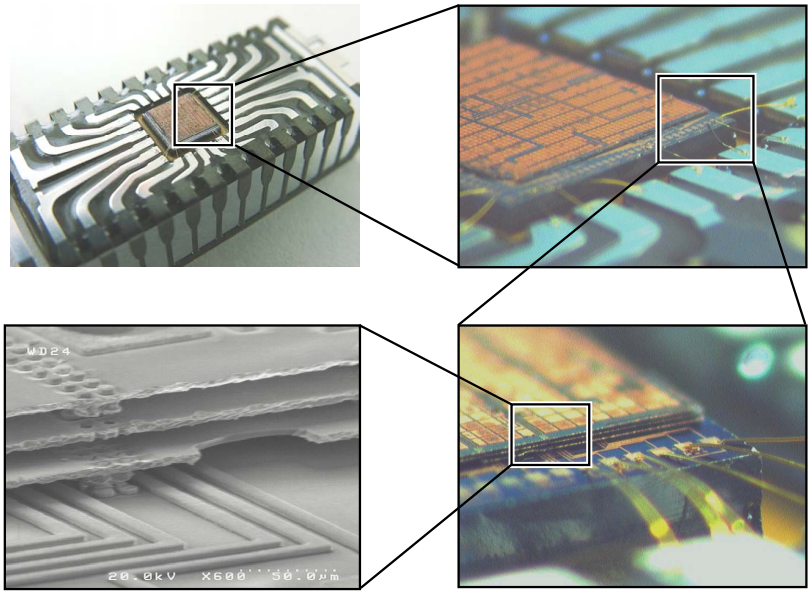


Abbildung 6.1: Komplettes System im Chipcarrier.

wichtige Frage hierbei ist die nach dem minimalen Abstand der Durchkontaktierungen von aktiven oder stromführenden Elementen. Dies beeinflusst wesentlich die maximal erreichbare Kontaktdichte zwischen zwei Lagen im Stapel.

[1] **S**ystem **I**n **P**ackage

Bei der Einführung einer neuen Integrationstechnologie stellt sich immer die Frage nach der Zuverlässigkeit der elektrischen Verbindungen. Abhilfe hierzu kann eine Testschaltung liefern, die zusätzlich zu den eigentlichen Funktionen auf dem aktiven Substrat realisiert wird. Einen Ansatz dazu findet sich z.B. bei [20]. Solch eine Testschaltung führt beim Einschalten eine Testroutine aus, die die elektrischen Verbindungen auf Kurzschlüsse und unerwünscht offene Verbindungen prüft. Eventuell können hierdurch sogar nicht funktionierende Kontakte durch ihre Nachbarn kompensiert werden.

Die Vorteile der dreidimensionalen Integration können nur ausgenutzt werden, wenn eine große Anzahl an Verbindungen gleichzeitig ausgewertet werden kann. So ist für die effiziente Anwendung eines z.B. diamant-basierenden hochauflösenden Detektors ein zugehöriges aktives Basissubstrat nötig. Abbildung 6.1 zeigt die Vision eines kompletten 3D-integrierten Systems als Baustein in einem Chipträger. Die oberste Lage wäre in diesem Fall der Diamantdetektor. Mittelchips und Basissubstrat könnten aus Auswerteelektronik oder Verstärkern bestehen, oder den Informationsspeicher beherbergen. Besonders für Anwendungen in der Raumfahrt oder komplexe Bildverarbeitungsprobleme wären solche Systeme von sehr großem Interesse.

Anhang A

Definition von Bezeichnungen und Begriffen

Die in dieser Arbeit verwendeten Begriffe und Bezeichnungen sollen hier einmal kurz zum besseren Verständnis erläutert werden. Abbildung A.1-a zeigt ein Substrat vor der 3D-Integration.

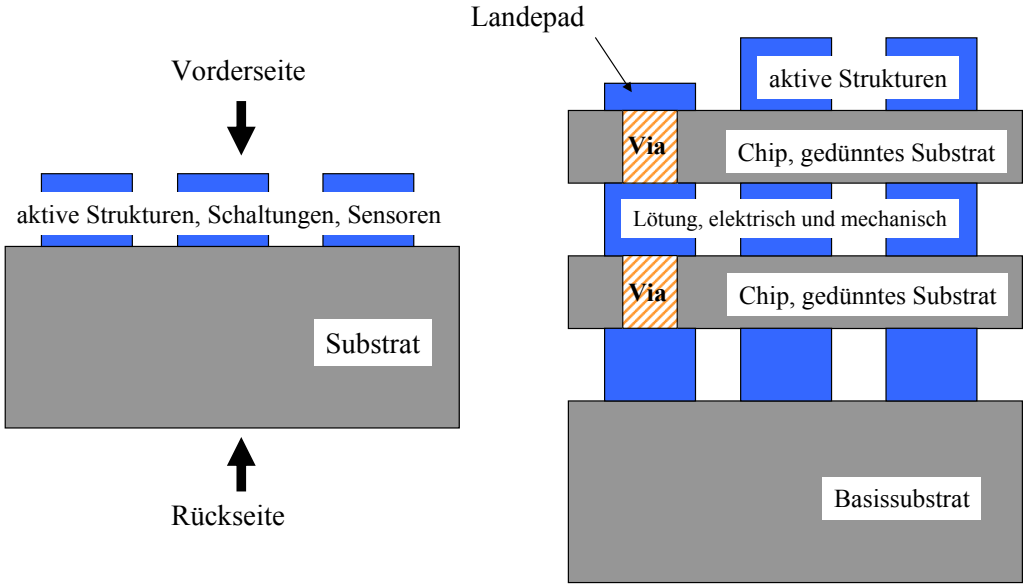


Abbildung A.1: Skizze zur Erklärung verwendeter Bezeichnungen und Begriffe: (a) Konventionelles Substrat mit aktiven oder passiven Elementen vor der 3D-Integration; (b) Stapel 3D-integrierter Substrate.

Die Seite, welche die aktiven Strukturen oder auch nur passive Leitungen enthält wird in dieser Arbeit allgemein als **Vorderseite** (oder Oberseite) bezeichnet. Die Seite die im Grundzustand keine Strukturen enthält, also die unpolierte Siliziumseite wird als **Rückseite** bezeichnet, unabhängig davon, ob während der Prozessierung die Lage des Substrates durch z.B. Aufkleben auf

einen Träger geändert wird. Von dieser Seite aus erfolgt der Großteil der angewendeten Prozeßschritte für die Integration.
In Abbildung A.1-b ist schematisch ein 3D-integrierter Aufbau gezeigt. Die gedünnten Silizumwafer im Aufbau werden als **Chips** bzw. als **gedünnte Substrate** bezeichnet. Sie enthalten auf der **Vorderseite** die aktiven Strukturen.
Die elektrischen Verbindungen zwischen zwei Ebenen werden als **Via** bzw. **Durchkontaktierung** oder **3D-Kontakte** bezeichnet. Die Metallisierungen auf der Vorderseite der Chips, die das Via kontaktieren, werden als **Landepad** bezeichnet. Diese sind normalerweise leitend mit den aktiven Strukturen auf der Vorderseite verbunden.
Die elektrische und mechanische Verbindung der Chips erfolgt mit der Lötung. Die Metallflächen für die Lötung werden als **Lötpads** oder **Lötmetallisierungen** bezeichnet. Diese besitzen eine unterschiedlich große Fläche, je nachdem ob sie elektrisch aktiv oder nur mechanisch genutzt sind.
Das **Basissubstrat** schließlich ist ein ungedünntes Siliziumsubstrat (Dicke ca. 680 µm) auf das der erste, und damit alle folgenden Chips gelötet werden. Er dient somit auch als mechanisch stabiler Träger zur Herstellung von Verbindungen zu Meßgeräten bzw. zur Kontaktierung mittels Drahtbonden.

Anhang B

Zusätzliche Details zur Integrationstechnologie

In Kapitel 4 werden bereits die Schlüsselprozesse für die Integration beschrieben. Zusätzlich sind jedoch noch andere Schritte notwendig, z.B. die Kontaktmetallisierung, um einen elektrisch aktiven, 3D-integrierten Stapel herzustellen. Diese Schritte sollen hier kurz beschrieben werden.

B.1 Mechanisches Dünnen

Der prinzipielle Läppvorgang zur mechanischen Dünnung der Substrate ist schon in Abbildung 3.6 in Kapitel 3.3.1 dargestellt. Verwendet wurde hier ein Gerät der Firma Logitech^{TM} mit einer Läppscheibe aus Gußeisen.
Vor dem Läppen wird die Probe auf einen Substrathalter aufgeklebt, damit sie vom Läppkopf aufgenommen werden kann. Dies erfolgt mit einem Wachs bei einer Temperatur von 75 °C. Das Wachs kann nach dem Läppen in Lösungsmittel (Aceton, Isopropanol) wieder entfernt werden. Das Verkleben von Probe und Substrathalter erfolgt in einer Presse, um höchstmögliche Planarität und damit einen über die Fläche homogenen Materialabtrag während des Läppens zu erreichen. Idealerweise erhält man eine Planarität im Bereich der Meßgenauigkeit der zur Kontrolle verwendeten Meßuhr ($\pm 2\,\mu$m).
Als Läppemulsion wird 12 μm Al_2O_3-Pulver in Wasser verwendet, das direkt auf die Läppscheibe zugeführt wird. Tabelle B.1 zeigt alle verwendeten Parameter. Die Reduzierung der Drehzahl und des Druckes auf die Probe, und damit die Reduzierung der Abtragsrate, dienen zur besseren Kontrolle der Enddicke.
Ein zusätzlicher Polierschritt, oder die Verwendung einer feinkörnigeren Läppemulsion nach dem groben Materialabtrag erübrigt sich aufgrund der folgenden chemischen Dünnung, die eine sehr gute Oberflächenqualität erzeugt. Weiterhin werden durch das Nassätzen eventuell vorhan-

Parameter	Druck	Rotation	Läppmittel	Abtrag
Schritt 1	ca. 9 kPa	70 rpm	Al_2O_3 12 μm	500 μm
Schritt 2	ca. 6 kPa	60 rpm	Al_2O_3 12 μm	100 μm
Schritt 3	ca. 3 kPa	50 rpm	Al_2O_3 12 μm	50 μm

Tabelle B.1: Parameter für die mechanische Dünnung durch Läppen

dene Defekte und Mikrorisse entfernt, was auch in der Industrie beim Dünnen von Chips Anwendung findet [191]. Die Dickenkontrolle während des Läppens erfolgt mittels einer Meßuhr die bereits zur Kontrolle der Planarität verwendet wird.

B.2 Vorderseiten-Metallisierung

Nach Abschluss der Epitaxie für die Ätzstoppschicht und die Nutzschicht erfolgt der Standardprozess (siehe auch Abbildung 4.2-c,d). Bei aktiven Wafern mit z.B. CMOS-Schaltungen, ist dies dementsprechend die Herstellung der Schaltungen, bei Sensoranwendungen die Herstellung der Sensoren.
Soll nun auf den soweit prozessierten Proben ein erneutes Löten möglich sein (Zwischenchip), so müssen auf diesen zusätzlich zum Grundprozess Metallisierungen für die Lötverbindungen vorgesehen werden. Die Lötverbindungen bestehen aus einer Cu-Sn-Cu-Schichtfolge (siehe auch Kapitel 4.3), so dass als Lötmetall auf der Oberseite Kupfer abgeschieden werden muß. Bei den einfachen Teststrukturen wird sogar als Standardprozess auf der Oberseite nur die Herstellung der elektrisch leitfähigen Kupferstrukturen durchgeführt. Dies ermöglicht auch hier das erneute Löten einer weiteren Lage.
Die Kupferstrukturen auf der Oberseite der Proben werden selektiv durch eine Lackmaske mittels Elektrogalvanik abgeschieden. Verwendet wurde hierzu eine kommerziell erhältliche Kupfergalvanik der Firma Enthone (siehe auch Tabelle C.12 im Anhang). Für die Elektrogalvanik ist eine ganzflächige Kupferstartschicht erforderlich die durch Sputtern aufgebracht wird.
Da Kupfer in Silizium eine tiefe Störstelle erzeugt, ist es dringend erforderlich eine Diffusion des Kupfers zu unterbinden [66]. Aus diesem Grund wird vor der Kupferdeposition eine Diffusionsbarriere abgeschieden. Gewählt wurde Ti:W mit einem Titananteil von 30 at%. Dieses gewährleistet eine dichte Barriere bis zu Temperaturen oberhalb 700°C [68]. Ein weiterer Vorteil ist der relativ hohe Titananteil, der die Haftung des Kupfers auf der Oberfläche verbessert [74]. Wird die Diffusionsbarriereneigenschaft nicht benötigt, ist eine Haftschicht aus reinem Titan ausreichend. Die Dicken der abgeschiedenen Schichten sind 25 nm für die Diffusionsbarriere und 40 nm Kupfer als Startschicht für die Galvanik. Zur Isolation der einzelnen Metallisierungsebenen wird auf den Testproben vor der Metalldeposition 200 nm Siliziumdioxid in einer PECVD-Anlage abgeschieden. Die Parameter der Abscheidung finden sich in Tabelle C.1

im Anhang.
Als Lackmaske für die Galvanik wird der Lack AZ 9260 der Firma Clariant verwendet, der mit einer Dicke von ca. $4\,\mu m$ aufgebracht wird (Tabelle C.9). Die Höhe der Kupferlötmetallisierung

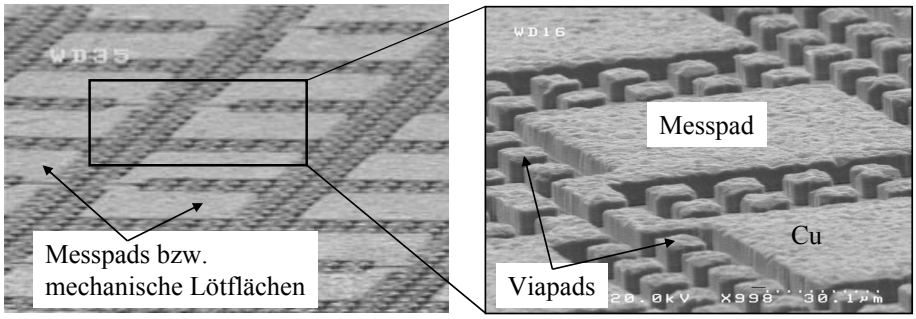


Abbildung B.1: Testchipoberseite nach fertiger Vorprozessierung (Isolator und Kupfergalvanik)

von 3 µm ergibt sich nach 15 Minuten bei einer Stromdichte der Galvanik von ca. $56\,\frac{mA}{cm^2}$. Abbildung B.1 zeigt die Oberfläche einer galvanisierten Teststruktur. Die Messpads haben hier eine Fläche von $80 \text{ x } 80\,\mu m^2$ um Meßnadeln aufsetzen zu können. Die Pads die nur über den Vias vorhanden sind haben eine Größe von $9 \text{ x } 9\,\mu m^2$. D.h. es können immer nur eine begrenzte Anzahl von Vias auf einer Probe direkt charakterisiert werden. Berücksichtigt man nur die eigentlichen Viapads, so kann bei dieser Größe eine Viadichte von ca. $4400\,mm^{-2}$ erreicht werden.
Nach Abschluß der Galvanik wir der Lack mittels Aceton gelöst. Die Cu-Startschicht für die Galvanik wird mit Ammoniumchloridlösung durch einen kurzen Dip entfernt (ca. 5 s bis 10 s). Die Ti:W-Diffusionsbarriere wird mit CF_4-Plasma geätzt (Tabelle C.2).

B.3 Substrat–Träger–Technologie

Ein grundsätzliches Problem bei der dreidimensionalen Integration, also dem Stapeln von gedünnten und durchkontaktierten aktiven Substraten ist die Handhabung der dünnen Substrate. Nach dem eigentlichen Dünnungsprozess, der mechanisch, chemisch, oder aus einer Kombination beider Prozesse bestehen kann, sind im allgemeinen noch mehrere Prozessschritte notwendig. Standardlithographie oder -ätzverfahren stellen normalerweise diesbezüglich kein Problem dar. Anders sieht es dagegen bei Prozessen aus, die ein gewisses Temperaturbudget aufweisen, wie z.B. PECVD-Prozesse zur Isolatorabscheidung. Die hier verwendete Methode für das Handling der gedünnten Proben benutzt ein Trägersubstrat (Silizium) auf das die Proben nach Abschluss der Vorprozessierung geklebt werden. Die Anforderungen an eine solche Klebeschicht sind, neben guter Adhäsion, eine gute Temperaturbeständigkeit während der Prozessierung. Desweiteren sollten die auftretenden mechanischen Spannungen berücksichtigt werden, sowie ein Ablösen des Trägers nach Beendigung des Prozesszyklusses möglich sein.

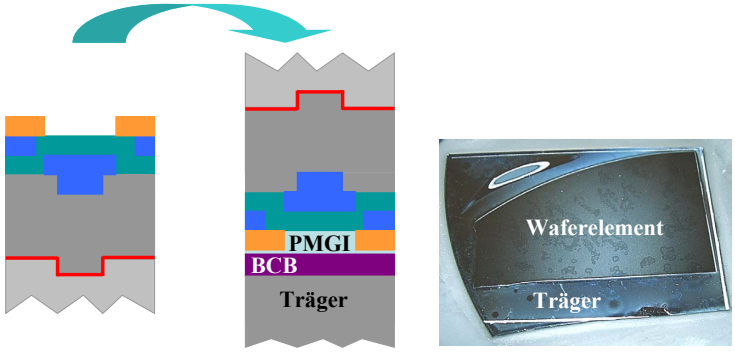


Abbildung B.2: Prozeßschritte bei der Trägeraufbringung: (a) Vorprozessiertes Waferelement; (b) Aufbringen auf Träger; (c) Waferelement auf dem Träger.

B.3.1 Struktur und physikalische Eigenschaften

Eine Grundvoraussetzung für eine funktionierende Trägertechnik ist die Kompatibilität zwischen Trägermaterial, aufzubringender Probe und Klebeschicht. Das heißt, es muß eine ausreichend gute Adhäsion einerseits zwischen Probe und Kleber und andererseits zwischen Kleber und Träger vorliegen. Abbildung B.3 zeigt beispielhaft die Auswirkungen einer fehlerhaften



Abbildung B.3: Auswirkungen fehlerhafter Klebung bei der Prozessierung: (a) nach chemischem Dünnen; (b) nach mechanischem Dünnen; (c) nach Oxidabscheidung bei 250 °C durch PECVD.

Klebung während der Prozessierung. Vor allem bei thermischen und mechanischen Belastungen kann dies zur Zerstörung der Probe führen.
Weiterhin sollten die thermischen Ausdehnungskoeffizienten von Träger und Probe nicht zu unterschiedlich sein. Aus diesem Grund wird für diesen Ansatz Silizium als Trägermaterial gewählt. Dieses hat den weiteren Vorteil, dass es ohne größeren Aufwand gespalten oder gesägt werden kann, was für das spätere Verlöten der Einzelchips eine entscheidende Erleichterung ist. Für die Klebeschicht wurde eine Kombination von Cycloten BCB 3022-57, als eigentliche Klebeschicht, und PMGI-Fotolack (**P**oly**M**ethyl**G**lutar**I**mid) verwendet. Der PMGI-Lack dient

hierbei nur als Ablöseschicht, um nach erfolgtem Löten der Chips den Träger wieder entfernen zu können. Das Cyclotene BCB 3022 kann nach dem Aushärten nur durch Plasmabehandlung entfernt werden. Im folgenden sollen kurz die wichtigsten Eigenschaften der Klebeschicht erläutert werden.

PMGI

Wie bereits erwähnt wird die PMGI-Schicht benötigt, um ein späteres Ablösen der prozessierten Chips vom Träger zu ermöglichen. PMGI besitzt eine relativ hohe Temperaturstabilität (Zersetzungstemperatur 335 °C, [192]), was ihn für die Anwendung während Prozessen bis 300 °C tauglich macht. Die Glastemperatur von PMGI liegt bei 190 °C. Nach dem üblichen Backschritt (T $\leq$ 190 °C) kann im Bereich von 250 °C bis 300 °C eine zusätzliche Planarisierung der Schicht erreicht werden [192].
Als Ablöseschicht wird eine Kombination von PMGI SF 11 und dem höher viskosen PMGI SF 19 verwendet. Der PMGI SF 11 dient hierbei dazu die Vorderseite der Probe zu benetzen und als

Parameter	Spin 1	Spin 2	Backen	Dicke
PMGI SF 11	700 rpm, 5 s	4000 rpm, 45 s	150 °C, 10 min.	ca. 700 nm
PMGI SF 19	700 rpm, 5 s	2000 rpm, 45 s	Rampe	ca. 6,5 μm
SF 19 Rampe	150 °C 5 min.	275 °C @ 10 °C/min.	275 °C 60 min.	RT @ 5 °C/min.

Tabelle B.2: Schleuderparameter und Temperaturschritte für die Ablöseschicht

Haftvermittler für den dickeren PMGI SF 19. Aufgebracht wird die Ablöseschicht auf einer Lackschleuder direkt auf die Vorderseite der vorprozessierten Proben. Tabelle B.2 zeigt die verwendeten Schleuder- und Ausbackparameter. Die Temperaturrampe beim Ausbacken des PMGI SF 19 ist nötig, um eine Blasenbildung durch zu schnell austretendes Lösungsmittel aus der Lackschicht zu vermeiden. Die Ausbacktemperatur von 275 °C liegt im Planarisierungsbereich des PMGI. Dadurch erreicht man, dass an einer eventuell vorhandenen Randwulst des Lackes, trotz der Rampe entstandene Bläschen zum Teil wieder eingeebnet werden.
Abbildung B.4 zeigt eine thermogravimetrische Analyse des PMGI SF 19. Hierbei wurde der Massenverlust des PMGI während des Ausbackens über dem Temperatur-Zeit-Produkt aufgetragen. Man erkennt, das im Bereich von 2,5 bis 7,5·10^4 K·min (dies entspricht einer Zeit von 60 Minuten bei einer Temperatur von 275 °C) nur noch ein geringer Unterschied in der Massenabnahme vorliegt. Dies ist wichtig für die Kombination der Ablöseschicht mit der Klebeschicht. Größere Mengen ausgasenden Lösemittels würden zu vermehrten Gaseinschlüssen in der Schicht, und damit zu einer verringerten Adhäsion, führen. Experimente zeigen, dass der PMGI-Lack auch nach achtstündigem Backen bei 275 °C innerhalb von zwei Minuten in 1-Methyl-2-Pyrrolidon lösbar ist. Aceton oder Isopropanol hingegen lösen den ausgebackenen Lack nicht.
Versuche mit PMGI allein als Klebeschicht scheiterten an der zu geringen Haftung nach den

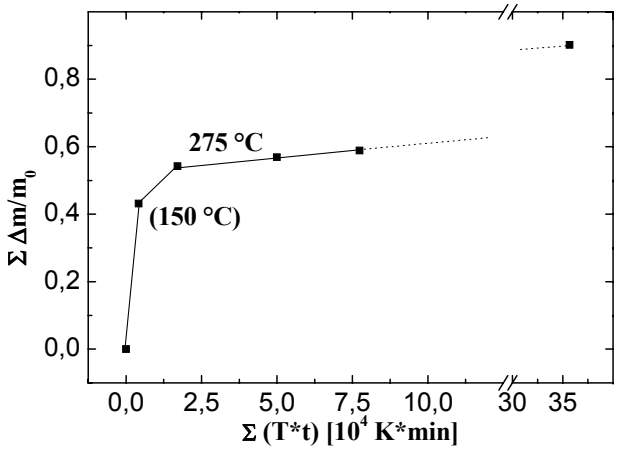


Abbildung B.4: Thermogravimetrische Analyse von PMGI SF 19. Aufgetragen ist der relative Massenverlust $\sum(\frac{\Delta m}{m_0})$ während des Ausbackens über der gesamten zugeführten Energie $\sum(T \cdot t)$.

Ausbackschritten und der damit verbundenen Ablösung des Trägers bei geringer mechanischer Einwirkung.

BenzoCycloButen

Die eigentliche Klebeschicht besteht aus BCB (BenzoCycloButen), welches bereits für Waferbonding und Schichttransfer Verwendung gefunden hat [193, 194]. Tabelle B.3 zeigt die wichtigsten Eigenschaften des Polyimides. BCB wurde speziell für Anwendungen in der Mikroelektronik und Mikromechanik entwickelt, so z.B. als Passivierungsschicht, Dielektrikum oder direkt als mikromechanisches Element. Durch die Verwendung verschieden viskoser Va-

E-Modul @ RT	E-Modul @ 250 °C	μ	T_G
2,9 GPa	1,3 GPa	0,34	> 350 °C
c_p	λ	ρ	α
1,247 kJ/kgK	0,29 W/mK	1,06 kg/dm^3	45·10^{-6} K^{-1}

Tabelle B.3: Ausgewählte BCB Eigenschaften. Die Abkürzungen bedeuten: μ: Poissonzahl, T_G: Glastemperatur, c_p: spezifische Wärmekapazität, λ: Wärmeleitfähigkeit, ρ: Dichte, α: Wärmeausdehnungskoeffizient [195].

rianten des BCB können Schichtdicken von 1 μm bis mehreren 10 μm erreicht werden. Das hier verwendete BCB 3022-57 deckt einen Dickenbereich von 5,7 µm bis 15,6 µm ab. BCB ist komplett ausgehärtet mit keinem Lösungsmittel mehr lösbar und ist auch in vielen Säuren und Laugen, wie z.B. Kaliumhydroxidlösung stabil. Sinnvoll entfernt werden kann es in diesem Zustand nur durch Plasmaätzung (O_2 und CF_4) [196].

Die guten Planarisierungseigenschaften und ein nicht meßbares Ausgasen unterhalb von 300 °C machen den BCB außerordentlich geeignet zur Vewendung als Klebeschicht. Aufgebracht wird das BCB zum einen auf den Siliziumträger, wobei hier zuvor ein Haftvermittler AP 3000 aufgebracht wird. Dieser wird mit 3000 U/min 60 Sekunden bis zum Trocknen geschleudert. Der BCB selber wird mit 4000 U/min auf den Träger und auf die Probe mit PMGI-Lack aufgeschleudert, was jeweils eine Dicke von ca. 6,3 µm ergibt [196]. Anschließend werden Träger und Probe bei 180 °C 20 Minuten auf einer Heizplatte vorgebacken. Die hier verwendeten Parameter für die BCB-Deposition wurden in Anlehnung an eine Dissertation aus dem Jahr 2002 entwickelt [197].

B.3.2 Klebevorgang

Nach dem Aufbringen der Klebeschicht und dem Vorbacken wird die Probe und der Träger, der mit BCB beschichtet ist, in die Klebepresse eingebaut. Die Klebepresse besteht aus einem Unterteil, in das ein O-Ring eingelassen ist, und aus einem Oberteil ebenfalls aus Aluminium in das eine Membran eingefräst ist, so dass nur ein Stempel in Größe der Probe übrig bleibt (siehe Abbildung B.5).
Der Träger wird auf die polierte Grundfläche der Presse platziert, wobei auf eine saubere Rückseite zu achten ist, da es sonst zu punktförmig überhöhter Krafteinwirkung auf die Probe kommen kann. Die Probe selbst wird kleberseitig auf den Träger gelegt. Das Oberteil der Presse

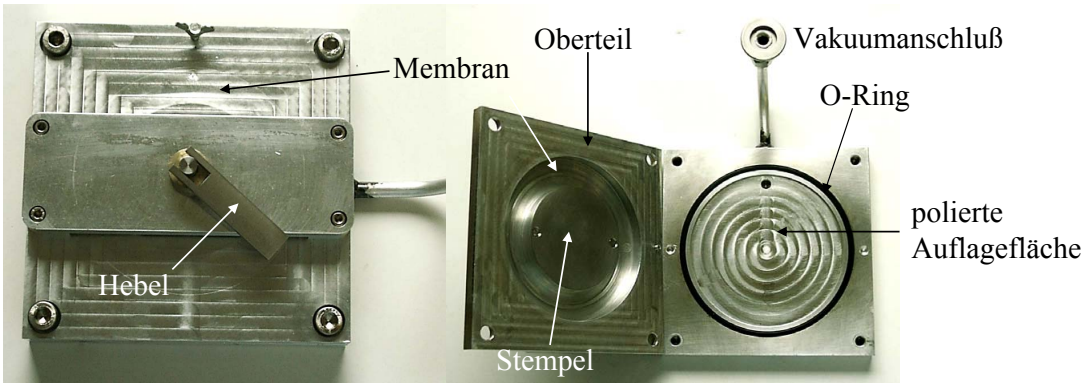


Abbildung B.5: Klebepresse zur Verbindung von Probe und Träger.

wird angeschraubt mit dem Haltehebel in der oberen Position, so dass der Stempel die Probe zunächst nicht berührt.
In dieser Position kann nun die Kammer evakuiert werden, ohne dass auf die Probe Kraft ausgeübt wird. Bei Erreichen des Enddrucks (ca. $5{\cdot}10^{-3}$ mbar) wird die Membran mit dem Hebel nach unten geklappt und somit Druck auf die Probe ausgeübt.
Nun folgt der Ausbackzyklus, der mit einem Aufwärmschritt von 150 °C für fünf Minuten beginnt. Dieser dient dazu, die ganze Presse auf eine konstante Temperatur zu bringen. Anschlie-

ßend erfolgt eine Rampe auf 250 °C (5 °C/min). Das Hartbacken des BCB erfolgt bei 250 °C wobei nach 60 Minuten die Endhärte erreicht wird. Das Abkühlen geschieht durch Ausschalten der Heizleistung wodurch sich eine Abkühlzeit von ungefähr 45 Minuten ergibt.
Erste Versuche, die Klebung mit einer Presse ohne Vakuum durchzuführen, scheiterten an den Lufteinschlüssen in der Klebeschicht. Durch das Verhindern von Lufteinschlüssen ergibt sich somit eine Klebeschicht, die bezüglich der folgenden Prozessierung ausreichende mechanische Eigenschaften aufweist.

B.4 Aufbau und Funktion des Spinätzers

Für die chemische Dünnung der Substrate bis zur Ätzstoppschicht wird ein innerhalb des Projektes am Institut für Elektronische Bauelemente und Schaltungen selbst gebauter Spinätzer verwendet, der es ermöglicht die Probe während des Ätzens zu drehen. Die Ätzflüssigkeit wird von oben auf die Probe gebracht. Dadurch wird verhindert, dass die Ablöseschicht (PMGI) direkt der KOH-Lösung ausgesetzt ist.
Abbildung B.6 zeigt den Aufbau des Spinätzers. Das Grundgerüst besteht aus einer Trockenschleuder für Wafer. Dadurch ist bereits die Kammer und der Antrieb für die Rotation vorhanden. Die Drehzahl kann zwischen 0 U/min und ca. 5000 U/min geregelt werden. In den Deckel

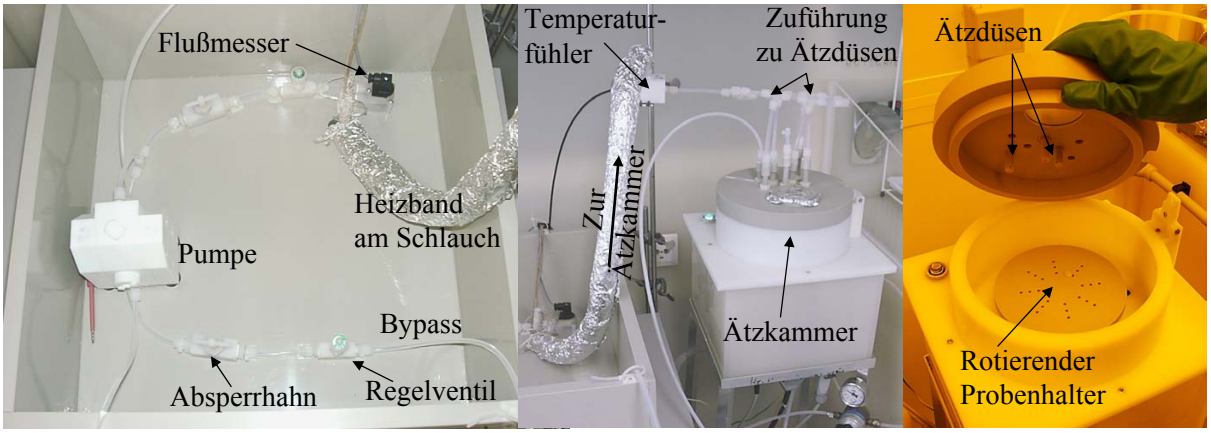


Abbildung B.6: Aufbau des Spinätzers. Nicht gezeigt sind der temperierbare Vorratsbehälter für die Ätzlösung, die Steuergeräte für Rotation und Pumpe, sowie die Fluß- und Temperaturanzeigen.

der Ätzkammer sind mehrere Düsen eingeschraubt, durch welche die Ätzflüssigkeit auf die Probe gelangt. Diese Düsen sind sowohl in der Höhe als auch in der Austrittsrichtung der Flüssigkeit einstellbar (Abbildung B.6 rechts).
Die Ätzlösung selbst befindet sich in einem temperierbaren Vorratsbehälter und wird üblicherweise auf einer Temperatur von 95 °C vorgeheizt. Sie wird über eine Druckluftmembranpumpe angesaugt und über Schläuche und Ätzdüsen in die Kammer befördert. Der Ablauf der Ätzkammer führt zurück in den Vorratsbehälter, so dass ein längerer ununterbrochener Betrieb möglich

ist. Die Kontrolle des Flusses und der Temperatur der Ätzlösung erfolgt über je einen Flußmesser und Temperaturfühler vor dem Eingang zur Ätzkammer. Da die Fördermenge der Druckluftpumpe mit maximal 6 dm^3/min zu hoch ist, befindet sich hinter der Pumpe eine Bypass-Leitung die direkt zurück in den Vorratsbehälter führt. Abbildung B.7 zeigt die Temperaturverläufe während des Ätzens in der Kammer für verschiedene Aufbaugeometrien. Die Ätztemperatur für die

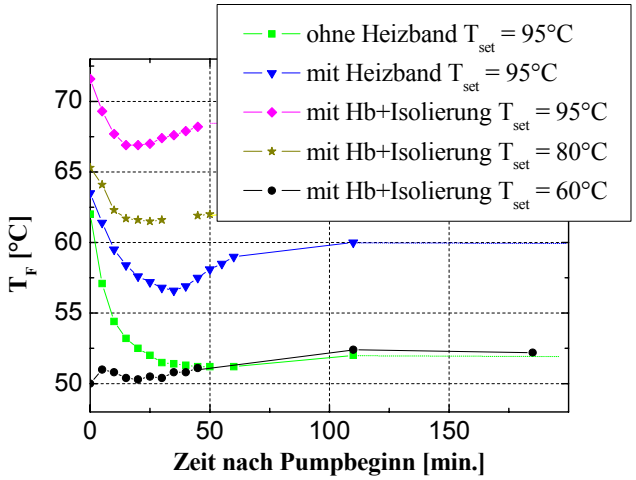


Abbildung B.7: Temperaturverlauf in der Ätzschleuder bei verschiedenen Aufbaugeometrien: T_{set} Solltemperatur am KOH-Vorratsbehälter; T_F Temperaturfühler direkt am Eingang zur Ätzkammer (Aufwärmzeit des Reservoirs: 120 min.).

chemische Dünnung wird auf 60 °C bis 62 °C festgelegt. In diesem Bereich ergibt sich ungefähr die halbe Ätzrate (ca. 10 bis 12 μm/h) im Vergleich zu einem Prozeß im Becherglas. Tabelle B.4 zeigt die Standardeinstellungen für das chemische Dünnen mit dem Spinätzer.
Die Drehzahl von 500 U/min erwies sich für die verwendete Probengröße von 4,5 x 4,5 cm^2 als ideal. Für kleinere Proben muss die Drehzahl entsprechend erhöht werden. Um eine homogene

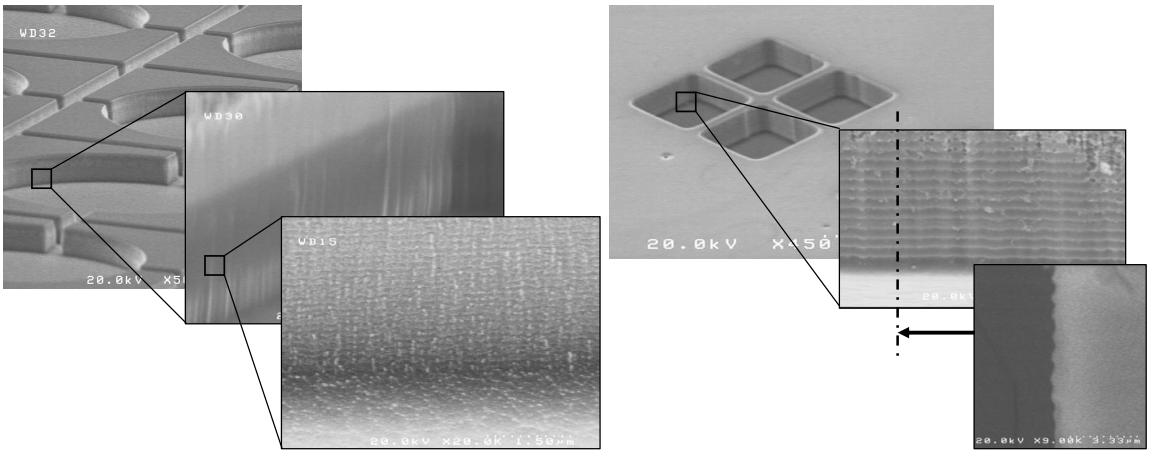
Parameter	T_{set}	T_F	KOH-Fluss	Drehzahl Probe	Pumpdruck
Wert	95 °C	62 °C	250 ml/min	500 U/min	1,6 bar

Tabelle B.4: Parameter für die chemische Dünnung mit dem Spinätzer. Ätzrate ca. 10 μm/h (Aufwärmzeit des Reservoirs: 60 min.).

Ätzrate zu erreichen empfiehlt es sich den Spinätzer für ca. 50 bis 60 Minuten ohne Probe zu betreiben um das gesamte System vorzuheizen.
Die Ätzdüsen in der Kammer werden so eingestellt, dass vornehmlich die Ätzlösung in den äußeren Bereich der Probe gelangt, weil hier die Verweilzeit geringer ist als im Zentrum. Aus diesem Grund erfolgt die Zuführung der Ätzlösung auf die Probe in einem Winkel von ca. 45 ° zur Oberfläche.

B.5 Kalibration der ASE-Prozesse

Für die trockenchemische Viaätzung wurden drei unterschiedliche Prozesse erprobt. Ein Prozess erfolgte in der Abteilung Festkörperphysik an der Universität Ulm auf einer Anlage der Firma Oxford Instruments (Prozeß ASE-1). Zwei andere Prozesse wurden auf einer Anlage der



a) b)

Abbildung B.8: Vergleich der verwendeten ASE-Prozesse: (a) Prozess ASE-1 an der Universität Ulm; (b) Prozess ASE-2 am IMS in Stuttgart.

Firma STS beim IMS (**I**nstitut für **M**ikorelektronik **S**tuttgart) durchgeführt (ASE-2, ASE-3). Abbildung B.8 zeigt einen Vergleich der Prozesse ASE-1 und ASE-2. Deutlich erkennt man die größere Seitenwandrauigkeit in Abbildung B.8-b, hervorgerufen durch die geringere Anzahl von Ätzzyklen (Passivieren und Ätzen). Um eine geringere Seitenwandwelligkeit zu erreichen wurde ein zweiter Prozeß am IMS verwendet, der durch eine Erhöhung der Zyklenzahl eine geringere Rauigkeit, aber dafür reduzierte Ätzrate ergibt (Prozeß ASE-3).
Tabelle B.5 gibt einen Überblick über die wichtigsten Eigenschaften der verwendeten Prozesse. Um eine höhere Anisotropie beim Ätzen zu erreichen, werden die Proben von hinten mittels Helium gekühlt. Die vorhandene Klebeschicht wirkt als Isolator und verringert somit zum Teil die Kühlwirkung auf das zu ätzende Waferelement. Dies zeigt sich in einer verringerten Ätzrate (R_K in Tabelle B.5) im Vergleich zu Ätzungen ohne Klebeschicht (Ätzrate an einer $6 \times 6\,\mu m^2$ großen Viastruktur). Ursache ist neben einer Verringerung der Ätzrate mit der Temperatur auch eine verstärkte Abscheidung der Passivierung [110, 198]. Unterschiede zeigen sich auch in der Selektivität zur verwendeten Ätzmaske S_{SiO_2} [1], die ebenfalls für die Prozesse ASE-2 oder ASE-3 spricht. Für die Durchführung der Integration wurde im weiteren der Prozeß ASE-3 mit der geringen Seitenwandrauigkeit angewendet.
Alle verwendeten ASE-Ätzprozesse stoppen auf dem Isolator der unterhalb der Metallpads auf

[1] Selektivität S: Verhältnis der Ätzrate des zu ätzenden Materials, hier Silizium, zur Ätzrate des Maskenmaterials (SiO_2).

Prozeß	R_0 [$\frac{\mu m}{min.}$]	R_K [$\frac{\mu m}{min.}$]	S_{SiO_2}	Ripple	ICP-Quelle
ASE-1	0,166	$0{,}6 \cdot R_0$	$\sim 100:1$	$\ll 50\,nm$	$2''$
ASE-2	3,3	-	$> 400:1$	$\sim 200\,nm$	$6''$
ASE-3	0,85	$0{,}9 \cdot R_0$	$> 400:1$	$\ll 50\,nm$	$6''$

Tabelle B.5: Vergleich der verwendeten ASE-Prozesse. R_0 bezeichnet die Ätzrate ohne Vorhandensein einer Klebung; R_K die Ätzrate mit der Standardklebung; S_{SiO_2} die Selektivität zur verwendeten Ätzmaske (SiO_2).

der Vorderseite liegt (200 nm SiO_2), so dass sich bezüglich der Ätztiefe eine Selbstjustage ergibt. Trotzdem sollte zu starkes Überätzen vermieden werden, da es durch Aufladungseffekte zur unerwünschten Aufweitung der Struktur nahe des Ätzstopps kommen kann [199, 200]. Deshalb ist eine genaue Kenntnis der zu ätzenden Tiefe sehr wichtig. Eine Aufweitung der Viageometrie zur Vorderseite hin führt zu Problemen bei der Viaisolation und bei der folgenden Abscheidung der Viametallisierung.

B.6 Abschätzung der Stromtransportmechanismen im Niedertemperaturoxid

B.6.1 Niedrige Feldstärken

Als Mechanismen für den Stromfluß durch Siliziumoxid können im unteren Feldstärkebereich ohmsche, bzw. ionische Leitung oder Störstellenleitung über Traps vorliegen. Für ionische und ohmsche Leitung gilt eine direkte Proportionalität der Stromdichte zur Feldstärke ($J \sim E$) [66]. Für Störstellenleitung über Traps (Poole-Frenkel) ergibt sich für die Abhängigkeit der Stromdichte J_{PF} vom anliegenden elektrischen Feld folgender Zusammenhang [201]:

$$J_{PF} \sim E \cdot exp[\frac{-q(\Phi_B - \sqrt{qE/\pi\varepsilon_{ox}})}{kT}]\,. \tag{B.1}$$

Hierbei handelt es sich um feldunterstützte thermische Anregung von getrappten Elektronen in das Leitungsband. Die Tiefe des Potentialtopfes der Traps gibt die Energie $q\Phi_B$ an. Der Ausdruck $\sqrt{qE/\pi\varepsilon_{ox}}$ beschreibt die Erniedrigung der Barriere durch das anliegende elektrische Feld. Durch beidseitiges Logarithmieren erhält man

$$ln(\frac{J_{PF}}{E}) \sim -\frac{q\Phi_B}{kT} + \frac{q\sqrt{q/\pi\varepsilon_{ox}}}{kT} \cdot \sqrt{E}\,. \tag{B.2}$$

Trägt man also $\frac{J}{E}$ logarithmisch über $\sqrt{E}$ auf so erhält man einen linearen Zusammenhang. Der Achsenabschnitt der logarithmischen Auftragung ist proportional zur Energie $q\Phi_B$ die die Ladung überwinden muß, um zum Stromfluß beizutragen [66]. Die Steigung ist proportional zu

$\frac{1}{\sqrt{\varepsilon_{ox}}}$. Abbildung B.9 zeigt Poole-Frenkel-Plots für zwei verschiedene Abscheidetemperaturen. Entstehen können solche getrappten Ladungen z.B. durch Sauerstoff-Fehlstellen in substöchiometrisch abgeschiedenem SiO_x, was zu schwachen Si-Si-Bindungen führen kann. Hieraus kön-

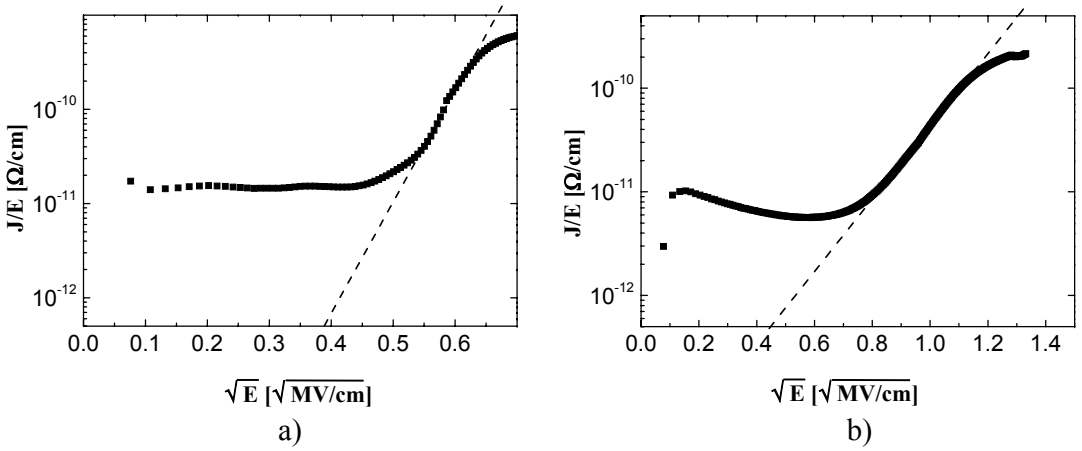


Abbildung B.9: Poole-Frenkel-Plot: Einfluß der Abscheidetemperatur (Standardgasfluß F_0): (a) Abscheidetemperatur 100 °C (Kontaktfläche A_K = 2,6·10^{-4} cm^2, Oxiddicke d_{Ox} = 86 nm); (b) Abscheidetemperatur 200 °C (Kontaktfläche A_K = 2,8·10^{-4} cm^2, Oxiddicke d_{Ox} = 112 nm).

nen wiederum so genannte E-Zentren[2] resultieren, die als tiefe Löcherfangstelle fungieren können. Je nach Depositionsprozeß sind sie teilweise positv oder neutral. Beschreibungen von weiteren Defekten im Oxid finden sich in der Literatur [202, 116]. Eine kurze Zusammenfassung gibt zum Beispiel J. Stein [121].

Ein weiterer Mechanismus, der den Stromtransport durch den Isolator bestimmen kann, ist der Schottky-Effekt. Dieser wird mathematisch dargestellt durch den folgenden Zusammenhang [66]

$$J_S = A^* T^2 \cdot exp[\frac{-q(\Phi_B - \sqrt{qE/4\pi\varepsilon_{ox}})}{kT}]\,. \tag{B.3}$$

Der Schottky-Effekt beschreibt die Erniedrigung der Barriere Φ_B zwischen Metall und Isolator durch die Wirkung einer Spiegelladung gegenüber dem Metallkontakt. A^* ist hier die effektive Richardsonkonstante ($A^* = A \cdot \frac{m_n^*}{m_0}$ und $A = 120\ \frac{A}{cm^2K^2}$) [203]. Dementsprechend ergibt sich für ein höheres elektrisches Feld eine stärkere Erniedrigung der Barriere und ein höherer Strom J_S. Durch beidseitiges Logarithmieren erhält man wiederum

$$ln(\frac{J_S}{A^*T^2}) \sim -\frac{q\Phi_B}{kT} + \frac{q\sqrt{q/4\pi\varepsilon_{ox}}}{kT} \cdot \sqrt{E}\,. \tag{B.4}$$

J_{PF} und J_S unterscheiden sich jeweils nur um einen Faktor 2 in der Steigung der logarithmischen Auftragung.

[2] E-Zentren sind gekennzeichnet durch Si-Atome, die nur an drei O-Atome gebunden sind und im sp^3-hybridisierten Orbital ein ungepaartes Elektron besitzen ($O_3 \equiv Si\ \bullet$)

Vergleicht man nun die zwei Diagramme in Abbildung B.9 so ergibt sich für eine niedrigere Abscheidetemperatur T_A = 100 °C durch Extrapolation eine geringere Barriere Φ_B als für T_A = 200 °C (Schnittpunkt mit der Achse bei E = 0). Somit können im Oxid, das bei 100 °C abgeschieden wurde, die Störstellen leichter aktiviert werden, und zum Stromfluß beitragen.
Aus den Steigungen der linearen Bereiche in Abbildung B.9 kann über die Potentialerniedrigung die Dielektrizizätskonstante des Isolators berechnet werden:

$$\varepsilon_{ox} = \frac{q^3}{\beta^2 k^2 T^2 \pi \varepsilon_0 \cdot 4}. \tag{B.5}$$

Hierbei ist β die Steigung des linearen Bereiches der Auftragung $\frac{J}{E}$ über $\sqrt{E}$. Der Faktor 4 gilt nur für den Ansatz aus der Schottkyemission. Für die Kurve aus Abbildung B.9-a ergibt sich bei Annahme eines Poole-Frenkel-Zusammenhanges eine Dielektrizitätskonstante von $\varepsilon_{ox,pf}$ = 1,437. Diese ist im Vergleich zum Literaturwert (3,9 .. 4,5) immer noch zu klein aber näher am Idealwert als der durch den Schottky-Zusammenhang ermittelte Wert.
Bei der höheren Abscheidetemperatur (Abb. B.9-b) ergibt sich im gleichen Feldstärkebereich aus dem Schottky-Ansatz ein Wert von $\varepsilon_{ox,s}$ = 3,949, so dass die Vermutung nahe liegt, dass bei höheren Abscheidetemperaturen die Schottkyemission (und damit der Einfluß der Kontakte) eventuell eine größere Rolle spielt. Durch die Verwendung eines Modells mit Trap- und Donatorzuständen im Isolator hat Simmons jedoch gezeigt, dass trotz eines Schottky-ähnlichen Kurvenverlaufes, der eigentliche Mechanismus auf dem Poole-Frenkel-Effekt beruhen kann [204].
Wie bereits erwähnt ist die Steigung des Poole-Frenkel-Plots proportional zu $\frac{1}{\sqrt{\varepsilon_{ox}}}$. Verlustbehaftete Isolatoren werden bezüglich der dielektrischen Eigenschaften normalerweise mit einer komplexen Dielektrizitätskonstanten beschrieben. Für diese gilt [205]

$$\underline{\varepsilon} = \varepsilon_0 \underline{\varepsilon}_r = \varepsilon_0 (\varepsilon_r' - j\varepsilon_r''). \tag{B.6}$$

Entsprechend gilt für den optischen Fall bei einer vorhandenen Dämpfung im Material für den komplexen Brechungsindex

$$\underline{n} = n - j\kappa, \tag{B.7}$$

mit dem Zusammenhang (α = Absorptionskoeffizient)

$$\alpha = \frac{4\pi}{\lambda}\kappa. \tag{B.8}$$

Ohne Verluste ergibt sich weiterhin

$$n = \sqrt{\varepsilon_r'}, \tag{B.9}$$

bzw. im komplexen Fall

$$\underline{n} = \sqrt{\underline{\varepsilon}_r}. \tag{B.10}$$

Für die Zusammenhänge von Real- und Imaginärteil ergibt sich entsprechend

$$\varepsilon_r' = n^2 - \kappa^2 \tag{B.11}$$

$$\varepsilon_r'' = 2n\kappa. \tag{B.12}$$

Vergleicht man die erhaltenen Ergebnisse mit den Resultaten aus Abbildung 4.14 so ergibt sich tendenziell mit niedrigerer Abscheidetemperatur ein kleinerer Brechungsindex. Dies wird durch die eben gezeigten Ergebnisse bestätigt. Nach Gleichung B.11 resultiert ein kleineres ε_{ox} aus einem verringerten Brechungsindex, bzw. erhöhten Absorptionskoeffizienten.

B.6.2 Hohe Feldstärken

Bei hohen Feldstärken dominiert im Allgemeinen die Tunnelemission (oder Fowler-Nordheim-Tunneln) den Stromtransportmechanismus. Hierbei gilt für die Stromdichte J_{FN} folgender Zusammenhang [206, 66]

$$J_{FN} \sim E^2 \cdot exp[-\frac{4\sqrt{2m^*}(q\phi_B)^{\frac{3}{2}}}{3q\bar{h}E}]\,. \tag{B.13}$$

Das Logarithmieren beider Seiten ergibt

$$ln(\frac{J_{FN}}{E^2}) \sim -\frac{4\sqrt{2m^*}(q\phi_B)^{\frac{3}{2}}}{3q\bar{h}} \cdot \frac{1}{E}\,. \tag{B.14}$$

Wobei E das anliegende elektrische Feld, ϕ_B die Barrierenhöhe, m^* die effektive Elektronenmasse im Isolator, q die Elementarladung und $\bar{h} = \frac{h}{2\pi}$ das Planck'sche Wirkungsquantum bedeutet. Die Gleichung beschreibt das Tunneln der Ladungsträger durch die Dreiecksbarriere des Isolators, die durch das anliegende Feld verkleinert wird [66, 124].
Vergleicht man nun die Fowler-Nordheim-Plots von Oxid bei T_A = 100 °C (Abb. B.10-a) und T_A = 300 °C (Abb. B.10-b, reduzierte Abscheiderate), so ergeben sich unterschiedliche Steigungen im Bereich hoher Feldstärke. Die reduzierte Steigung in Abbildung B.10-a könnte ein Hinweis auf eine reduzierte Barriere durch Defekte an der Si-SiO_x-Grenzfläche sein [124].
Direktes Tunneln, das im Feldstärkebereich zwischen J_{PF} und J_{FN} auftreten würde, kann aufgrund der hier verwendeten Oxiddicken im Bereich von 100 nm als Transportmechanismus ausgeschlossen werden.

B.7 Viametallisierung

B.7.1 Öffnen des Kontaktfensters zur Vorderseite

Bevor die Vias metallisiert werden können, muß das Kontaktfenster zur Vorderseitenmetallisierung (Landepad) geöffnet werden (vgl. auch Abb. 4.8-a). Dies geschieht nach Abscheidung der Viaisolierung (250 nm Siliziumoxid, verringerte Abscheiderate bei 200 °C) durch reaktives Ionenätzen mit dem verbleibenden Oxid auf der Oberfläche[3]. Somit ergibt sich eine Maskendicke

[3] Als Ätzmaske für den ASE-Prozeß zur Viaätzung werden 1 μm Siliziumoxid abgeschieden. Während des Viaätzens werden davon maximal 50 nm abgetragen.

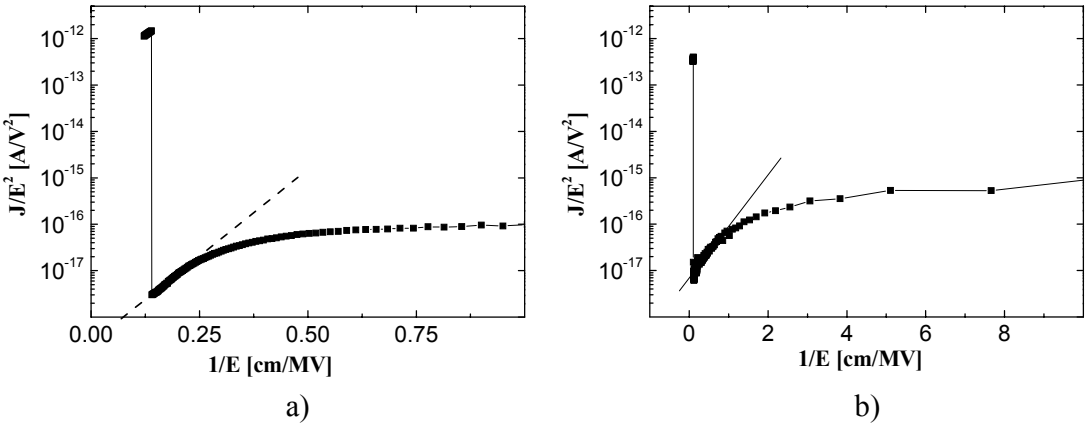


Abbildung B.10: Fowler-Nordheim-Plot für verschiedene Abscheideparameter: (a) Standardgasfluß F_0, Abscheidetemperatur 100 °C (Kontaktfläche $A_K = 2{,}6 \cdot 10^{-4}$ cm^2, Oxiddicke d_{Ox} = 86 nm); (b) Reduzierter Gasfluß ($\frac{1}{4}F_0$) Abscheidetemperatur 300 °C (Kontaktfläche $A_K = 2{,}8 \cdot 10^{-4}$ cm^2, Oxiddicke d_{Ox} = 153 nm).

von ca. 1200 nm um maximal 450 nm Oxid zu ätzen (200 nm von der Vorderseitenisolierung und maximal 250 nm durch die Abscheidung der Isolierung).
Abbildung B.11 zeigt anschaulich den Einfluß des Seitenwandwinkels auf das verbleiben der Seitenwandisolierung. Bei absolut anisotropem Ätzverhalten und senkrechten Wänden (Abb. B.11-a) wird an der Seitenwand kein Oxid abgetragen. Bei Vorliegen eines Öffnungswinkels

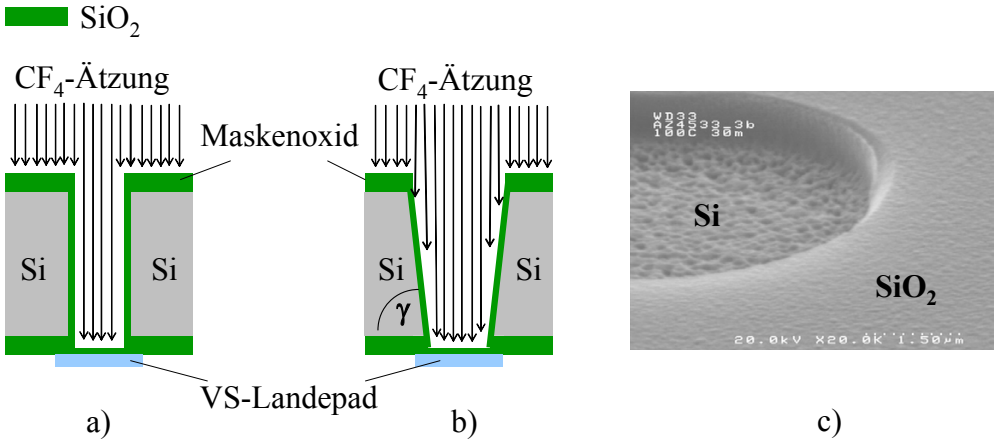


Abbildung B.11: Einfluss des Viaseitenwinkels auf die Viaisolierung: (a) Öffnung des Kontaktfensters bei senkrechten Seitenwänden; (b) Öffnung des Kontaktfensters bei Seitenwandwinkel γ; (c) Senkrechte Oxidkante durch verbesserten Lackprozeß.

γ hängt der Abtrag des Oxides an der Seitenwand von der Geometrie, bzw. den vorhandenen Oxiddicken ab. Geht man nur von einem Wachsen der Oxidmaske Richtung Viazentrum aus (vgl. Abb. 4.19-a1), so kann man für den Grenzwinkel $\gamma_{g,m}$ über dem theoretisch kein Oxidab-

trag an der Seitenwand stattfinden sollte angeben:

$$\gamma_{g,m} \gtrsim \arctan(\frac{t_{Via}}{d_{Ox,Isol}}) . \tag{B.15}$$

Wobei t_{Via} die Tiefe des Vias und $d_{Ox,Isol}$ die Dicke der abgeschiedenen Viaisolierung bedeuten. Für ein Via mit der Tiefe 7 μm und $d_{Ox,Isol}$ = 250 nm ergibt sich ein Grenzwinkel von $\gamma_{g,m} \gtrsim$ 87,96 °. Vernachlässigt man jedoch diesen Effekt, so ergibt sich aus einfachen geometrischen Überlegungen der folgende Zusammenhang ($d_{Ox,S}$: Dicke der Isolierung an der Seitenwand, d_K: Dicke der Isolierung unterhalb der Vorderseitenmetallisierung):

$$\gamma_{g,d} \gtrsim arc\cos(\frac{d_{Ox,S}}{d_{Ox,S} + d_K}) . \tag{B.16}$$

Mit $d_{Ox,S}$ = 40 nm und d_K = 200 nm ergibt sich ein Grenzwinkel von $\gamma_{g,d} \gtrsim$ 80,5 °, bei dem dann allerdings nach dem Ätzen die gesamte Isolierung an der Seitenwand entfernt ist.
Aus diesen Berechnungen ergibt sich die Forderung nach einer möglichst senkrechten Seitenwand. Da der Ätzprozeß an sich eine hohe Anisotropie aufweist, muß gewährleistet werden, dass die Ätzmaske (SiO_2) eine senkrechte Kante aufweist, da sich diese im Silizium fortsetzen wird. Dies wird erreicht durch einen um einen Postbackschritt modifizierten Lackprozeß (AZ4533, Tabelle C.11). Der Backschritt nach dem Entwickeln für 30 Minuten bei 100 °C ergibt eine ausreichend stabile Flanke des Lackes für die Oxidstrukturierung (Abb. B.11-c). Die Strukturierung des Oxids erfolgt trockenchemisch mittels reaktivem Ionenätzen in CF_4-Plasma (Tabelle C.4).

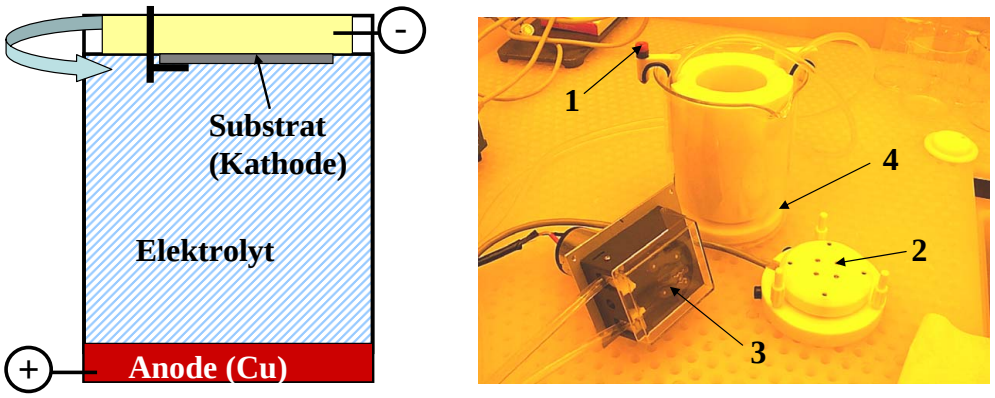
B.7.2 Galvanische Viametallisierung

Nach der Öffnung des Kontaktfensters zur Vorderseitenmetallisierung folgt die elektrische Durchkontaktierung der Vias mittels Kupfergalvanik. Aufgrund der simplen Handhabung und geringem apparativem Aufwand wurde in dieser Arbeit eine Kupfer-Elektrogalvanik der Firma Enthone für die Viametallisierung verwendet (Tabelle C.12). Diese funktioniert nach dem in Kapitel 3.3.3 genannten Prinzip der Passivierung auf der Oberfläche und der beschleunigten Abscheidung im Via [207]. Damit konnten bei der vorhandenen Strukturgröße sehr gute Ergebnisse, mit allerdings leicht erhöhtem spezifischen Widerstand, erzielt werden. Verwendet wurde dazu ein Aufbau wie in Abblidung B.12 dargestellt. Die Rotation des Substrates und die Anströ-

Metall	Elektrolyt	typ. Stromdichte	Spannung	Dauer	Dicke
Cu	Cubath SC	56 $\frac{mA}{cm^2}$	0,35 V	15 min.	3 μm
Sn	SAT20	39 $\frac{mA}{cm^2}$	0,25 V	10 min.	2,5 μm

Tabelle B.6: Parameter für die galvanische Metallisierung der Vias (Cubath SC: spezieller Elektrolyt für die Trenchfüllung der Firma Enthone; SAT20: Mattzinn der Firma Schlötter).

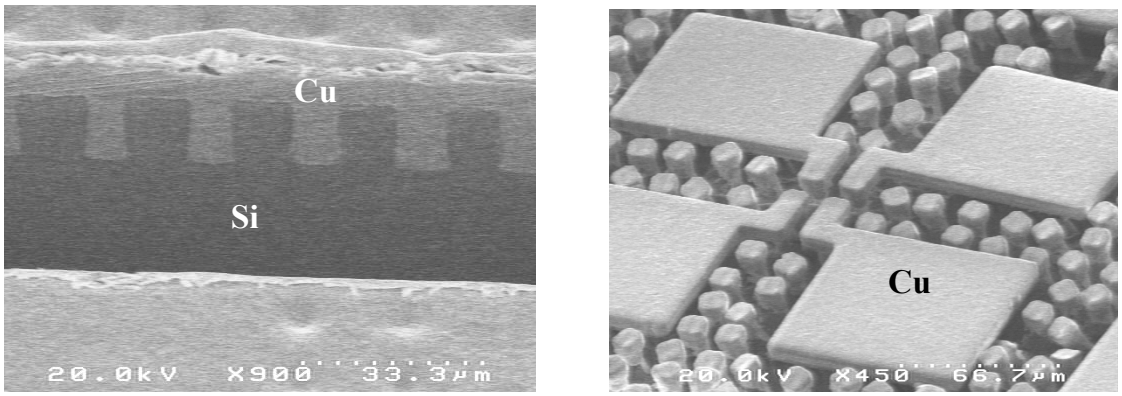
mung der Probe mit dem Elektrolyt dient hierbei der besseren Füllung von feinen Strukturen.



a) b)

Abbildung B.12: Aufbau einer einfachen Galvanikzelle: (a) Prinzipskizze; (b) Fotographie des hier verwendeten Aufbaus: 1 elektrischer Anodenanschluß, 2 rotierender Probenhalter (mit elektrischem Anschluß), 3 Pumpe zur Anströmung des Substrates, 4 Kupferanode.

Vor der Galvanik werden Titan-Wolfram (Ti:W) als Diffusionsbarriere und Haftvermittler, sowie Kupfer (Cu) als Startmetall abgeschieden. Die Depositionsparameter findet man in Tabelle C.13. Es ergibt sich eine Dicke des Ti:W und des Cu von jeweils ca. 20 nm. Durch das Sputtern der Metalle erzielt man eine isotrope Abscheidung, die für das homogene Verfüllen der Vias wichtig ist.
Um eine strukturierte Metallisierung zu bekommen, wird nach dem Abscheiden der Startmetallisierung ein Lackprozeß durchgeführt, der auf der Rückseite die Kontakt- und Meßpads definiert (Geometrie siehe auch Abbildung B.13-b). Auf den 6 µm großen Vias wird ein 9 µm



a) b)

Abbildung B.13: REM-Aufnahmen galvanisierter Vias: (a) Sägeschnitt durch eine Reihe Vias (ungedünnte Probe); (b) Kontrolle der Viafüllung durch Entfernen des Siliziums (Prozeß Tabelle C.5 im Anhang).

großes Pad, bzw. Zuleitungen erzeugt. Die Lackdicke hierbei beträgt ca. 7 µm (Tabelle C.9). Dieses Vorgehen hat den Vorteil, dass in einem Schritt die Vias gefüllt und die Pads für die

mechanische und elektrische Lötung erzeugt werden können.
Im Gegensatz dazu werden bei den oft verwendeten Damascene-Prozessen zuerst die Vias gefüllt, die Oberfläche eingeebnet und danach die Pads erzeugt. Bei der hier verwendeten Methode ist darauf zu achten, dass sich kein Lack in den Vias befindet. Dies würde zu unvollständiger Füllung führen, und damit keinen elektrischen Kontakt herstellen. Um eventuell vorhandene Lackreste auf der Startmetallisierung zu entfernen und die Benetzung in der Galvanik zu unterstützen, wird nach Abschluß des Lackprozesses eine Behandlung in isotropem Sauerstoff-Plasma durchgeführt (Tabelle C.6).
Abbildung B.13 zeigt REM-Aufnahmen von gefüllten Vias. Um die ausreichende Füllung zu kontrollieren wurden zwei Methoden verwendet. Zum einen die Anfertigung von Querschnitten

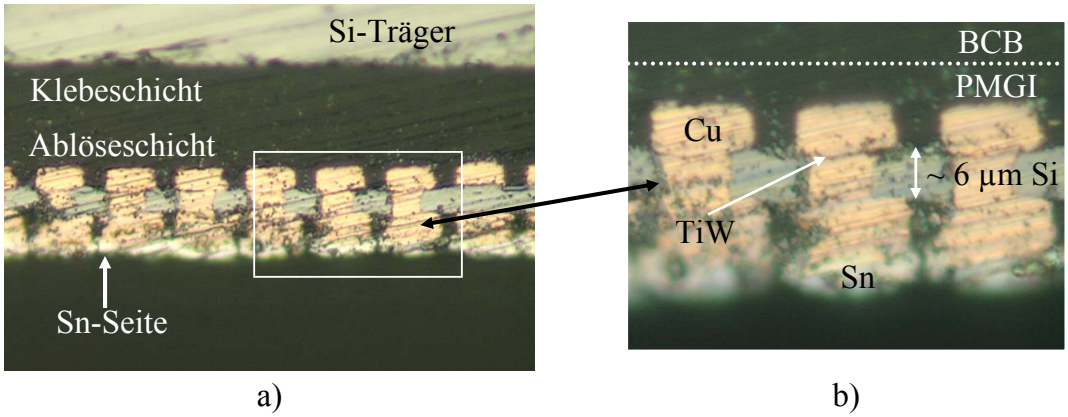
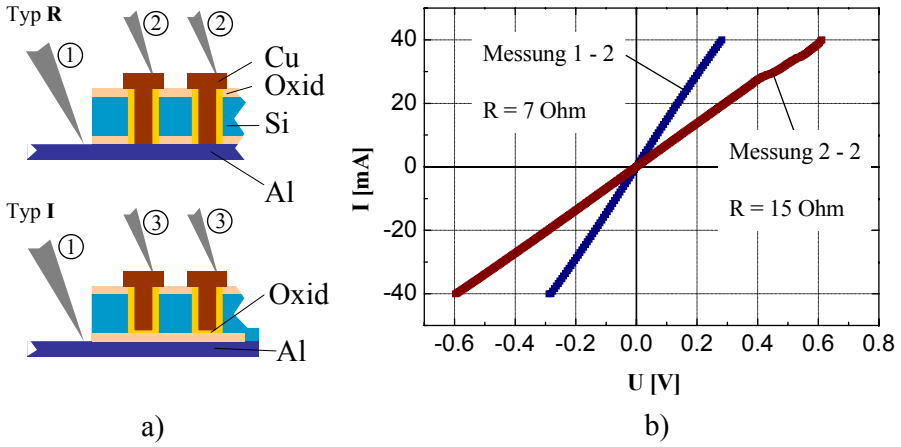


Abbildung B.14: Mikroskop-Aufnahmen galvanisierter Vias: (a) Schnitt durch das Chip-Träger-System; (b) Detailaufnahme der Viametallisierung (durch das Sägen verschmiert vor allem das weiche Zinn).

durch Sägen (Abb. B.13-a), zum anderen die Entfernung des Siliziums durch CF_4-O_2-Plasma (Abb. B.13-b). Man erkennt eine gute Verfüllung der Vias und die glatte Oberfläche der Pads.
Um die Probe auf ein Basissubstrat oder einen bereits platzierten Chip aufzulöten, muß als Lötmetallisierung Zinn aufgebracht werden. Dies geschieht direkt im Anschluß an die Kupfergalvanik mit der selben Lackmaske. Verwendet wird hierzu ein Mattzinn-Elektrolyt der Firma Schlötter (SAT20). Tabelle B.6 gibt einen Überblick über die verwendeten Parameter bei der Galvanik.
Abbildung B.14 zeigt einen Schliff durch den Chip-Träger-Aufbau nach erfolgter Kupfer- und Zinn-Galvanik. Man erkennt deutlich den Siliziumträger, Klebeschicht mit Ablöseschicht und die gedünnte Probe mit der Durchkontaktierung und Lötmetallisierung (Cu und Sn). Nicht zu erkennen bei dieser Art der Präparation sind die Diffusionsbarriere und der Isolator (Siliziumoxid). Elektrische Kontaktierung und Isolierung der Vias gegeneinander werden nur durch Widerstandsmessungen bestätigt.

B.7.3 Ergebnisse an metallisierten Teststrukturen

Um die elektrischen Eigenschaften der metallisierten Vias zu ermitteln wurden Messungen an vereinfachten Teststrukturen durchgeführt. Hierzu wurde als Vorderseitenmetallisierung eine geschlossene Schicht Aluminium (Dicke = 400 nm) verwendet. Die Dünnung erfolgte rein me-



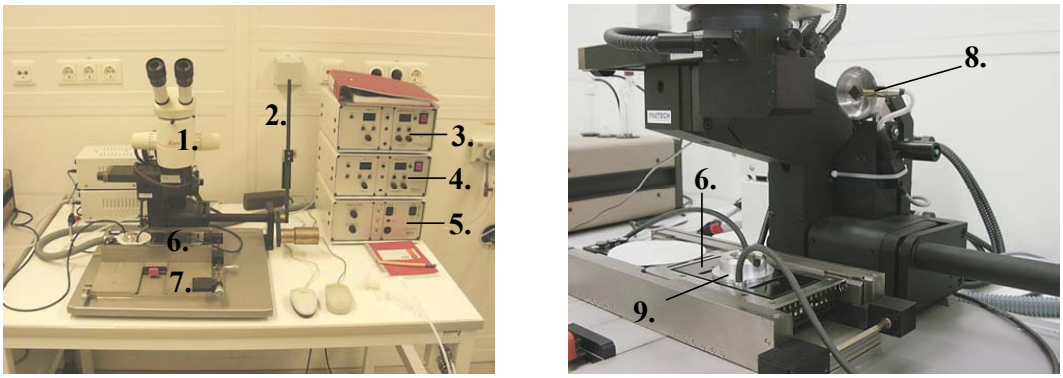
a) b)

Abbildung B.15: Widerstandsmessungen an einer Teststruktur: (a) Schemata für die Messungen des Widerstands der Durchkontaktierungen (Typ **R**) und der Isolierung (Typ **I**); (b) Messung an einem einzelnen Via (Messung 1–2: auf eine Al-Gegenelektrode auf der Rückseite des Siliziums, $d_{Si} \approx 18\,\mu$m) und Messung an einer Viabrücke (Messung 2–2: über die Al-Gegenelektrode auf der Rückseite).

chanisch durch Läppen bis zu einer Restdicke von ca. 18 µm. Diese Strukturen ermöglichen es, bereits Aussagen über die Widerstands- und Isolationsbereiche zu treffen, die mit der hier beschriebenen Technologie erreicht werden können.
In Abbildung B.15-a sind die Schemata der Messungen gezeigt. Bei Probentyp **R** wurde die Öffnung des Kontaktfensters zur Vorderseite nach Abscheidung der Seitenwandpassivierung durchgeführt. Hier sind also Messungen des Durchgangswiderstandes möglich. Das Diagramm in Abbildung B.15-b zeigt die Messung einer einzelnen Durchkontaktierung auf die Aluminium-Gegenelektrode (Messung 1–2), sowie die Messung einer Brücke, die über das Aluminium geschlossen wird (Messung 2–2).
Es ergeben sich Widerstände von 7 Ω und 15 Ω für Messung 1–2 bzw. Messung 2–2. Diese relativ hohen Widerstände resultieren aus einem erhöhten spezifischen Widerstand des galvanischen Kupfers im Vergleich zu reinem Kupfer (ρ_{Cu} = 1,7 µΩcm), dem Widerstand des Messaufbaus ($R_{mess} \approx 1{,}5\,\Omega$) sowie zum Großteil aus dem Übergangswiderstand $R_{Cu/Al}$ von Kupfer zu Aluminium. $R_{Cu/Al}$ resultiert vermutlich aus einer dünnen Oxidschicht, die sich am Aluminium bildet, bevor das Kupfer abgeschieden wird (vgl. z.B. [208, 209, 210]).

B.8 Durchführung der Lötprozesse

Zur Lötung wird eine Schichtfolge aus Kupfer (ca. 3 μm), Zinn (ca. 2 μm) und wiederum Kupfer (ca. 3 μm) verwendet. Die Metalle werden jeweils galvanisch abgeschieden (vgl. Kapitel B.7.2). Abbildung 4.23-a (Kapitel 4.3) zeigt den prinzipiellen Schichtaufbau für die Lötung.



a) b)

Abbildung B.16: Flip-Chip-Bonder zur Durchführung der Lötungen: (a) Übersicht über das gesamte Gerät; (b) Detailansicht Platzierarm, Heizplatte. Die Nummern im einzelnen sind: **1** Mikroskop, **2** Hebelarm mit Gewicht zur Einstellung des Anpressdruckes, **3**,**4**,**5** Steuergeräte für Oberheizung, Heizplatte und Bleuchtungen, **6** Heizplatte (mit Basissubstrat), **7** Luftkissentisch zur Justage (X-Y), **8** Platzierarm mit Oberheizung und Spülglocke, **9** Spülglocke mit Absaugung.

Der Lötprozeß selbst wird an einem kommerziell erhältlichen Flip-Chip-Bonder der Firma FineTech durchgeführt. Um während der Lötung eine kontrollierte, reduzierende Atmosphäre zu gewährleisten, wurde am Platzierarm eine Glocke angebracht (siehe auch Abbildung B.16). Dies ermöglicht das Spülen der Probe während des Lötens mit Stickstoff der mit Ameisensäure (HCOOH) gesättigt ist (Bubbler-Konfiguration). Der andere Teil der Glocke dient hierbei dem Absaugen der N_2/HCOOH-Mischung.
Die Justage von Basissubstrat und Chip erfolgt mittels Mikroskop über eine Splitoptik, die am Flip-Chip-Bonder vorhanden ist. Als Standby-Temperatur wird an der Heizplatte (Basissubstrat) und am Platzierarm (Chip) jeweils 150 °C gewählt, um die Temperaturdrift der Mechanik beim Justieren soweit wie möglich zu eliminieren. Obwohl die Lötung schon ab Temperaturen von 250 °C (z.B. im Vakuum) durchgeführt werden kann, wurden hier mit einer Löttemperatur von 300 °C gute Ergebnisse erzielt [138]. Die Anpresskraft während des Lötens wird am Hebelarm auf 10 N eingestellt.
Nach Ende der Lötzeit (10 Minuten), wird der Stapel mittels Stickstoff-Kühlung an der unteren Heizplatte auf Raumtemperatur abgekühlt. Das Ablösen des Trägers erfolgt durch Auflösen der PMGI-Ablöseschicht in heißem 1-Methyl-2-Pyrrolidon (T $\approx$ 150 °C), und dauert bei einer Chipfläche von 5 x 5 mm^2 ungefähr 30 Minuten.

B.9 Diamanttechnologie zur Herstellung der 3D-integrierten UV-Sensoren

Als Demonstrator für die dreidimensionale Integration von Diamant wird ein diamantbasierender UV-Sensor hergestellt. Dieser soll mit Hilfe von nanokristallinem Diamant auf Silizium realisiert werden, was die Möglichkeit gibt, grossflächige Substrate zu verwenden.
Das Layout der UV-Sensor-Teststrukturen wurde so ausgeführt, dass jeder einzelne Chip, der auf ein Basissubstrat gelötet werden kann, eine Pixelmatrix von mehreren Sensoren aufweist (Abbildung B.17). Ein Chip hat hierbei eine Größe von $5 \times 5\,\mathrm{mm}^2$ und besitzt 4×5 Pixel. Die

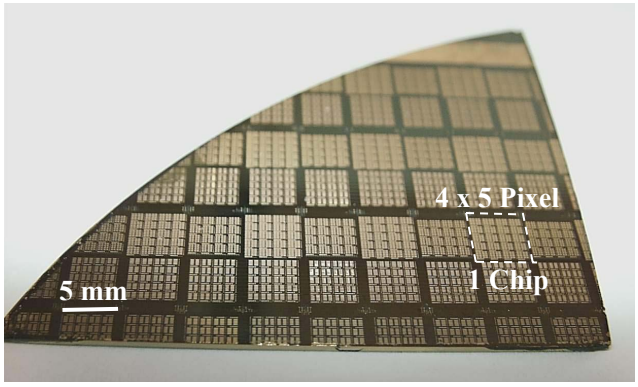


Abbildung B.17: Oberseite des UV-Testchips nach Vorprozessierung. Die einzelnen Sensoren sind als 4×5-Pixel-Array angeordnet.

Größe der Pixel variiert zwischen $800 \times 850\,\mu\mathrm{m}^2$ und $900 \times 1000\,\mu\mathrm{m}^2$.
Aufgrund des begrenzten Umfanges des zu verwendenden Basissubstrates (auf dieses erfolgt die Lötung der gedünnten Diamantdetektorchips) kann jeweils nur eine bestimmte Anzahl von Sensoren nach der Integration zur Messung kontaktiert werden.
Abbildung B.18-a zeigt einen schematischen Querschnitt der UV-Sensor-Substrate. Die Herstellung beginnt analog zu dem in Kapitel 4.1 gezeigten Prozess mit der Ätzung von Marken im Siliziumsubstrat. Darauf folgend wiederum eine p^+- sowie eine p^--Siliziumepitaxie als Ätzstoppschicht und Nutzschicht.
Für die UV-Sensorstrukturen ist intrinsischer Diamant notwendig. Deshalb wird für diese Proben eine 2,5 µm dicke intrinsische Diamantschicht auf die vorprozessierten Siliziumsubstrate gewachsen.
Das Diamantwachstum erfolgte mittels HFCVD, wobei bei den verwendeten Anlagen das Wachstum auf maximal 4”-Siliziumwafern möglich ist. Die Probengröße ist dementsprechend nicht durch die Epitaxie begrenzt und wird auch für die Diamant-UV-Sensoren zu ca. $4{,}5 \times 4{,}5\,\mathrm{cm}^2$ gewählt. Die Parameter für das Diamantwachstum finden sich in den Tabellen C.7 und C.8.
Für die Prozessierung der Diamant-UV-Sensoren, erfolgt zunächst die Strukturierung der sensitiven Gebiete in der Diamantschicht. Diamant ist äußerst inert, und kann naßchemisch nicht geätzt werden. Deshalb wird zur Diamantstrukturierung ein Argon-Sauerstoff-Plasma verwendet. Mit den Parametern aus Tabelle C.3 ergibt sich eine Ätzrate von einem Mikrometer pro Stunde.

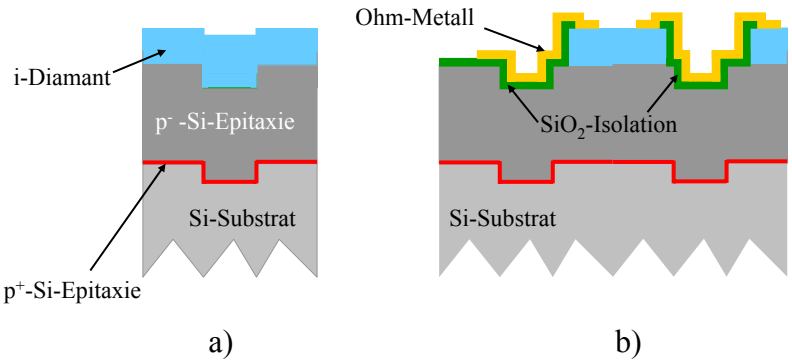


Abbildung B.18: Schematischer Querschnitt der UV-Sensor-Substrate vor der Integration: (a) Vorprozessierung mit Silizium- und Diamantepitaxie; (b) nach Diamantstrukturierung und Ohmmetallisierung zur Sensorherstellung.

Die Titanmaske zur Diamantstrukturierung wird mittels eines Zweilagen-Lackprozesses durch Lift-Off erzeugt (Tabelle C.10). Die Justage erfolgt hierbei auf die im Substrat vorhandenen Marken für die Rückseitenreferenz. Titan bildet im Argon-Sauerstoff-Plasma ein Oxid an der Oberfläche, das sehr gute Beständigkeit während des Ätzprozesses aufweist. Ein halbstündlich eingefügter CF_4-Schritt beseitigt eventuelle Redepositionen der Titanmaske, und eine damit einhergehende Reduzierung der Ätzrate.
Im nächsten Schritt erfolgt die Abscheidung von 200 nm Siliziumoxid mittels PECVD-Verfahren. Dies dient zur Isolation der Metallisierungen gegenüber dem Siliziumsubstrat. Oberhalb der Diamantgebiete wird die Isolation durch CF_4-Plasmaätzung wieder geöffnet (Tabellen C.11 und C.4).
Die Metallisierung selbst wird wiederum durch einen Lift-Off-Prozess aufgebracht. Verwendet

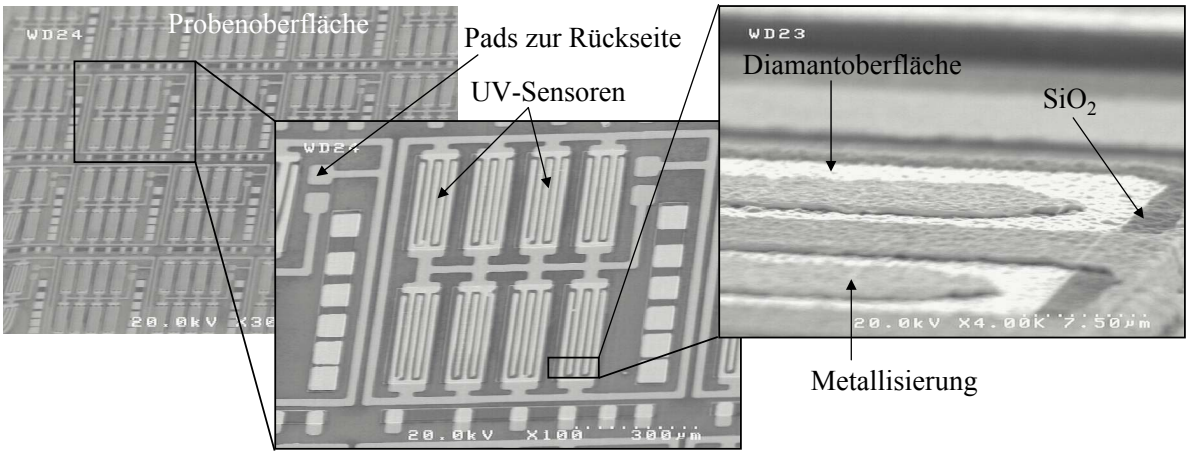


Abbildung B.19: Vorderseite des UV-Sensor-Chips nach Vorprozessierung. Die Vergrößerung rechts zeigt ein Detail der Detektorfinger mit Diamantoberfläche, SiO_2-Isolation und Metallisierung.

wird hier eine Schichtfolge aus p^+-Silizium, Wolframsilizid, Titan und Gold die durch Sputtern abgeschieden wird (Tabelle C.14, [211]). Das p^+-Silizium dient vor allem zur Herstellung der

Ohmkontakte bei intrinsischen Diamantschichten. Die Dicken der einzelnen Lagen entnimmt man ebenfalls Tabelle C.14. Die fertig prozessierte Oberfläche der Sensorarrays zeigt Abbildung B.19. Man erkennt deutlich die Sensorstrukturen mit den Detektorfingern.
Um die Vorderseite der Probe (zur Begriffsbestimmung siehe auch Abbildung A.1) während der weiteren Prozessierung zu schützen, werden weitere 200 nm Siliziumoxid als Passivierung abgeschieden. Dieses kann am Ende des Prozesszyklus, nach Ablösen des Trägers, selektiv zu Diamant und Metallisierung entfernt werden.

Anhang C

Prozeßparameter

SiH_4-Fluss	N_2O-Fluss	Druck	Leistung	Temperatur	Rate
200 sccm	710 sccm	1 Torr	20 W	300 °C	60 nm/min.

Tabelle C.1: Parameter für SiO_2-Abscheidung bei 300 °C (Oxford PECVD).

Parameter	CF_4-Fluss	Druck	Leistung	DC-Bias	Zeit
Wert	45 sccm	40 mTorr	400 W	250 V	3 min.

Tabelle C.2: Parameter für die trockenchemische Ti:W-Ätzung (PlasmaTherm RIE-Anlage).

Parameter	CF_4-Fluss	Ar-Fluss	O_2-Fluss	Druck	Leistung	DC-Bias	Zeit
Diamant	-	25 sccm	50 sccm	40 mTorr	1800 W	650 V	30 min.
Ti-Redep.	45 sccm	-	-	40 mTorr	400 W	250 V	15 s

Tabelle C.3: Parameter für die trockenchemische Diamant-Ätzung (PlasmaTherm PK 1450 RIE). Die aufgeführten Schritte werden je nach Dicke der zu ätzenden Schicht mehrmals wiederholt. Es ergibt sich eine Ätzrate von ca. 1 μm/h.

Parameter	CF_4-Fluss	Druck	Leistung	DC-Bias	Zeit
Wert	45 sccm	40 mTorr	400 W	250 V	30 min.

Tabelle C.4: Parameter für die trockenchemische Siliziumoxid-Ätzung (PlasmaTherm PK 1450 RIE).

Parameter	CF_4-Fluss	O_2-Fluss	Druck	Leistung	DC-Bias
Wert	45 sccm	20 sccm	120 mTorr	2000 W	680 V

Tabelle C.5: Parameter für die trockenchemische Si-Ätzung (PlasmaTherm RIE-Anlage). Ätzrate ca. 120 μm/h.

Gas	Druck	Leistung	DC-Bias	Dauer
O_2	100 mTorr	100 W	0 V	2 min.

Tabelle C.6: Parameter Sauerstoff-Plasma zur Entfernung von Lackresten (μEtch Plasma-Anlage).

H_2	CH_4	N_2	Leistung	$T_{substrat}$	d	Dauer
500 sccm	2 %	40 ppm	2,4 kW	830 °C	21 mm	15 min.

Tabelle C.7: Parameter zur Bekeimung der Diamantschichten mittels MWPACVD.

H_2	CH_4	N_2	Leistung	$T_{substrat}$	Dauer
400 sccm	0,8 sccm	-	5,5 kW	750 °C	3,5 h

Tabelle C.8: Parameter für das Wachstum der intrinsischen Diamantschichten mit HFCVD (die hier angegebene Zeit entspricht einer Schichtdicke von ca. 500 nm).

Spin 1	Spin 2	Backen	Belichten	Entwickeln
700 rpm, 10 s	3800 rpm, 45 s	110 °C, 150 s	21 mW/cm^2, 60 s	AZ400K 1:4, 3 min.

Tabelle C.9: Lackparameter AZ9260 (Dicke ca. 7 μm. Der Lack wird hierbei während der Rotation bei 700 rpm aufgebracht (dynamic dispense).

Parameter	Spin 1	Spin 2	Backen	Belichten	Entwickeln
LOR 7 B	700 rpm, 5 s	6000 rpm, 45 s	230 °C, 20 min.	-	-
AZ 5214 E	700 rpm, 5 s	8000 rpm, 35 s	100 °C, 90 s	21 mW/cm^2, 7 s	AZ 726 MIF, 35 s

Tabelle C.10: Lackparameter für Titan-Lift-Off. Der Lack LOR 7 B wird gleichzeitig mit dem AZ 5214 E entwickelt (keine Belichtung erforderlich).

	Spin 1	Spin 2	Backen	Belichten	Entwickeln
AZ 4533	700 rpm, 5 s	4000,rpm, 35 s	100 °C, 120 s	21 mW/cm^2, 20 s	AZ 726 MIF, 35 s

Tabelle C.11: Lackparameter Siliziumoxid-Maske (AZ 4533, Dicke ca. 3,3 μm). Nach dem Entwickeln wird zum zusätzlichen Aushärten des Lackes ein Backschritt bei 100 °C für 30 min. durchgeführt.

Cubath SC Make-up	Zusatz SC MD	Zusatz SC LO 70/30	HCl 37%
2 L	20 mL	3,6 mL	0,34 mL

Tabelle C.12: Zusammensetzung Kupfergalvanik Cubath SC.

Material	Gas	Druck	Leistung	DC-Bias	Dauer
Ti:W	Ar	50 mTorr	400 W	-	10 min.
Cu	Ar	50 mTorr	150 W	-	10 min.

Tabelle C.13: Parameter für die Abscheidung der Startschicht für die Galvanik (Perkin Elmer Sputtering System).

Material	Gas [sccm]	p [Torr]	U_{acc} [V]	U_b [V]	I_b [mA]	Dauer	nm/min.
p+ Si	Ar/1,92	$6 \cdot 10^{-5}$	100	900	20	5 min.	
WSi	Ar/1,92	$6 \cdot 10^{-5}$	100	900	20	5 min.	0,9
WSiN	Ar/1,92, N_2/4,0	$1,8 \cdot 10^{-4}$	100	900	20	10 min.	0,6
Ti	Ar/1,92	$6 \cdot 10^{-5}$	100	900	20	5 min.	1,5
Au	Ar/1,92	$6 \cdot 10^{-5}$	100	900	20	60 min.	3,7

Tabelle C.14: Parameter zur Abscheidung der Ohmmetallisierung (Ionenstrahl-Sputtern) nach [211].

Anhang D

Maskenlayouts

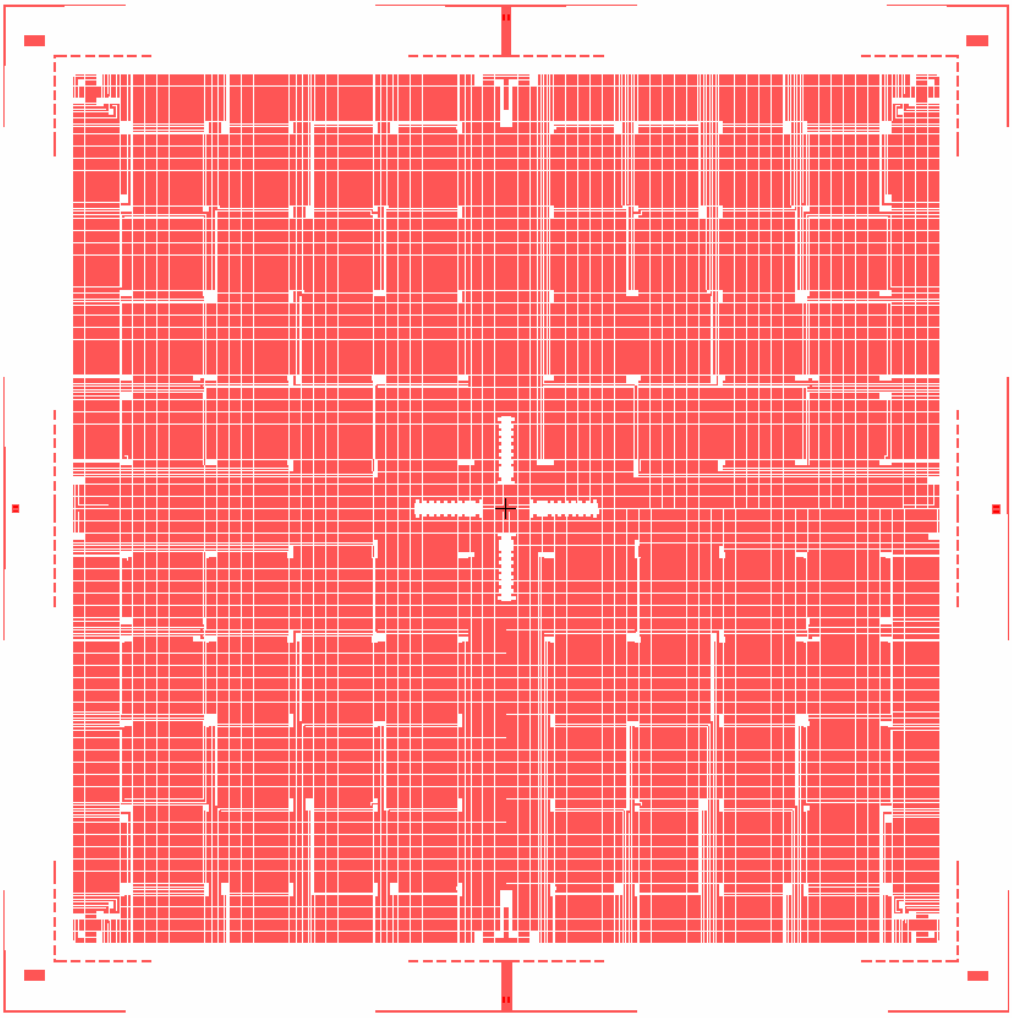


Abbildung D.1: Maskenlayout Oberteil Löttestchip.

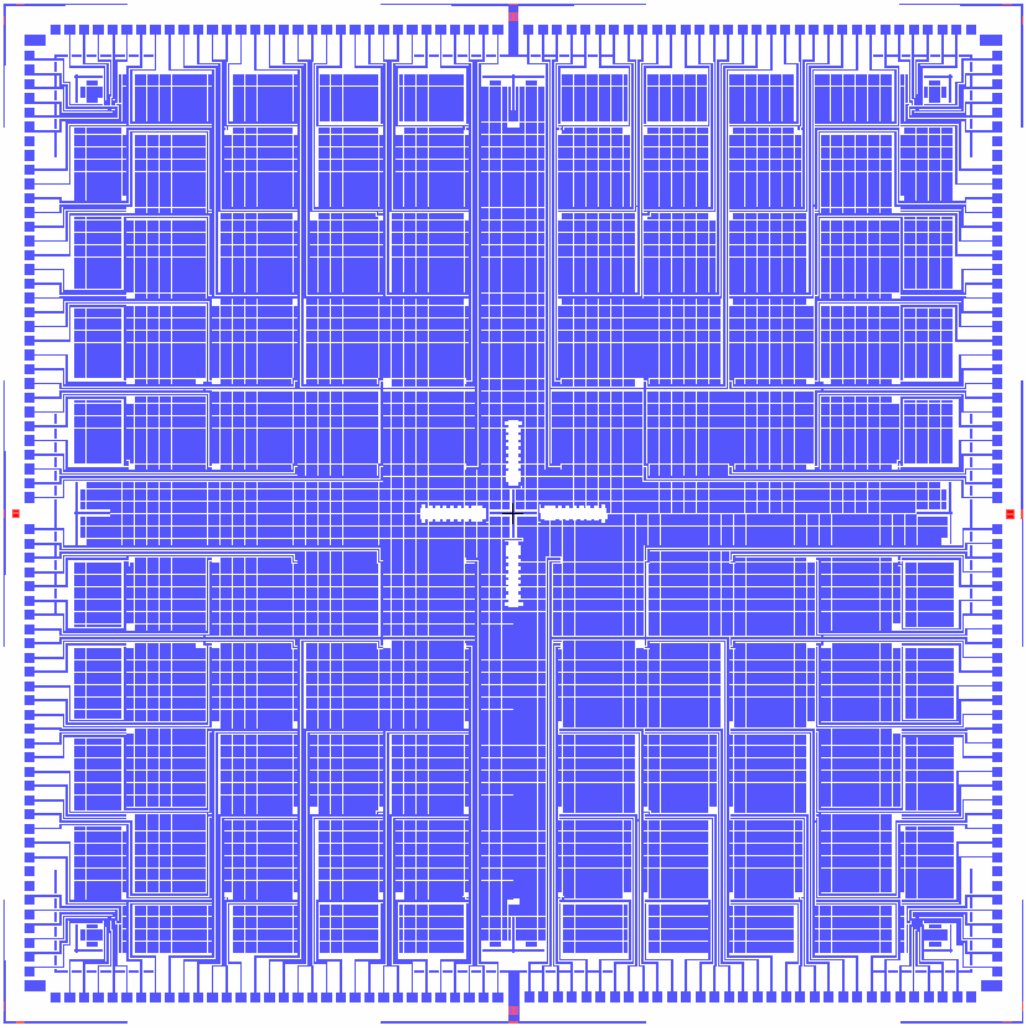


Abbildung D.2: Maskenlayout Basissubstrat Löttestchip.

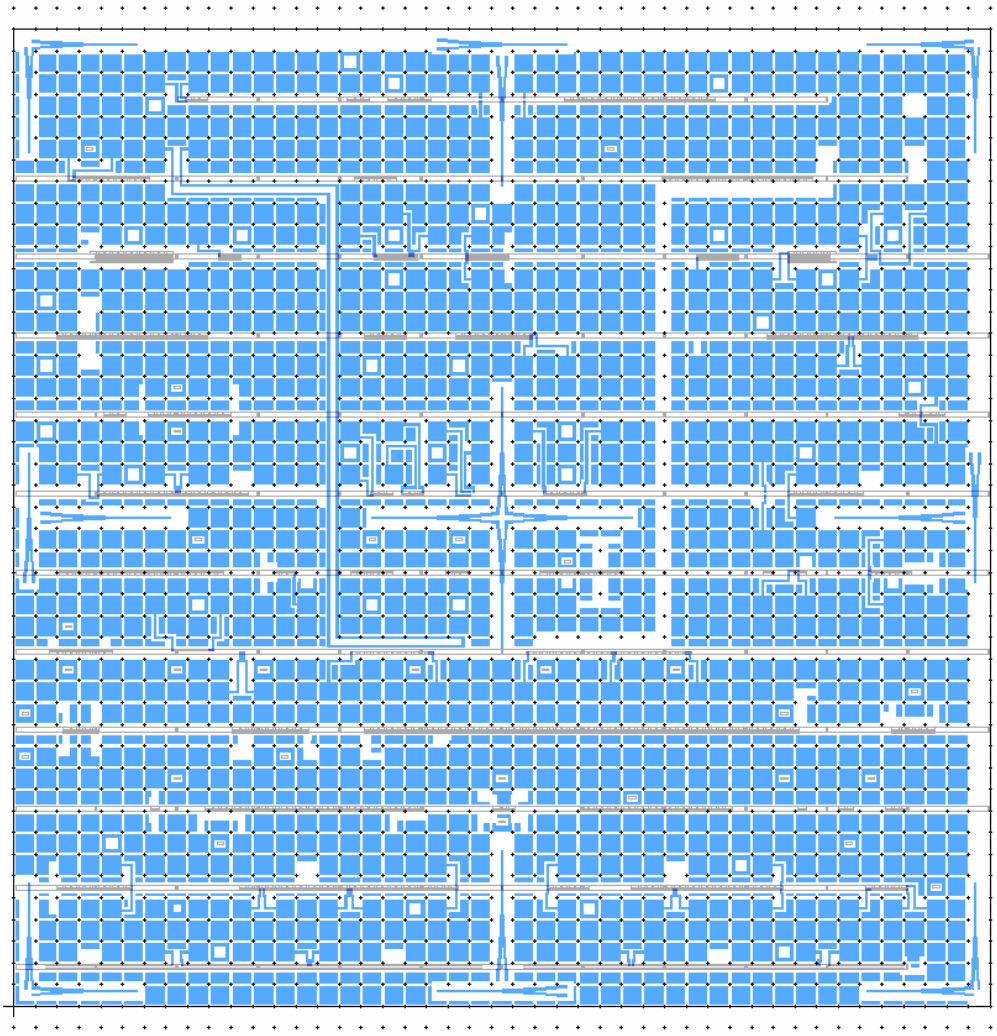


Abbildung D.3: Maskenlayout Oberseite 3D-Testchip.

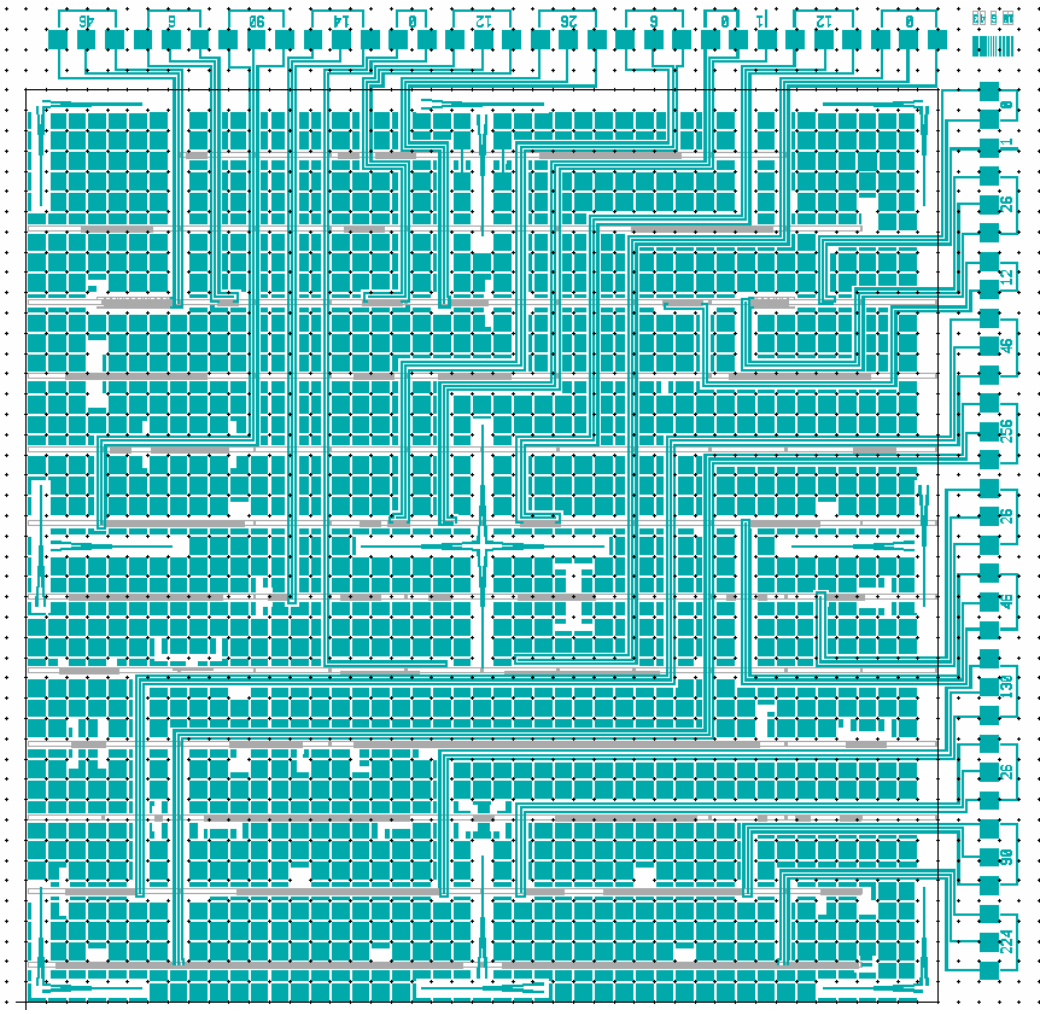


Abbildung D.4: Maskenlayout Basissubstrat 3D-Testchip.

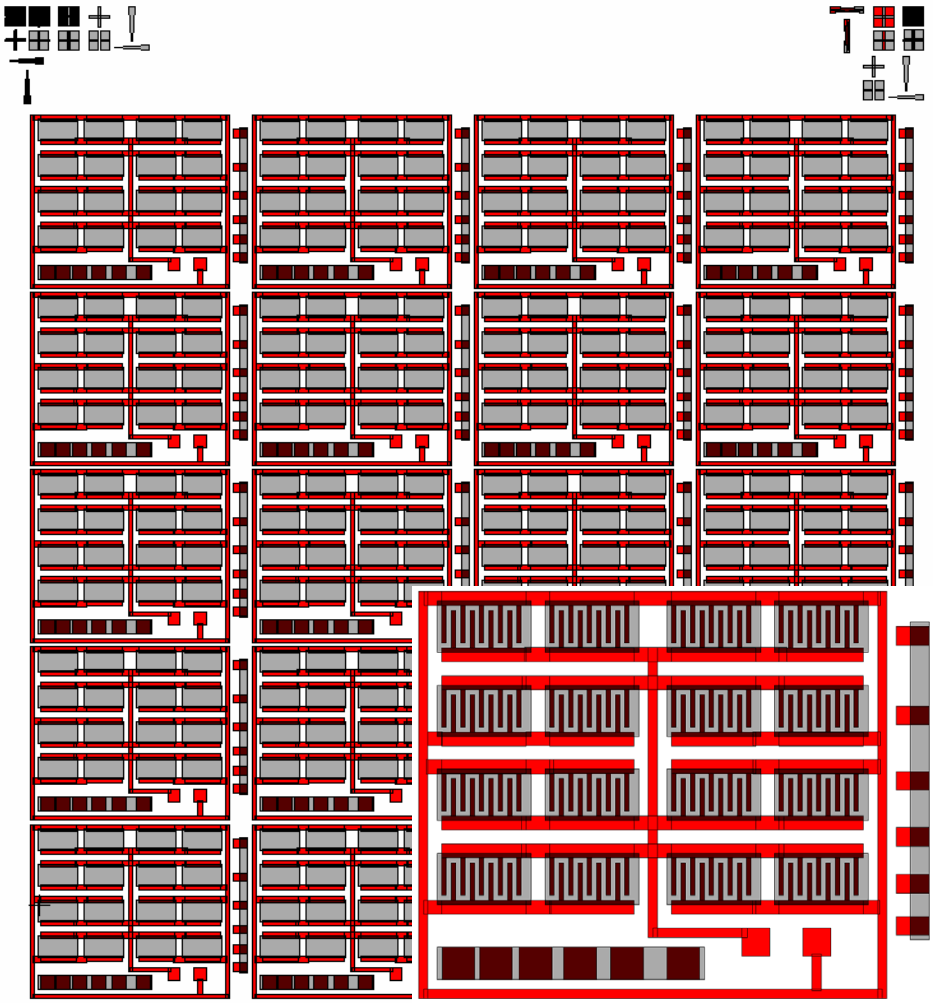


Abbildung D.5: Maskenlayout Oberseite UV-Sensoren.

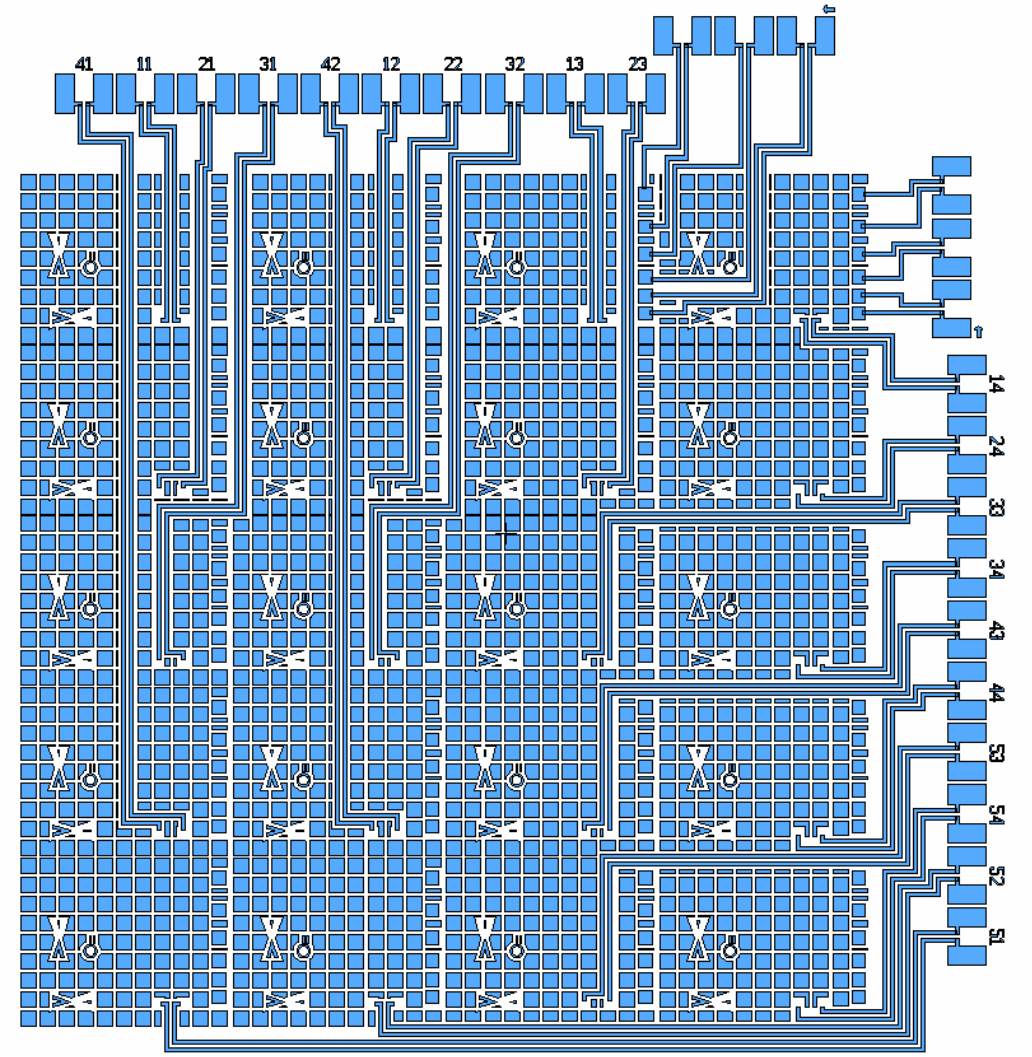


Abbildung D.6: Maskenlayout Basissubstrat UV-Sensoren.

Anhang E

Eigene Veröffentlichungen/ Workshops

E.1 Veröffentlichungen in Zusammenhang mit dieser Dissertation

A. Munding, **A. Kaiser**, P. Benkart, M. Bschorr, A. Heittmann, H. Hübner, H.-J. Pfleiderer, U. Ramacher, E. Kohn: *Chip Stacking Technology for 3D-Integration of Sensor Systems*. Book of Abstracts. 13th European Workshop on Heterostructure Technology HETECH 2004. Heraklion, Crete, Greece. October 3–6, 2004.

M. Bschorr, H.-J. Pfleiderer, P. Benkart, **A. Kaiser**, A. Munding, E. Kohn, A. Heittmann, H. Hübner, U. Ramacher: *Eine Test- und Ansteuerschaltung für eine neuartige 3D Verbindungstechnologie*. Advances in Radio Science **3** (2005), S. 305–310.

A. Kaiser, A. Munding, P. Benkart, M. Bschorr, A. Heittmann, H. Hübner, U. Ramacher, H.-J. Pfleiderer, and E. Kohn: *3-D Integration Technology for Sensor Systems*. Workshop on Compound Semiconductor Materials and Devices WOCSEMMAD 2005. Miami, Fl, USA. February 20–23, 2005.

A. Kaiser, A. Munding, P. Benkart, M. Bschorr, A. Heittmann, H. Hübner, U. Ramacher, H.-J. Pfleiderer, and E. Kohn: *3-D Integration Technology at the University of Ulm*. Eingeladener Vortrag. MIT Massachusetts Institute of Technology, Cambridge, MA, USA. February 24, 2005.

A. Kaiser, A. Munding, P. Benkart, M. Bschorr, A. Heittmann, H. Hübner, H.-J. Pfleiderer, U. Ramacher, and E. Kohn: *3-D Chip Stacking Technology*. Eingeladener Vortrag. Rockwell Scientific Company LLC, Thousand Oaks, CA, USA, May 11, 2005.

A. Kaiser, A. Munding, P. Benkart, M. Bschorr, A. Heittmann, H. Hübner, H.-J. Pfleiderer, U. Ramacher, and E. Kohn: *3-D Chip Integration Technology for Microsystems*. 207th Meeting of the Electrochemical Society, AC1 - Sensors, Actuators, and Microsystems - General Session, Quebec City, Canada, May 15–20, 2005. Meeting Abstracts - Electrochem. Soc. **501**, 1763 (2006).

P. Benkart, A. Munding, **A. Kaiser**, M. Bschorr, A. Heittmann, H. Hübner, H.-J. Pfleiderer, E. Kohn, and U. Ramacher: *3-Dimensional Chip Integration Scheme*. Proceedings Micro System Technologies 2005. International Conference & Exhibition on Micro-, Electro-Mechanical, Opto & Nano Systems, München, 5.–6. Oktober 2005, pp. 281–288.

P. Benkart, **A. Kaiser**, A. Munding, E. Kohn, A. Heittmann, H. Hübner, U.Ramacher: *3D chip stack technology using through chip interconnects*. IEEE Journal of Design & Test of Computers **22** (6). Special Issue on 3D Integration, November-December 2005, pp. 512–518.

A. Kaiser, D. Kück, P. Benkart, A. Munding, G.M. Prinz, A. Heittmann, H. Hübner, R. Sauer, E. Kohn: *Concept for diamond 3-D integrated UV sensor*. Joint International Conference on New Diamond Science and Technology & Applied Diamond Conference ICNDST & ADC 2006, Cary, NC, USA, May 15–18, 2006.

A. Kaiser, D. Kück, P. Benkart, A. Munding, G.M. Prinz, A. Heittmann, H. Hübner, U.Ramacher, R. Sauer, E. Kohn: *3D Chip Integration Concept – Diamond DUV Sensor on Si*. IEEE EDS Workshop on Advanced Electron Devices. Fraunhofer IMS, Duisburg, 13.–14. Juni, 2006.

P. Benkart, A. Munding, **A. Kaiser**, E. Kohn, A. Heittmann, H. Hübner, U.Ramacher: *3-Dimensional Integration Scheme With A Thermal Budget Below 300°C*. Book of Abstracts APCOT 2006, Asia-Pacific Conference of Transducers and Micro-Nano Technology, Marina Mandarin Hotel, Singapore, June 25–28, 2006.

A. Munding, **A. Kaiser**, P. Benkart, A. Heittmann, H. Hübner, U.Ramacher, E. Kohn: *Scaling aspects for microjoints for 3D chip interconnects*. Proceedings of the 36th European Solid-State Device Research Conference ESSDERC 2006, Montreux, Switzerland, September 18–22, 2006, pp. 262–265.

A. Kaiser, D. Kück, P. Benkart, A. Munding, G.M. Prinz, A. Heittmann, H. Hübner, R. Sauer, E. Kohn: *Concept for diamond 3-D integrated UV sensor*. Diamond & Related Materials **15** (2006), pp. 1967–1971.

M. Bschorr, H.-J. Pfleiderer, P. Benkart, **A. Kaiser**, A. Munding, E. Kohn, A. Heittmann, H. Hübner, U. Ramacher: *Yield-Improving Test and Routing Circuits for a Novel 3D Interconnect Technology*. Advances in Radio Science **4**, 2006, pp. 225–229.

P. Benkart, A. Munding, **A. Kaiser**, E. Kohn, A. Heittmann, H. Hübner, U.Ramacher: *3-Dimensional Integration Scheme With A Thermal Budget Below 300°C*. Sensors & Actuators A **139**, 2007, pp. 350–355.

E.2 Weitere Veröffentlichungen

E. Kohn, M. Adamschik, **A. Kaiser**, R. Müller, P. Schmid, A. Denisenko: *Microsystems for biochemical applications based on CVD diamond*. Proceedings Conference on Optoelectronic and Microelectronic Materials and Devices, 2000. COMMAD 2000. pp. 259–266.

A. Kaiser, M. Hinz, M. Adamschik, P. Schmid, R. Müller, C. Maier, H. Brugger, E.P. Hofer, H. Seliger, E. Kohn: *Diamond Based Injection System For Spotting And Synthesis In Biochemistry*. Conference Proceedings Sensor Technology. AIChE Annual Meeting 2002, Indianapolis, Indiana, USA, November 3–8, 2002, pp.175–182.

A. Kaiser, E. Kohn, H. Seliger: *Preparation of DNA-Chips using Diamond-Based Microreaction Technology*. 27. Internationaler Ausstellungskongreß für Chemische Technik, Umweltschutz und Biotechnologie ACHEMA 2003. Frankfurt/Main. 19.–24. Mai 2003.

E. Kohn, M. Adamschik, A. Aleksov, A. Denisenko, C. Janischowsky, F. Hernandez-Guillen, **A. Kaiser**, M. Kasu, M. Kubovic, J. Kusterer, R. Müller, P. Schmid: *Diamond Technology for MEMS and Electronics*. 11th International Conference: "Mixed Design of Integrated Circuits and System"MIXDES 2004. Szczecin, Poland. June 24–26, 2004.

H. El-Hajj, M. Neuburger, **A. Kaiser**, A. Denisenko, M. Schwitters, D. Twitchen, E. Kohn: *P-I-P Diamond MISFET Structure with 150 nm Contact Spacing Opened into a Boron Delta Doped Contact Layer*. 14th International Workshop on Heterostructure Technology HETECH 05, Smolenice, Slovakia, October 2–5, 2005.

M. Schwitters, M.P. Dixon, A. Tajani, D.J. Twitchen, S.E. Coe, H. El-Hajj, M. Kubovic, M. Neuburger, **A. Kaiser**, and E. Kohn: *Diamond-MESFETs – Synthesis and Integration*. Proceedings European Radar Conference EURAD 2005, Paris, France, October 6–7, 2005 pp. 17–20.

E.3 Patente

Mario Adamschik, Erhard Kohn, Peter Gluche, **Alexander Kaiser**: *Diamond Component with Rear Side Contact and a Method for the Production thereof. Diamantbauelement mit Rückseitenkontaktierung und Verfahren zu seiner Herstellung*. Patent. Internationale Veröffentlichungsnummer: WO 99/63596 (09.12.1999). US Patent No.: US 6614095 B1 (02.09.2003).

E.4 Auszeichnungen

”Best Paper Award” auf der Micro System Technologies 2005. International Conference & Exhibition on Micro-, Electro-Mechanical, Opto & Nano Systems, München, 5.–6. Oktober 2005 für das Paper: P. Benkart, A. Munding, **A. Kaiser**, M. Bschorr, A. Heittmann, H. Hübner, H.-J. Pfleiderer, E. Kohn, and U. Ramacher: *3-Dimensional Chip Integration Scheme*.

”Merckle Forschungspreis 2006”, verliehen an die Arbeitsgruppe:
Prof. Dr.-Ing. Erhard Kohn, Prof. Dr.-Ing. Hans-Jörg Pfleiderer, **Dipl.-Ing. Alexander Kaiser**, Dipl.-Ing. Peter Benkart, Dipl.-Ing. Andreas Munding, Dipl.-Ing. Markus Bschorr;
In Würdigung ihrer herausragenden Arbeiten zur Entwicklung einer 3-dimensionalen Chip-Stapel-Technologie für z.B. zukünftige hochkomplexe Kamerasysteme.
Preisverleihung an der Universität Ulm am 13. November 2006.

Anhang F

Verwendete Abkürzungen und Symbole

Abkürzung	Bedeutung
2D	zweidimensional, eine Ebene
3D	dreidimensional, räumlich
AR	Aspect Ratio, Aspektverhältnis
ASE	Anisotropic Silicon Etching
DRIE	Deep Reactive Ion Etching
HFCVD	Hot Filament CVD
	Heissdraht-CVD
ICP	Inductively Coupled Plasma
	induktiv eingekoppeltes Plasma
PECVD	Plasma Enhanced Chemical Vapour Deposition,
	Plasmaunterstützte Gasphasenabscheidung
SOLID	Solid-Liquid-Interdiffusion
	Fest-Flüssig-Diffusionslöten
UV	Ultraviolett

Tabelle F.1: Liste der verwendeten Abkürzungen.

Symbol	Bedeutung
A_D	Detektorfläche [cm^2]
b_V	Breite Via [m]
c_0	Lichtgeschwindigkeit im Vakuum: 2,9979·10^8 $\frac{m}{s}$
C, C'	Kapazität, längenbezogene Kapazität [F, $\frac{F}{m}$]
C_{Ox}	Oxidkapazität [F]
d_B	Dicke der Diffusionsbarriere [m]
E_{Br}	Durchbruchfeldstärke [$\frac{MV}{cm}$]
f	Frequenz [Hz]
f_L	Pulsfrequenz Laser [Hz]
F, F_0	Gasfluß, Standardgasfluß [sccm]
G, G'	Leitwert, längenbezogener Leitwert [S, $\frac{S}{m}$]
h	Planckkonstante: 6,626·10^{-34} Js
$\hbar$	Drehimpulsquantum: $\hbar = \frac{h}{2\pi}$ = 1,05457·10^{-34} Js
I	Strom [A]
J_{FN}	Stromdichte hervorgerufen durch Fowler-Nordheim-Tunneln [$\frac{mA}{cm^2}$]
J_{PF}	Stromdichte hervorgerufen durch Poole-Frenkel-Effekt [$\frac{mA}{cm^2}$]
k	Boltzmannkonstante: 1,38·10^{-23} $\frac{J}{K}$, 8,617·10^{-5} $\frac{eV}{K}$
L, L'	Induktivität, längenbezogene Induktivität [H, $\frac{H}{m}$]
m^*	effektive Masse
P_0	mittlere Lichtleistung [W]
P_V	Verlustleistung [W]
q	Elementarladung: 1,602·10^{-19} As
R, R'	Widerstand, längenbezogener Widerstand [Ω, $\frac{\Omega}{m}$]
R_I	Empfindlichkeit bezogen auf den Photostrom [$\frac{mA}{W}$]
R_{Loet}, R_{Via}	Widerstand einer Lötung, eines Vias [Ω]
R_S	Schichtwiderstand [$\Omega_\square$]
R_x, R_0, R_K	Ätzrate oder Abscheiderate [$\frac{nm}{min.}$]
S_x	Selektivität der Ätzrate zum Material x (z.B. Maskenmaterial)
T_A	Abscheidetemperatur, z.B. bei PECVD-Verfahren [°C]
t_V	Tiefe Via [m]
t_P	Pulsdauer [s]
U	Spannung [V]
w_V	Weite Via [m]
Z_0	charakteristische Impedanz (einer Leitung) [Ω]
z	Länge (einer Leitung) [m]

Tabelle F.3: Liste der verwendeten deutschen Symbole. Naturkonstanten übernommen aus [212].

Symbol	Bedeutung
ΔI_{ph}	mittlerer Photostrom [nA]
γ_g	Grenzwinkel bei der Oxidätzung [°]
λ	Wellenlänge [nm]
η_q	Quantenausbeute
ϕ_B, Φ_B	Barrierenhöhe [eV]
ρ	spezifischer Widerstand [Ωcm]
τ	Verzögerungszeit, RC-Konstante, Latenzzeit [s]
ε_0	elektrische Feldkonstante: $8{,}854 \cdot 10^{-12}\ \frac{As}{Vm}$
μ_0	magnetische Feldkonstante: $1{,}2566 \cdot 10^{-6}\ \frac{Vs}{Am}$
ω	Kreisfrequenz, $\omega = 2\pi f\ [\frac{1}{s}]$

Tabelle F.5: Liste der verwendeten griechischen Symbole. Naturkonstanten übernommen aus [212].

Literaturverzeichnis

[1] *International Technology Roadmap for Semiconductors, 2005 Edition*. 2005

[2] BARDEEN, J. ; BRATTAIN, W.H.: The Transistor, A Semi-Conductor Triode. In: *Physical Review* 74 (1948), S. 230–231

[3] MOORE, Gordon E.: Cramming more components onto integrated circuits. In: *Electronics* 38 (1965)

[4] MOORE, Gordon E.: No exponential is forever: But ”Forever” can be delayed! In: *IEEE International Solid-State Circuits Conference, vol. XLVI* (2003), February, S. 20–23

[5] AUBUSSON, R.C. ; CATT, I.: Wafer-Scale Integration – A Fault-Tolerant Procedure. In: *IEEE Journal of Solid-State Circuits* SC-13 (1978), S. 339–344

[6] LIU, Y.: Heterogeneous Integration of OE Arrays With Si Electronics and Microoptics. In: *IEEE Transactions on Advanced Packaging* 25 (2002), S. 43–49

[7] TUMMALA, R.R. ; SWAMINATHAN, M. ; TENTZERIS, M.M. ; LASKAR, J. ; CHANG, G.-K. ; SITARAMAN, S. ; KEEZER, D. ; GUIDOTTI, D. ; HUANG, Z. ; LIM, K. ; WAN, L. ; BATTACHARYA, S.K. ; SUNDARAM, V. ; LIU, F. ; RAJ, P.M.: The SOP for Miniaturized, Mixed-Signal Computing, Communication, and Consumer Systems of the Next Decade. In: *IEEE Transactions on Advanced Packaging* 27 (2002), S. 250–267

[8] ZIPTRONIX, Inc.: Benefits of 3D Integration in Digital Imaging Applications. In: *White Paper; www.ziptronix.com/* (2002), S. 1–3

[9] KOYANAGI, M. ; NAKAGAWA, Y. ; LEE, K.-W. ; NAKAMURA, T. ; YAMADA, Y. ; INSMURA, K. ; PARK, K.-L. ; KURINO, H.: Neuromorphic Vision Chip Fabricated Using Three-Dimensional Integration Technology. In: *Digest of Technical Papers, 2001 IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, February 5-7, 2001* (2001), S. 270–271

[10] HÜBNER, H. ; EHRMANN, O. ; EIGNER, M. ; GRUBER, W. ; KLUMPP, A. ; MERKEL, R. ; RAMM, P. ; ROTH, M. ; WEBER, J. ; WIELAND, R.: Face-to-Face Chip Integration with

Full Metal Interface. In: *Proceedings Advanced Metallization Conference, AMC 2002* 69 (2002), S. 53–58

[11] KOHN, E. ; ADAMSCHIK, M. ; KAISER, A. ; MÜLLER, R. ; SCHMID, P. ; DENISENKO, A.: Microsystems for biochemical applications based on CVD diamond. In: *Proceedings Conference on Optoelectronic and Microelectronic Materials and Devices, 2000. COMMAD 2000* (2000), S. 259–266

[12] ADAMSCHIK, M. ; KUSTERER, J. ; SCHMID, P. ; SCHAD, K.B. ; GROBE, D. ; FLÖTER, A. ; KOHN, E.: Diamond microwave micro relay. In: *Diamond and Related Materials* 11 (2002), S. 672–676

[13] KAISER, A. ; HINZ, M. ; ADAMSCHIK, M. ; SCHMID, P. ; MUELLER, R. ; MAIER, C. ; BRUGGER, H. ; HOFER, E.P. ; SELIGER, H. ; KOHN, E.: Diamond Based Injection System For Spotting And Synthesis In Biochemistry. In: *Conference Proceedings Sensor Technology. AIChE Annual Meeting 2002, Nov 3-8. Indianapolis, Indiana* (2002), S. 175–182

[14] AL-SARAWI, S.F. ; ABBOTT, D. ; FRANZON, P.D.: A Review of 3-D Packaging Technology. In: *IEEE Transactions on Components, Packaging and Manufacturing Technology – Part B* 21 (1998), S. 2–14

[15] HOFFMANN, Michael H.: *Hochfrequenztechnik: ein systemtheoretischer Zugang*. Springer Verlag Berlin Heidelberg, 1997

[16] DEUTSCH, A. ; KOPCSAY, G.V. ; RANIERI, V.A. ; CATALDO, J.K. ; GALLIGAN, E.A. ; GRAHAM, W.S. ; MCGOUEY, R.P. ; NUNES, S.L. ; PARASZCZAK, J.R. ; RITSKO, J.J. ; SERINO, R.J. ; SHIH, D.Y. ; WILCZYNSKI, J.S.: High-speed signal propagation on lossy transmission lines. In: *IBM Journal of Research and Development* 34 (1990), S. 811–816

[17] DAVIS, J.A. ; VENEKATESAN, R. ; KALOYEROS, A. ; BEYLANSKY, M. ; SOURI, S.J. ; BANERJEE, K. ; SARASWAT, K.C. ; RAHMAN, A. ; REIF, R. ; MEINDL, J.D.: Interconnect Limits on Gigascale Integration (GSI) in the 21st Century. In: *Proceedings of the IEEE* 89 (2001), S. 305–323

[18] PATTI, R.S.: Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs. In: *Proceedings of the IEEE* 94 (2006), June, S. 1214–1224

[19] JOYNER, J. ; ZARKESH-HA, P. ; MEINDL, J.: A global interconnect design window for a three-dimensional system-on-a-chip. In: *Proceedings of the IEEE Interconnect Technology Conference 2001* (2001), S. 154–156

[20] BSCHORR, M. ; PFLEIDERER, H.-J. ; BENKART, P. ; KAISER, A. ; MUNDING, A. ; KOHN, E. ; HEITTMANN, A. ; HÜBNER, H. ; RAMACHER, U.: Eine Test- und Ansteuerschaltung für eine neuartige 3D Verbindungstechnologie. In: *Advances in Radio Science* 3 (2005), S. 305–310

[21] KAWAMURA, S. ; SASAKI, N. ; NAKANO, M. ; TAKAGI, M.: Laser recrystallization of Si over SiO_2 with a heat-sink structure. In: *Journal of Applied Physics* 55 (1984), Nr. 6, S. 1607–1609

[22] LEE, K. F. ; GIBBONS, J. F. ; SARASWAT, K. C. ; KAMINS, T. I.: Thin film MOSFET's fabricated in laser-annealed polycrystalline silicon. In: *Applied Physics Letters* 35 (1979), Nr. 2, S. 173–175

[23] KIOI, K. ; SHINOZAKI, T. ; TOYOYAMA, S. ; SHIRAKAWA, K. ; OHTAKE, K. ; TSUCHIMOTO, S.: Design and Implementation of a 3D-LSI Character Recognition Image Sensor. In: *Proceedings IEDM 1990* (1990), S. 279–282

[24] OHTAKE, K. ; KIOI, K. ; SHINOZAKI, T. ; TOYOYAMA, K. ; TAUCHIMOTO, S.: Four-story Structured Character Recognition Sensor Image with 3D Integration. In: *Microelectronic Engineering* 15 (1991), S. 179–182

[25] AHADIAN, J.F. ; FONSTAD JR., C.G.: Epitaxy-on-Electronics technology for monolithic optoelectronic integration: foundations, development, and status. In: *Optical Engineering* 37 (1998), S. 3161–3174

[26] AHADIAN, J.F. ; PATTERSON, S.G. ; VAIDYANATHAN, P.T. ; ROYTER, Y. ; MULL, D. ; PETRICH, G.S. ; GOODHUE, W.D. ; PRASAD, S. ; KOLODZIEJSKI, L.A. ; FONSTAD JR., C.G.: Monolithic OEICs using GaAs VLSI technology. In: *SPIE Vol. 3002* (1997), S. 180–185

[27] WARWICK, C.A. ; OURMAZD, A.: Trends and Limits in Monolithic Integration by Increasing the Die Area. In: *IEEE Transactions on Semiconductor Manufacturing* 6 (1993), S. 284–289

[28] TUMMALA, R.R.: SOP: What Is It and Why? A New Microsystem-Integration Technology Paradigm-Moore's Law for System Integration of Miniaturized Convergent Systems of the Next Decade. In: *IEEE Transactions on Advanced Packaging* 27 (2004), S. 241–249

[29] BECKER, K.-F. ; JUNG, E. ; OSTMANN, A. ; BRAUN, T. ; NEUMANN, A. ; ASCHENBRENNER, R. ; REICHL, H.: Stackable System-On-Packages With Integrated Components. In: *IEEE Transactions on Advanced Packaging* 27 (2004), S. 268–277

[30] SCHEIRING, C. ; KOSTNER, H. ; LINDNER, P. ; PARGFRIEDER, S.: Advanced-Chip-to-Wafer Technology: Enabling Technology for Volume Production of 3D System Integration on Wafer Level. In: *Proceedings IMAPS 2004, Long Beach, Nov. 14-18, 2004* (2004)

[31] GARROU, Philip: Wafer-Level 3-D Integration. In: *Semiconductor International (Semiconductor Packaging)* (2006), October, S. SP12–SP17

[32] *Amkor Technology Inc, Internetpräsenz www.Amkor.com*

[33] *Freescale Semiconductor, Internetpräsenz www.Freescale.com*

[34] WETZ, L. ; WHITE, J. ; KESER, B.: Improvement in WL-CSP Reliability by Wafer Thinning. In: *Proceedings ECTC 2003 Electronic Components and Technology Conference, New Orleans, May, 2003* (2003), S. 853–856

[35] *Tezzaron Semiconductor Corporation, Internetpräsenz www.Tezzaron.com*

[36] *IMEC, Internetpräsenz www.imec.be*

[37] HARA, Yoshiko: Benefits stack up for 3-D circuits. In: *EETimes, 29.11.2004* (2004)

[38] Samsung Develops 3D Memory Package that Greatly Improves Performance Using Less Space. In: *physorg.com/printnews 13. April 2006* (2006)

[39] *EV Group, Internetpräsenz www.EVGroup.com*

[40] RAMM, P. ; BONFERT, D. ; GIESER, H. ; HAUFE, J. ; IBERL, F. ; KLUMPP, A. ; KUX, A. ; WIELAND, R.: InterChip Via Technology for Vertical System Integration. In: *Proceedings IEEE 2001 International Interconnect Technology Conference* (2001), S. 160–163

[41] TONG, Q.-Y. ; GÖSELE, U.: *Semiconductor Wafer Bonding: Science and Technology*. John Wiley & Sons, 1999

[42] PAYNE, C.C.: Silica sol composition for polishing silicon wafers. In: *U.S. Patent No. 4462188* (1984)

[43] MANDLE, R.M.: Process for preparing a polishing compound and product. In: *U.S. Patent No. 3298807* (1967)

[44] PIETSCH, G.J. ; HIGASHI, G.S. ; CHABAL, Y.J.: Chemomechanical polishing of silicon: Surface termination and mechanism of removal. In: *Applied Physics Letters* 64 (1994), S. 3115

[45] ESTRAGNAT, E. ; TANG, G. ; LIANG, H. ; JAHANMIR, S. ; PEI, P. ; MARTIN, J.M.: Experimental Investigation on Mechanisms of Silicon Chemical Mechanical Polishing. In: *Journal of Electronic Materials* 3 (2004), S. 334

[46] KÖHLER, Michael: *Ätzverfahren für die Mikroelektronik*. Wiley-VCH, 1998

[47] RECHE, J.: Wafer Thinning and Thru-Silicon Vias – The Path to Wafer Level Packaging. In: *IEEE/CPMT Meeting Santa Clara, CA, USA, 2000* (2000)

[48] MORI, Y. ; YAMAMURA, K. ; SANO, Y.: Thinning of silicon-on-insulator wafers by numerically controlled plasma chemical vaporization machining. In: *Review of Scientific Instruments* 75 (2004), S. 942–946

[49] GÄBLER, J.: Diamond coated tools and machine parts. In: *Internetseite der Fraunhofer-Gesellschaft. http://www.ist.fhg.de* (2001)

[50] *Internetpräsenz SIMTech. www.simtech.a-star.edu.sg*. 2005

[51] GÄBLER, J. ; SCHÄFER, L. ; WESTERMANN, H.: Chemical vapour deposition diamond coated microtools for grinding, milling and drilling. In: *Diamond and Related Materials* 9 (2000), S. 921–924

[52] BURGESS, L.W.: Blind Microvias Technology by Laser. In: *NEPCON West '99* (1999)

[53] KIM, S. ; BANG, B.S. ; REN, F. ; D'ENTREMONT, J. ; BLUMENFELD, W. ; CORDOCK, T. ; PEARTON, S.J.: High-Rate Laser Ablation For Through-Wafer Via Holes in SiC Substrates and GaN/AlN/SiC Templates. In: *Journal of Semiconductor Technology and Science* 4 (2004)

[54] KNOWLES, M.R.H.: High power DPSS laser micromachining of silicon and stainless steel for device singulation. In: *ICALEO 2005, 31st October - 3rd November, Miami Florida, USA* (2005)

[55] KARNAKIS, D.M.: Applications of Laser Microdrilling. In: *Laser Micromachining: Developments & Applications. AILU Workshop, 24th May 2005, Bangor, UK* (2005)

[56] HEUBERGER, Anton: *Mikromechanik*. Springer Verlag, 1991

[57] CHRISTENSEN, C. ; KERSTEN, P. ; HENKE, S. ; BOUWSTRA, S.: Wafer through-hole interconnections with high vertical wiring densities. In: *Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on* 19 (1996), S. 516–522

[58] RASMUSSEN, Frank E.: *Electrical Interconnections Through CMOS Wafers*, The Technical University of Denmark, Diss., 2003

[59] LEHMANN, V.: The physics of Macropore Formation in Low Doped n-Type Silicon. In: *J. Electrochem. Soc.* 140 (1993), S. 2836–2843

[60] ANDERSEN, O. K. ; FRELLO, T. ; VEJE, E.: Photoinduced synthesis of porous silicon without anodization. In: *Journal of Applied Physics* 78 (1995), Nr. 10, S. 6189–6192

[61] MATTHIAS, S. ; MÜLLER, F.: Three-Dimensional Silicon-Based Photonic Crystals Fabricated by Electrochemical Etching. In: *MPI Halle, Annual Report 2004* (2004), S. 34–35

[62] LEHMANN, V.: Macroporous silicon: Physics and applications. In: *Advances in solid state physics* 37 (1997), S. 15–23

[63] LIU, Hong ; WANG, Zhong L.: Etching silicon wafer without hydrofluoric acid. In: *Applied Physics Letters* 87 (2005), Nr. 26, S. 261913

[64] BETTOTTI, P. ; NEGRO, L. D. ; GABURRO, Z. ; PAVESI, L. ; LUI, A. ; GALLI, M. ; PATRINI, M. ; MARABELLI, F.: P-type macroporous silicon for two-dimensional photonic crystals. In: *Journal of Applied Physics* 92 (2002), Nr. 12, S. 6966–6972

[65] REEVES, G.K. ; HOLLAND, A.S. ; LEECH, P.: Influence of Via Liner Properties on the Current Density and Resistance of Vias. In: *Proceedings 23rd International Conference on Microelectronics (MIEL 2002), Vol. 2, Niš, Yugoslavia, 12-15 May, 2002* (2002), S. 535–538

[66] SZE, S.M.: *Physics of Semiconductor Devices*. John Wiley & Sons, 1981

[67] BROTHERTON, S. D. ; AYRES, J. R. ; GILL, A. ; VAN KESTEREN, H.W. ; GREIDANUS, F. J. A. M.: Deep levels of copper in silicon. In: *Journal of Applied Physics* 62 (1987), Nr. 5, S. 1826–1832

[68] WANG, S.-Q. ; SUTHAR, S. ; HOEFLICH, C. ; BURROW, B.J.: Diffusion barrier properties of TiW between Si and Cu. In: *Journal of Applied Physics* 73 (1993), S. 2301–2320

[69] YUN, J.-Y. ; RHEE, S.-W.: Remote Plasma Enhanced Metal Organic Chemical Vapor Deposition Of TiN For Diffusion Barrier. In: *Korean J. of Chem. Eng.* 13 (1996), S. 510–514

[70] YUN, J.-Y. ; RHEE, S.-W. ; PARK, S. ; LEE, J.-G.: Remote plasma enhanced metalorganic chemical vapor deposition of TiN from tetrakis-dimethyl-amido-titanium. In: *J. Vac. Sci. Technol. A* 18 (2000), S. 2822–2826

[71] SHACHAM-DIAMAND, Y.: Barrier Layers for Cu ULSI Metallization. In: *Journal of Electronic Materials* 30 (2001), S. 336–344

[72] KWAK, M.Y. ; SHIN, D.H. ; KANG, T.W. ; KIM, K.N.: Characteristics of WN Diffusion Barrier Layer for Copper Metallization. In: *phys. stat. sol. (a)* 174 (1999), S. R5–R6

[73] KIZIL, H. ; KIM, G. ; STEINBRÜCHEL, C. ; ZHAO, B.: TiN and TaN Diffusion Barriers in Copper Interconnect Technology: Towards a Consistent Testing Methodology. In: *Journal of Electronic Materials* 30 (2001), S. 345–348

[74] FURUYA, A. ; OHSHITA, Y.: Ti concentration effect on adhesive energy at Cu/TiW interface. In: *Journal of Applied Physics* 84 (1998), S. 4941–4944

[75] MCCONICA, C.M. ; KRISHNAMANI, K.: The Kinetics of LPCVD Tungsten Deposition in a Single Wafer Reactor. In: *Journal of the Electrochemical Society: Solid-State Science and Technology* 133 (1986), S. 2542–2848

[76] VAN DER JEUGD, C.A. ; JANSSEN, G.C.A.M. ; RADELAAR, S.: A kinetic study on tungsten deposition from SiH_4 and WF_6. In: *Journal of Applied Physics* 72 (1992), S. 1583–1588

[77] ZHANG, S.-L. ; PALMANS, R. ; PETERSSON, C.S. ; MAEX, K.: Electrical and mechanical characterization of chemical vapor deposition of tungsten on sputter-deposited TiN layers. In: *Journal of Applied Physics* 78 (1995), S. 7313–7322

[78] YUN, J.-H. ; KIM, B.-Y. ; RHEE, S.-W.: Metal-organic chemical vapor deposition of aluminum from dimethylethylamine alane. In: *Thin Solid Films* 312 (1998), S. 259–262

[79] PARK, M.-Y. ; SON, J.-H. ; RHEE, S.-W.: Chemical Vapor Deposition of Copper Thin Films with (hexafluoroacetylacetonate)Cu(allyltrimethylsilane). In: *Electrochemical and Solid-State Letters* 1 (1998), S. 32–33

[80] SHIM, K.-C. ; LEE, H.-B. ; KWON, O.-K. ; PARK, H.-S. ; KOH, W. ; KANG, S.-W.: Bottom-up Filling of Submicrometer Features in Catalyst-Enhanced Chemical Vapor Deposition of Copper. In: *Journal of the Electrochemical society* 149 (2002), S. G109–G113

[81] RHEE, S.-W. ; YUN, J.-H.: Surface passivation technique for selective hole filling by chemical vapor deposition. In: *Journal of Materials Science Letters* 17 (1998), S. 947–949

[82] VEREECKEN, P.M. ; BINSTEAD, R.A. ; DILIGIANNI, H. ; ANDRICACOS, P.C.: The chemistry of additives in damascene copper plating. In: *IBM Journal of Research and Development* 49 (2005), S. 3–18

[83] KONDO, K. ; YONEZAWA, T. ; MIKAMI, D. ; OKUBO, T. ; TAGUCHI, Y. ; TAKAHASHI, K. ; BARKEY, D.P.: High-Aspect-Ratio Copper-Via-Filling for Three-Dimensional Chip Stacking. In: *Journal of The Electrochemical Society* 152 (2005), S. H173–H177

[84] KIM, Y.-S. ; BAE, D.-L. ; YANG, H. ; SHIN, H.-S. ; WANG, G.-W. ; SENKEVICH, J.J. ; LU, T.-M.: Direct Copper Electroless Deposition on a Tungsten Barrier Layer for Ultralarge Scale Integration. In: *Journal of the Electrochemical society* 152 (2005), S. C89–C95

[85] WANG, Z. ; YAEGASHI, O. ; SAKAUE, H. ; TAKAHAGI, T. ; SHINGUBARA, S.: Bottom-up Fill for Submicrometer Copper Via Holes of ULSIs by Electroless-Plating. In: *Journal of the Electrochemical society* 151 (2004), S. C781–C785

[86] KNICKERBOCKER, J.U. ; ANDRY, P.S. ; BUCHWALTER, L.P. ; DEUTSCH, A. ; HORTON, R.R. ; JENKINS, K.A. ; KWARK, Y.H. ; MCVICKER, G. ; PATEL, C.S. ; POLASTRE, R.J. ; SCHUSTER, C. ; SHARMA, A. ; SRI-JAYANTHA, S.M. ; SURROVIC, C.W. ; TSANG, C.K. ; WEBB, B.C. ; WRIGHT, S.L. ; MCKNIGHT, S.R. ; SPROGIS, E.J. ; DANG, B.: Development of next-generation system-on-package (SOP) technology based on silicon carriers with fine-pitch chip interconnection. In: *IBM Journal of Research and Development* 49 (2005), S. 725–753

[87] BAKIR, M.S. ; REED, H.A. ; THACKER, H.D. ; PATEL, S. ; KOHL, P.A. ; MARTIN, K.P. ; MEINDL, D.: Sea of Leads (SoL) Ultrahigh Density Wafer-Level Chip Input/Output Interconnections for Gigascale Integration (GSI). In: *IEEE Tansactions on Electron Devices* 50 (2003), S. 2039–2048

[88] BLACKWELL, G.R.: *Direct Chip Attach*. CRC Press LLC, 2000

[89] DEHAVEN, K. ; DIETZ, J.: Controlled collapse chip connection (C4)-an enabling technology. In: *Proceedings 44th Electronic Components and Technology Conference, May 1-4, 1994* (1994), S. 1–6

[90] KANG, S.K. ; LAURO, P.A. ; SHIH, D.-Y. ; HENDERSON, D.W. ; PUTTLITZ, K.J.: Microstructure and mechanical properties of lead-free solders and solder joints used in microelectronic applications. In: *IBM Journal of Research and Development* 49 (2005), S. 607–620

[91] GRUBER, P.A. ; BELANGER, L. ; BROUILLETTE, G.P. ; DANOVITCH, D.H. ; LANDREVILLE, J.-L. ; NAUGLE, D.T. ; OBERSON, V.A. ; SHIH, D.-Y. ; TESSLER, C.L. ; TURGEON, M.R.: Low-cost wafer bumping. In: *IBM Journal of Research and Development* 49 (2005), S. 621–639

[92] HUENERS, B.: Flip Chip Attach Alternatives. Advances in Bump Technology. In: *Advanced Packaging* (2005), May, S. 29–32

[93] DANG, B. ; PATEL, C. ; THACKER, H. ; BAKIR, M. ; MARTIN, K. ; MEINDL, J.: Optimal Implementation of Sea of Leads (SoL) Compliant Interconnect Technology. In: *Proceedings IEEE International Interconnect Technology Conference IITC 2004, San Francisco, CA, June 2004* (2004)

[94] BESSEMOULIN, A. ; GÄSSLER, C. ; GRÜNENPÜTT, J. ; REIG, B.: Hot-via Interconnects: A Step toward Surface Mount Chip Scale Packaged MMICs up to 110 GHz. In:

26th Compound Semiconductor IC Symposium, October 24–27, 2004, Monterey, Canada (2004)

[95] CONNELL, G. ; ZENNER, R.L.D. ; GERBER, J.A.: Conductive adhesive flip-chip bonding for bumped and unbumped die. In: *Proceedings 47th Electronic Components and Technology Conference, May 18-21, 1994* (1994), S. 274–278

[96] RUDNICKI, J. ; STARSKI, J.P.: Vertical interconnection for flip chip connection. In: *Microwaves, Radar and Wireless Communications, 2002. MIKON-2002. 14th International Conference on* 3 (2002), S. 829–832

[97] ADLER, C. ; KLINK, G. ; FEIL, M. ; ANSORGE, F. ; REICHL, H.: Assembly of ultra thin and flexible ICs. In: *Adhesive Joining and Coating Technology in Electronics Manufacturing, 2000. Proceedings. 4th International Conference on* (2000), S. 20–23

[98] REIF, R. ; ; FAN, A. ; CHEN, K.-N. ; DAS, S.: Fabrication Technologies for Three-Dimensional Integrated Circuits. In: *Proceedings IEEE International Symposium on Quality Electronic Design ISQED 2002* (2002), S. 33–37

[99] REIF, R. ; TAN, C.S. ; FAN, A. ; CHEN, K.-N. ; DAS, S. ; CHECKA, N.: 3-D Interconnects Using Cu Wafer Bonding: Technology and Applications. In: *Advanced Metallization Conference, San Diego, USA, October 1-3, 2002* (2002)

[100] DAS, S. ; FAN, A. ; CHEN, K.-N.: Technology, Performance, and Computer-Aided Design of Three-Dimensional Integrated Circuits. In: *Proceedings ISPD 2004, Phoenix, Arizona, USA, April 18-21, 2004* (2004)

[101] TADEPALLI, R. ; THOMPSON, C.V.: Quantitative Characterization and Process Optimization of Low-Temperature Bonded Copper Interconnects for 3-D Integrated Circuits. In: *Proceedings IEEE International Interconnect Technology Conference IITC 2003, San Francisco, CA, USA, June 2-4, 2003* (2003), S. 36–38

[102] GIZIEWICZ, W.P. ; FONSTAD JR., C.G.: Optoelectronic integration using aligned metal-to-semiconductor bonding. In: *Journal of Vaccuum Science Technology A* 20 (2002), May/June, S. 1052–1056

[103] GUTMANN, R.J. ; LU, J.-Q. ; KWON, Y. ; MCDONALD, J.F. ; CALE, T.S.: Three-dimensional (3D) ICs: A Technology Platform for Integrated Systems and Opportunities for New Polymeric Adhesives. In: *Proceedings First International IEEE Conference on Polymers and Adhesives in Microelectronics and Photonics, Potsdam, Germany, October 21-24, 2001* (2001), S. 173–180

[104] MICK, S. ; LUO, L. ; WILSON, J. ; FRANZON, P.: Buried Bump and AC Coupled Interconnection Technology. In: *IEEE Transactions on Advanced Packaging* 27 (2004), S. 121–125

[105] MIURA, N. ; MIZOGUCHI, D. ; INOUE, M. ; TSUJI, H. ; SAKURAI, T. ; KURODA, T.: A 195Gb/s 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme. In: *Proceedings IEEE International Solid-State Circuits Conference ISSCC 2005* (2005), S. 264–265

[106] BAKIR, M. ; MEINDL, J.D.: Sea of Polymer Pillars Electrical and Optical Chip I/O Interconnections for Gigascale Integration. In: *IEEE Transactions on Electron Devices* 51 (2004), S. 1069–1076

[107] SEIDEL, H. ; CSEPREGI, L. ; HEUBERGER, A. ; BAUMGÄRTEL, H.: Anisotropic Etching of Crystalline Silicon in Alkaline Solutions, II. Influence of Dopants. In: *J. Electrochem. Society* 137 (1990), S. 3626–3632

[108] DE KOCK, A. J. R. ; STACY, W. T. ; VAN DE WIJGERT, W. M.: The effect of doping on microdefect formation in as-grown dislocation-free Czochralski silicon crystals. In: *Applied Physics Letters* 34 (1979), Nr. 9, S. 611–613

[109] LAERMER, Franz ; SCHILP, Andrea. *Method of Anisotropically Etching Silicon. Patent USA 5501893, Deutschland DE4241045, Europa EP625285*

[110] BHARDWAJ, J. ; ASHRAF, H. ; HOPKINS, J. ; JOHNSTON, I. ; MCAULEY, S. ; HALL, S. ; NICHOLLS, G. ; ATABO, L. ; HYNES, A. ; WELCH, C. ; BARKER, A. ; GUNN, B. ; LEA, L. ; GUIBARRA, E. ; WATCHAM, S.: Advances in High Rate Silicon and Oxide Etching using ICP. In: *MEMS/MST Symposium at SEMICON West 99* (1999)

[111] BLAUW, M.A. ; ZIJLSTRA, T. ; VAN DER DRIFT, E.: Radical transport in deep silicon structures during dry etching. In: *Proceedings of the SeSens workshop, December 1, 2000* (2000), S. 617–622

[112] BHARDWAJ, J. ; ASHRAF, H. ; MCQUARRIE, A.: Dry Silicon Etching for MEMS. In: *Proceedings The Symposium on Microstructures and Microfabricated Systems. The Electrochemical Society Annual Meeting, Montreal, Quebec, Canada, May 4-9, 1997* (1997)

[113] XIE, H. ; ERDMANN, L. ; ZHU, X. ; GABRIEL, K.J. ; FEDDER, G.K.: Post-CMOS Processing for High-Aspect-Ratio Integrated Silicon Microstructures. In: *IEEE Journal of Microelectromechanical Systems* 11 (2002), April, S. 93–101

[114] TAKAHASHI, K.: Development of 3D Chip Stacking Technology by Si Through-via. In: *37th International Symposium on Microelectronics IMAPS 2004, Long Beach, California, USA* (2004)

[115] SCHUEGRAF, Klaus K.: *Handbook of Thin-Film Deposition Processes and Techniques: principles, methods, equipment, and applications*. Noyes Publications, 1988

[116] HSIEH, S.W. ; CHANG, C.Y. ; HSU, S.C.: Characteristics of low-temperature and low-energy plasma-enhanced chemical vapour deposited SiO_2. In: *Journal of Applied Physics* 74 (1993), August, S. 2638–2648

[117] KUSHNER, M.J.: Plasma chemistry of $He/O_2/SiH_4$ and $He/N_2O/SiH_4$ mixtures for remote plasma-activated chemical-vapor deposition of silicon dioxide. In: *Journal of Applied Physics* 74 (1993), S. 6538–6553

[118] RAND, M.J.: Plasma-promoted deposition of thin inorganic films. In: *Journal of Vacuum Science and Technology* 16 (1979), S. 420–427

[119] KAY, E. ; COBURN, J. ; DILKS, A. ; VEPREK, S. (Hrsg.) ; VENUGOPALAN, M. (Hrsg.): *Topics in Current Chemistry: Plasma Chemistry III*. Springer-Verlag, New York

[120] VIANA, C.E. ; DA SILVA, A.N.R. ; MORIMOTO, N.I.: Analysis of SiO2 Thin Films Deposited by PECVD Using an Oxygen-TEOS-Argon Mixture. In: *Braz. J. Phys.* 31 (2001), June, S. 299–303

[121] STEIN, Josef: *Niedertemperatur-Deposition von Siliziumdioxid mittels Remote-PECVD*, RWTH Aachen, Diss., 1999

[122] PARK, Y.-B. ; KANG, J.-K. ; RHEE, S.-W.: Effect of N_2O/SiH_4 ratio on the properties of low-temperature silicon oxide films from remote plasma chemical vapour deposition. In: *Thin Solid Films* 280 (1996), S. 43 ff.

[123] ZHANG, Xiaoge G.: *Electrochemistry of Silicon and its Oxide*. Kluwer Academic/Plenum Publishers, New York, 2001

[124] ITSUMI, M. ; OSGOOD JR., R.M. (Hrsg.) ; HULL, R. (Hrsg.) ; PARISI, J. (Hrsg.): *SiO_2 in Si Microdevices*. Springer Verlag, 2002

[125] MULFINGER, G.R.: Characterization of Low-Temperature Gate Dielectrics for Thin Film Transistors. In: *Proceedings 23rd Annual Microelectronic Engineering Conference, May 2005* (2005), S. 47–51

[126] LIM, S.W. ; SHIMOGAKI, Y. ; NAKANO, Y. ; TADA, K. ; KOMIYAMA, H.: Decrease in Deposition Rate and Improvement of Step Coverage by CF_4 Addition to Plasma-Enhanced Chemical Vapor Deposition of Silicon Oxide Films. In: *Japanese Journal of Applied Physics* 39 (2000), S. 330–336

[127] BENKART, P. ; MUNDING, A. ; KAISER, A. ; KOHN, E. ; HEITTMANN, A. ; HÜBNER, H. ; RAMACHER, U.: 3-Dimensional Integration Scheme With A Thermal Budget Below 300 °C. In: *Book of Abstracts APCOT 2006, Asia-Pacific Conference of Transducers and Micro-Nano Technology, Marina Mandarin Hotel, Singapore, June 25-28, 2006* (2006)

[128] BEYNON, J. et a.: The Electrical Properties of Anodically Grown Silicon Dioxide Films. In: *Solid-State* 16 (1973), S. 309–314

[129] MENDE, G. ; HENSEL, E. ; FENSKE, F. ; FLIETNER, H.: The Electrophysical Properties of Anodically Grown Silicon Oxide Films. In: *Thin Solid Films* 168 (1989), S. 51–60

[130] HANSON, M.: *Constitution of Binary Alloys*. McGraw-Hill, 1958. – 634 S

[131] CLEVENGER, L.A. ; ARCOT, B. ; ZIEGLER, W. ; COLGAN, E.G. ; HONG, Q.Z. ; D'HEURLE, F. M. ; CABRAL JR., C. ; GALLO, T.A. ; HARPER, J.M.E.: Interdiffusion and phase formation in Cu(Sn) alloy films. In: *Journal of Applied Physics* 83 (1998), January, S. 90–99

[132] NAUS, M.T. ; LEE, P.J. ; LARBALESTIER, D.C.: The Interdiffusion of Cu and Sn in Internal Sn Nb_3Sn Superconductors. In: *IEEE Transactions on Applied Superconductivity* 10 (2000), March, S. 983–987

[133] BARTELS, F. ; MORRIS JR., J.W.: Intermetallic Phase Formation in Thin Solid-Liquid Diffusion Couples. In: *Journal of Electronic Materials* 23 (1994), S. 787–790

[134] TOMITA, Y. ; MORIFUJI, R. ; ANDO, R. ; TAGO, M. ; KAJIWARA, R. ; NEMOTO, Y. ; FUJII, T. ; KITAYAMA, Y. ; TAKAHASHI, K.: Advanced Packaging Technologies on 3D Stacked LSI utilizing the Micro Interconnections and the Layered Microthin Encapsulation. In: *2001 IEEE Electronic Components and Technology Conference* (2001)

[135] UMEMOTO, M. ; TANIDA, K. ; NEMOTO, Y. ; HOSHIMO, M. ; KOJIMA, K. ; SHIRAI, Y. ; TAKAHASHI, K.: High-performance vertical interconnection for high-density 3D chip stacking package. In: *Proceedings Electronic Components and Technology Conference ECTC 2004, June 1-4, 2004* (2004), S. 616–623

[136] MUNDING, A. ; KAISER, A. ; BENKART, P. ; HEITTMANN, A. ; HÜBNER, H. ; RAMACHER, U. ; KOHN, E.: Scaling aspects for microjoints for 3D chip interconnects. In: *Proceedings 36th European Solid-State Device Research Conference ESSDERC 2006, Montreux, Switzerland, September 18–22, 2006* (2006), S. 262–265

[137] FIELDS, R.J. ; LOW, S.R.: Physical and mechanical properties of intermetallic compounds commonly used in solder joints. In: *NIST Metallurgy Division Research Publication. www.metallurgy.nist.gov* (2002), S. 1–13

[138] *Persönliche Korrespondenz mit H. Hübner, Infineon Technologies AG.* 2005

[139] KOHN, E. ; ADAMSCHIK, M. ; ALEKSOV, A. ; DENISENKO, A. ; JANISCHOWSKY, C. ; HERNANDEZ-GUILLEN, F. ; KAISER, A. ; KASU, M. ; KUBOVIC, M. ; KUSTERER, J. ; MÜLLER, R. ; SCHMID, P.: Diamond Technology for MEMS and Electronics. In: *11th*

International Conference:"Mixed Design of Integrated Circuits and Systems" MIXDES 2004. Szczecin, Poland. June 24-26 (2004)

[140] ALEKSOV, Aleksandar: *Konzepte und Technologie für diamantbasierende Feldeffekttransistoren*, Universität Ulm, Fakultät für Ingenieurwissenschaften, Abt. EBS, Diss., 2002

[141] KRAUSS, A.R. ; AUCIELLO, O. ; GRÜN, D.M. ; JAYATISSA, A. ; SUMANT, A. ; TUCEK, J. ; MANCINI, D.C. ; MOLDOVAN, N. ; ERDEMIR, A. ; ERSOY, D.: Ultrananocrystalline diamond thin films for MEMS and moving mechanical assembly devices. In: *Diamond and Related Materials* 10 (2001), S. 1952–1961

[142] ZHOU, D. ; GRUEN, D.M. ; QIN, L.C. ; MCCAULEY, T.G. ; KRAUSS, A.R.: Control of diamond film microstructure by Ar additions to CH4/H2 microwave plasmas. In: *Journal of Applied Physics* 84 (1998), S. 1981–1989

[143] GERBI, J.E. ; BIRRELL, J. ; SARDELA, M. ; CARLISLE, J.A.: Macrotexture and growth chemistry in ultrananocrystalline diamond thin films. In: *Thin Solid Films* 473 (2005), S. 41–48

[144] BAUER, T. ; GSELL, S. ; SCHRECK, M. ; GOLDFUSS, J. ; LETTIERI, J. ; SCHLOM, D.G. ; STRITZKER, B.: Growth of epitaxial diamond on silicon via iridium/SrTiO3 buffer layers. In: *Diamond and Related Materials* 14 (2005), S. 314–317

[145] ANTHONY, T.R.: Metastable synthesis of diamond. In: *Vacuum* 41 (1990), S. 1356–1359

[146] JANISCHOWSKY, K.: *Wachstum hochorientierter Diamantschichten auf Silizium mittles Hot Filament CVD*, Friedrich Alexander Universität Erlangen-Nürnberg, Fakultät für Naturwissenschaften, Diss., 2003

[147] LEE, S.T. ; LIN, Z. ; JIANG, X.: CVD diamond films: nucleation and growth. In: *Materials Science and Engineering: R: Reports* 25 (1999), S. 123–154

[148] LEVINSHTEIN, M. ; RUMYANTSEV, S. ; SHUR, M.: *Handbook Series on Semiconductor Parameters Vol.1*. Bd. 1. World Scientific Publishing Co. Pte. Ltd., 1996

[149] DAVIES, Gordon: *Properties and growth of diamond*. INSPEC, Institution of Electrical Engineers, 1994

[150] BORST, T.H.: *Dotierte homoepitaktische Diamantschichten*, Universität Ulm, Fakultät für Naturwissenschaften und Mathematik, Diss., 1995

[151] LI, B.B. ; TOSIN, M.C. ; PETERLEVITZ, A.C. ; BARANAUSKAS, V.: Measurement of the substitutional nitrogen activation energy in diamond films. In: *Applied Physics Letters* 73 (1998), S. 812–814

[152] COLLINS, A.T.: Diamond electronic devices – a critical appraisal. In: *Semiconductor Science and Technology* 4 (1989), S. 605–611

[153] INUSHIMA, T. ; MATSUSHITA, T. ; OHYA, S. ; SHIOMI, H.: Hopping conduction via the excited states of boron in p-type diamond. In: *Diamond and Related Materials* 9 (2000), S. 1066–1070

[154] WERNER, M. ; LOCHER, R. ; KOHLY, W. ; HOLMER, D.S. ; KLOSE, S. ; FECHT, H.J.: The Diamond Irvin Curve. In: *Diamond and Related Materials* 6 (1997), S. 308–313

[155] FUJIMORI, N. ; NAKAHATA, H. ; IMAI, T.: Properties of Boron-Doped Epitaxial Diamond Films. In: *Japn. J. Appl. Physics* 29 (1990), S. 824–827

[156] ISBERG, J. ; HAMMERSBERG, J. ; JOHANSSON, E. ; WIKSTRÖM, T. ; TWITCHEN, D.J. ; WHITEHEAD, A.J. ; COE, S.E. ; SCARSBROOK, G.A.: High Carrier Mobility in Single-Crystal Plasma-Deposited Diamond. In: *Science* 297 (2002), September, S. 1670–1672

[157] COLLINS, A.T.: The electrical and optical properties of thin film diamond. In: *Ceramics International* 22 (1996), S. 321–327

[158] HERNANDEZ-GUILLEN, F.J. ; JANISCHOWSKY, K. ; KUSTERER, J. ; EBERT, W. ; KOHN, E.: Mechanical characterization and stress engineering of nanocrystalline diamond films for MEMS applications. In: *Diamond and Related Materials* 14 (2005), S. 411–415

[159] *Ioffe Physico-Technical Institute, http://www.ioffe.rssi.ru/SVA/NSM/Semicond*

[160] HERNANDEZ-GUILLEN, F.J. ; JANISCHOWSKY, K. ; EBERT, W. ; KOHN, E.: Nanocrystalline diamond films for mechanical applications. In: *phys. stat. sol. (a)* 201 (2004), S. 2553–2557

[161] KOHN, O.: *Herstellung und Charakterisierung von Diamantsensoren zur UV-Strahlungsdetektion*, Universität Ulm, Diplomarbeit, 1998

[162] PEREIRA, L. ; PEREIRA, E. ; GOMES, H.: UV and visible photoconductivity of undoped diamond films: morphology and related electrical transport phenomena. In: *Diamond and Related Materials* 9 (2000), S. 1621–1625

[163] ROHRER, E. ; NEBEL, C.E. ; STUTZMANN, M. ; FLÖTER, A. ; ZACHAI, R. ; JIANG, X. ; KLAGES, C.-P.: Photoconductivity of undoped, nitrogen- and boron-doped CVD- and synthetic diamond. In: *Diamond and Related Materials* 7 (1998), S. 879–883

[164] INUSHIMA, T. ; OGASAWARA, A. ; SHIRAISHI, T. ; OHYA, S. ; KARASAWA, S. ; SHIOMI, H.: On the properties of impurity bands generated in P-type homoepitaxial diamond. In: *Diamond and Related Materials* 7 (1998), S. 874–878

[165] ALLERS, L. ; COLLINS, A.T.: Photoconductive spectroscopy of diamond grown by chemical vapor deposition. In: *Journal of Applied Physics* 77 (1995), S. 3879–3884

[166] DENHAM, P. ; LIGHTOWLERS, E.C. ; DEAN, P.J.: Ultraviolet Intrinsic and Extrinsic Photoconductivity of Natural Diamond. In: *Physical Review* 161 (1967), S. 762–768

[167] NESLADEK, M. ; MEYKENS, K. ; STALS, L.M. ; VANECEK, M. ; ROSA, J.: Origin of characteristic subgap optical absorption in CVD diamond films. In: *Physical Review B* 54 (1996), August, S. 5552–5561

[168] KEBLINSKI, P. ; WOLF, D. ; CLERI, F. ; PHILLPOT, S.R. ; GLEITER, H.: On the Nature of Grain Boundaries in Nanocrystalline Diamond. In: *MRS Bulletin* (1998), September, S. 36–41

[169] SETO, John Y.: The electrical properties of polycrystalline silicon films. In: *Journal of Applied Physics* 46 (1975), S. 5247–5570

[170] LU, N.C.C. ; GERZBERG, L. ; LU, C.Y. ; MEINDL, J.D.: In: *IEEE Transactions on Electron Devices* ED-28 (1981), S. 818

[171] MALT, D.M. ; VON WINDHEIM, J.A. ; WYNANDS, H.A. ; FOX, B.A.: Comparison of the electrical properties of simultaneously deposited homoepitaxial and polycrystalline diamond films. In: *Journal of Applied Physics* 77 (1975), S. 1536–1545

[172] GLUCHE, Peter: *Herstellung und Charakterisierung von Mikro-Sensoren und -Aktoren auf CVD Diamantschichten*, Universität Ulm, Diss., 2000

[173] THAIYOTIN, L. ; RATANAUDOMPISUT, E. ; PHETCHAKUL, T. ; CHEIRSIRIKUL, S. ; SUPADECH, S.: UV photodetector from Schottky diode diamond film. In: *Diamond and Related Materials* 11 (2002), S. 442–445

[174] LANSLEY, S.P. ; LOOI, H.J. ; WANG, y. ; WHITFIELD, M.D. ; JACKMAN, R.B.: A thin-film diamond phototransistor. In: *Applied Physics Letters* 74 (1999), S. 615–617

[175] EBELING, Karl J.: *Integrierte Optoelektronik: Wellenleiteroptik, Photonik, Halbleiter. 2. Auflage*. Springer-Verlag, 1992

[176] RAZEGHI, M. ; ROGALSKI, A.: Semiconductor ultraviolet detectors. In: *Journal of Applied Physics* 79 (1996), May, S. 7433–7473

[177] ROSE, A.: *Concepts in Photoconductivity and Allied Problems*. Wiley Interscience, New York, 1963

[178] HEIME, Klaus. *Elektronische Bauelemente*. Vorlesung an der Rheinisch-Westfälischen Hochschule Aachen, Institut für Halbleitertechnik, Lehrstuhl I, 1994

[179] PHILLIP, H.R. ; TAFT, E.A.: Kramers-Kronig Analysis of Reflectance Data for Diamond. In: *Physical Review* 136 (1964), S. A 1445– A 1448

[180] BARBERINI, L. ; CADEDDU, S. ; CARIA, M.: A new material for imaging in the UV: CVD Diamond. In: *Nuclear Instruments and Methods in Physics Research A* (2001), S. 127–137

[181] CIANCAGLIONI, I. ; SPAZIANI, F. ; ROSSI, M.C. ; CONTE, G. ; KONONENKO, V. ; RALCHENKO, V.: Diamond microstrip detector for deep UV imaging. In: *Diamond and Related Materials* 14 (2005), S. 526–530

[182] PACE, E. ; DE SIO, A.: Diamond detectors for space applications. In: *Nuclear Instruments and Methods in Physics Research A* 514 (2003), S. 93–99

[183] ALVAREZ, J. ; GODARD, A. ; KLEIDER, J.P. ; BERGONZO, P. ; TROMSON, D. ; SNIDERO, E. ; MER, C. ; RZEPKA, E. ; CHEVERRY, H.: Very high UV-visible selectivity in polycrystalline CVD diamond films. In: *Diamond and Related Materials* 13 (2004), S. 881–885

[184] SALVATORI, S. ; DELLA SCALA, A. ; ROSSI, M.C. ; CONTE, G.: Optimised contact-structures for metal-diamond-metal UV-detectors. In: *Diamond and Related Materials* 11 (2002), S. 458–462

[185] JIANG, W. ; AHN, J. ; CHUEN, C.Y. ; LOY, L.Y.: Conceptual development and characterization of a diamond-based ultraviolet detector. In: *Review of Scientific Instruments* 70 (1999), S. 1333–1340

[186] LEFEUVRE, E. ; ACHARD, J. ; CASTEX, M.C. ; SCHNEIDER, H. ; BEUILLE, C. ; TARDIEU, A.: Bulk photoconductivity of CVD diamond films for UV and XUV detection. In: *Diamond and Related Materials* 12 (2003), S. 642–646

[187] REMES, Z. ; PETERSEN, R. ; HAENEN, K. ; NESLADEK, M. ; D'OLIESLAEGER, M.: Mechanism of photoconductivity in intrinsic epitaxial CVD diamond studied by photocurrent spectroscopy and photocurrent decay measurements. In: *Diamond and Related Materials* 14 (2005), S. 556–560

[188] DI BENEDETTO, R. ; MARINELLI, M. ; MESSINA, G. ; MILANI, E. ; PACE, E. ; PAOLETTI, A. ; PINI, A. ; SANTANGELO, S. ; SCUDERI, S. ; TUCCIARONE, A. ; VERONA-RINATI, G. ; BONANNO, G.: Influence of metal-diamond interfaces on the response of UV photoconductors. In: *Diamond and Related Materials* 10 (2001), S. 698–705

[189] PACE, E. ; GALLUZZI, F. ; ROSSI, M.C. ; SALVATORI, S. ; MARINELLI, M. ; PAROLI, P.: Electro-optical properties of diamond thin films as UV photodetectors. In: *Nuclear Instruments and Methods in Physics Research A* 387 (1997), S. 255–258

[190] SLAPE, M. ; SZMIDT, J. ; SZCZESNY, A. ; SNIECIKOWSKI, P. ; CZARNACKI, W. ; DUDEK, M. ; TRACZYK, M. ; WERBOWY, A.: Ultra-thin nanocrystalline diamond detectors. In: *Diamond and Related Materials* 14 (2005), S. 125–128

[191] FRANCIS, D.: Thinning Wafers For Flip Chip Applications, High Density Interconnect. In: *Tru-Si Technologies. Bericht im Internet. www.trusi.com* (2005)

[192] *MicroChem Corporation. Nano PMGI Resists, data sheet.* 2002

[193] KIM, S.K. ; XUE, L. ; TIWARI, S.: Low Temperature Silicon Circuit Layering For Three-Dimensional Integration. In: *Prodeedings IEEE International SOI Conference* (2004)

[194] OBERHAMMER, Joachim ; NIKLAUS, Frank ; STEMME, Göran: Selective wafer-level adhesive bonding with benzocyclobutene for fabrication of cavities. In: *Sensors and Actuators, A: Physical* 105 (2003), Nr. 3, S. 297–304

[195] *Persönliche Korrespondenz mit Dow Deutschland Inc.* 2004

[196] *Dow Chemical Company. Processing Procedures for Dry-Etch CYCLOTENE Advanced Electronics Resins. (BCB 3000 series datasheet).* 2002

[197] NIKLAUS, Frank: *Adhesive Wafer Bonding for Microelectronic and Microelectromechanical Systems*, KTH Stockholm, Diss., 2002

[198] SCHAEPKENS, Marc: *Inductively Coupled Fluorocarbon Plasma Processing*, University at Albany, State University of New York, USA, Diss., 1999

[199] HWANG, G.S. ; GIAPISA, K.P.: The influence of electron temperature on pattern-dependent charging during etching in high-density plasmas. In: *Journal of Applied Physics* 81 (1997), April, S. 3433–3439

[200] MCNIE, M. ; PICKERING, C. ; RICKARD, A. ; YOUNG, I. ; HOPKINS, J. ; ASHRAF, H. ; MCAULEY, S. ; NICHOLLS, G. ; BARNETT, R. ; ROOZEBOOM, F. ; KEMMEREN, A. ; V.D.HEUVEL, E. ; VERHOEVEN, J. ; GORMLEY, C. ; SCHINA, P. ; DILUCIANO, C. ; KIIHAMÄKI, J.: Performance enhancement and evaluation of deep dry etching on a production cluster platform. In: *Report QinteQ, Worcestershire, UK (SPIE 4979-1)*

[201] FRENKEL, J.: On Pre-Breakdown Phenomena in Insulators and Electronic Semi-Conductors. In: *Physical Review* 54 (1938), S. 647–648

[202] AFANAS'EV, V.V. ; STESMANS, A.: Charge state of paramagnetic E'Centre in thermal SiO_2 layers on silicon. In: *J.Phys: Condens.* (2000)

[203] RICHARDSON, Owen W.: *The Emission of Electricity from Hot Bodies, 2nd Edition*. Longmans, Green and Company, 1921

[204] SIMMONS, J.G.: Poole-Frenkel Effect and Schottky Effect in Metal-Insulator-Metal Systems. In: *Physical Review* 155 (1967), S. 657–660

[205] KOWALSKY, W.: *Dielektrische Werkstoffe der Elektronik und Photonik*. B.G. Teubner Stuttgart, 1994

[206] FOWLER, R.H. ; NORDHEIM, L.: Electron Emission in Intense Electric Fields. In: *Proc. Roy. Soc.* 173 (1928)

[207] *Persönliche Korrespondenz mit Enthone Deutschland, Februar 2006*. 2006

[208] GLOOS, K. ; KOPPINEN, P.J. ; PEKOLA, J.P.: Properties of native ultrathin aluminium oxide tunnel barriers. In: *Journal of Physics: Condensed Matter* 15 (2003), Nr. 10, S. 1733–1746

[209] KISTER, J.: Introduction to Physics of Contact Resistance. In: *Proceedings Southwest Test Workshop, May 31st–June 3rd, 1998, San Diego, CA., USA* (1998)

[210] TROST, J. ; BRUNE, H. ; WINTTERLIN, J. ; BEHM, R.J. ; ERTL, G.: Interaction of oxygen with Al(111) at elevated temperatures. In: *Journal of Chemical Physics* 108 (1998), S. 1740–1747

[211] DAUMILLER, I.: *Herstellung und Charakterisierung hochtemperaturstabiler, Si-basierender Schottky-Kontakte auf Diamant*, Universität Ulm, Diplomarbeit, 1997

[212] KUCHLING, Horst: *Taschenbuch der Physik*. Fachbuchverlag Leipzig - Köln, 14. Auflage, 1994

Danksagung

Ohne die Mitwirkung einiger Personen, sei es durch praktische Unterstützung oder fachliche Diskussionen, wäre diese Arbeit nicht möglich gewesen. Dies sind zum größten Teil Mitglieder des Instituts für Elektronische Bauelemente und Schaltungen an der Universität Ulm, aber auch Projektpartner aus anderen Abteilungen oder der Industrie. Hier möchte ich die Gelegenheit nutzen, meinen Dank zum Ausdruck zu bringen.

Besonders bedanken möchte ich mich bei

- Prof. Dr.-Ing. E. Kohn für die ausgezeichnete Betreuung und hilfreiche fachliche Diskussionen während der Durchführung dieser Arbeit;
- Prof. Dr.-Ing. J. Burghartz, Institut für Mikroelektronik Stuttgart, für die Übernahme des Zweitgutachtens;
- Dipl.-Ing. A. Munding und Dipl.-Ing. P. Benkart für die kollegiale Zusammenarbeit bei der technologischen Entwicklung der 3D-Integration;
- Dipl.-Ing. M. Bschorr und Prof. Dr.-Ing. H.-J. Pfleiderer für die gute Zusammenarbeit im Projekt ”VisionIC”;
- Dr. H. Hübner (ehemals Infineon Technologies AG) für die Unterstützung bei technologischen Problemstellungen;
- Dr.-Ing. A. Heittmann und Prof. Dr. U. Ramacher (ehemals Infineon Technologies AG) für die ausgezeichnete Projektleitung bei ”VisionIC” mit vielen Freiräumen, um eigene Ideen zu verwirklichen;
- meinen Kollegen Dr. A. Denisenko, Dr. W. Ebert, Dipl.-Ing. J. Kusterer und Dr.-Ing. R. Müller, sowie M. Kubovic, F. Hernandez und H. El-Hajj die mit fruchtbaren Diskussionen und praktischen Hilfestellungen diese Arbeit unterstützt haben;
- Dr. A. Plettl, Abteilung Festkörperphysik, für die Durchführung von ASE-Ätzungen;
- den Studienarbeitern Dipl.-Ing. F. Kalb und D. Kück für die gute Zusammenarbeit und die geleistete Arbeit;

- Dipl.-Phys. G.M. Prinz und Prof. Dr. R. Sauer für die Unterstützung bei den Messungen der integrierten UV-Sensoren;
- A. Schreiber der bei sämtlichen Anlagenproblemen, Umbauten und Neubauten sofort mit Rat und Tat bereit stand;
- Y. Men für die Herstellung der nicht immer unproblematischen Photomasken und die gute Zusammenarbeit;
- D. Kinzler für die Hilfe bei technischen Problemen im Reinraum;
- meiner Frau Kerstin die mich immer unterstützt hat und meistens verständnisvoll war, wenn es mal wieder etwas später wurde;
- meinen Eltern die durch ihre Unterstützung während des Studiums diese Promotion erst ermöglicht haben.

Lebenslauf

Name:	Kaiser	Alexander
Geboren:	10.02.1974	Biberach a. d. Riß
Eltern:	Kaiser	Elfriede, geb. Maigler
	Kaiser	Josef Martin
Familienstand:		verheiratet

Schulbildung:	1980 – 1984	Grund- und Hauptschule Schemmerhofen
	1984 – 1990	Dollinger Realschule Biberach
	1990 – 1993	Technisches Gymnasium Biberach/Riß
Wehrdienst:	1993 – 1994	Budel, Niederlande und Landsberg am Lech
Studium:	1994 – 2000	Elektrotechnik, Universität Ulm Studienrichtung Mikroelektronik
Tätigkeiten:	12/2000 – 04/2002	Zentrum für DNA-, Oberflächen- und Mikro-systemtechnologie (ZEDOM), Universität Ulm
	05/2002 – 12/2006	Promotion am Institut für Elektronische Bauelemente und Schaltungen, Universität Ulm
	05/2005 – 12/2006	Projektleiter, Diamantbasierende Feldeffekttransistoren Institut für Elektronische Bauelemente und Schaltungen
	seit 01/2007	Reinhardt Microtech GmbH

Ulm, den 02. Mai 2007