Reduktion der Verlustleistung von ICs durch eine chipintegrierte Versorgungsspannungsregelung mit einem Boost-Konverter

Dissertation
zur Erlangung des akademischen Grades eines
Doktor-Ingenieurs (Dr.-Ing.)
der Fakultät für Ingenieurwissenschaften
der Universität Ulm

von
Ralf Markus Altherr
aus Krumbach

1. Gutachter:	Prof. Dr.-Ing. H.-J. Pfleiderer
2. Gutachter:	Prof. Dr. rer. nat. D. Schmitt-Landsiedel
Amtierender Dekan:	Prof. Dr.-Ing. H.-J. Pfleiderer
Datum der Promotion:	27.05.2002

2002

Danksagung

Die Forschungsarbeiten zur Dissertation wurden in der Abteilung Allgemeine Elektrotechnik und Mikroelektronik an der Universität Ulm durchgeführt.

Für die anregenden Diskussionen und den wertvollen Wissensaustausch im fachlichen als auch im didaktischen Bereich möchte ich im Besonderen Herrn Prof. H.-J. Pfleiderer danken.

Durch die Förderung des Projekts von der Deutschen Forschungsgemeinschaft (DFG) entstanden sehr interessante und hoffentlich für jeden Teilnehmer auch fruchtbare Kooperationen. Hierzu einen herzlichen Dank an die Forschergruppen von Herrn Prof. K. Goser, Herrn Prof. J. Götze, Herrn Prof. H.-J. Wunderlich und vor allem von Frau Prof. D. Schmitt-Landsiedel, welche durch die Überschneidung der Forschung für tiefergehende Diskussionen stets freundlich und aufgeschlossen war.

Herrn PD O. Sawodny von der Abt. Mess-, Regel- und Mikrotechnik und Herrn Prof. J. Xie von der Abt. Energiewandlung und -speicherung danke ich für die angenehme Atmosphäre bei der vorerst letzten Prüfung an der Universität.

Für ein motiviertes Arbeiten gehört für mich u.a. ein angenehmes Arbeitsklima dazu, welches durch die netten/heiteren und auch fachlichen Gespräche mit den Mitarbeitern von Nachbarabteilungen sowie den Abteilungskollegen geschaffen wurde. Die Offenheit der Kollegen und die vielen privaten Aktivitäten mit ihnen möchte ich hervorheben und hoffe, dass dies weiterhin gepflegt wird.

Um mein inneres Gleichgewicht zu bewahren und Tiefschläge zu verdauen, sind mir Treffen mit Freunden und sportliche Aktivitäten wichtig. Für dessen Verständnis und für die gemeinsamen Unternehmungen ein Danke Schön zu allererst meinen Eltern und meiner Schwester mit Familie, aber auch Andrea Herbert, den vielen netten Tanzfreunden von Salsa und Standard/Latein, dem großen Sport- und Freizeit-Freundeskreis mit Skifahren und Wandern sowie den vielen Freunden aus den Sportvereinen und in den Städten Deutschlands verstreut.

Zum Schluß auch all denjenigen einen herzlichen Dank, die sich hier (aus Platzmangel) nicht wiederfinden, jedoch ebenfalls Anteil an meiner erfahrungsreichen Promotionszeit hatten.

Inhaltsverzeichnis

1 Einleitung **1**

2 Verlustleistung **3**

2.1 Anteile in CMOS-Schaltungen 3

2.2 Einfluss auf Systementwurf 7

2.3 Verringerung durch chipinterne Versorgungsspannung 8

3 Verhalten integrierter CMOS-Schaltungen (IC's) **11**

3.1 Layout eines ICs 11

3.2 Längster Signalpfad (kritischer Pfad) 12

3.3 Parameterschwankungen 13

3.3.1 Betriebsparameter 13

3.3.2 Prozessparameter 14

3.4 Laufzeitschwankungen des kritischen Pfads 15

3.5 Verlustleistungsreduktion 17

4 Spannungsversorgung **21**

4.1 Belastung der Spannungsversorgung durch das IC 21

4.2 Spannungsversorgung mit dem chipinternen Spannungsregler 24

4.3 Spannungsregler 24

4.3.1 Linearregler 25

4.3.2 Schaltnetzteile 26

4.3.2.1 Ladungspumpe (Switched Capacitor Konverter) 26

4.3.2.2 Abwärts-Wandler (Buck-Konverter) 27

4.3.2.3 Aufwärts-Wandler (Boost-Konverter) 28

4.3.2.4 Resonanzwandler 29
4.3.3 Sonstige Konzepte 30
4.3.4 Gegenüberstellung und Bewertung 30

5 Adaptive chipinterne Spannungsregelung 35
5.1 Adaptive Spannungsregelung 35
5.1.1 Bekannte Konzepte 35
5.1.2 Vorstellung des eigenes Projekt 37
5.2 Messgrößen 41
5.2.1 Signallaufzeit des kritischen Pfads 41
5.2.1.1 Pfadlängenverteilung 41
5.2.1.2 Unsicherheit bei örtlicher Lage des kritischen Pfads 42
5.2.1.3 Laufzeitmessung direkt am kritischen Pfad 43
5.2.1.4 Nachbildung eines kritischen Pfads 44
5.2.1.5 Abgleich der Nachbildung mit kritischem Pfad 46
5.2.2 Chiptemperatur 47
5.3 Aufwärts-Wandler 48
5.3.1 Funktionsbeschreibung und Spezifikation 48
5.3.2 Realisierung einer Induktivität 52
5.3.3 Realisierung einer Kapazität 56
5.3.4 Bestimmung der Bauteilwerte für die Induktivität und Kapazität 59
5.4 Entwurf der Regelung 61
5.4.1 Boost-Konverter 62
5.4.2 Laufzeitmessung und Generierung der Laufzeitdifferenz zum Taktsignal des digitalen Systems 62
5.4.3 Digitale Signale am Ein- und Ausgang des Reglers 62
5.4.4 Reglerentwurf 63
5.5 Gesamter Regelkreis auf dem Chip 65

6 Schaltungsentwurf 67
6.1 Boost-Konverter 67
6.1.1 PMOS-Steuerung 68
6.1.2 Treiber 70

6.1.3 Dämpfungsglied 71
6.1.4 Induktivität am Eingang des Boost-Konverters 72
6.1.5 Kapazität am Ausgang des Boost-Konverters 72
6.2 Nachbildung des kritischen Pfads 74
6.3 Laufzeit-Differenz-Messung 76
6.4 Reglerschaltung 79
6.4.1 Verstärkung und Bereichsdetektor 79
6.4.2 Regelalgorithmus 82
6.4.3 Berechnung Reglerausgang 83
6.5 PWM-Erzeugung 83
6.6 Einschaltvorgang 85
6.7 Abgleich 86
6.8 Temperaturmessung auf dem Chip 88

7 Simulationsergebnisse **91**
7.1 Regelverhalten 91
7.1.1 Regelverhalten bei worst case Paramtern 91
7.1.2 Regelverhalten bei best case Parametern 93
7.2 Einschaltvorgang 94
7.3 Wirkungsgrad 95
7.4 Flächenbedarf 97

8 Zusammenfassung **99**

A Anhang **103**
A.1 Mathematische Beschreibungen zum Boost-Konverter 103
A.2 Verlustleistungsquellen im Boost-Konverter 105
A.3 Gleichungen zum Entwurf der Regelung 111
A.4 Daten und Gleichungen zu Leiterbahnen 113
A.5 Modell des digitalen Systems 115
A.6 Abkürzungen 117

Kapitel 1

Einleitung

In der Vergangenheit wurde die Entwicklung der CMOS-Technologie durch die Forderung nach gesteigerter Funktionalität und erhöhter Verarbeitungsgeschwindigkeit von Daten in integrierten Schaltungen (ICs) vorangetrieben. Dabei war eine stetige Verkleinerung der Strukturen auf dem Chip und eine gleichbleibende Versorgungsspannung („constant voltage scaling") über Technologiegenerationen hinweg zu beobachten.

Zur Begrenzung der elektrischen Feldstärke über dem Gateoxid von MOS-Transistoren, welche an die Grenzen eines dielektrischen Durchbruchs gelangte, wurde etwa nach 1998 eine Skalierung bei konstanter elektrischen Feldstärke („constant field scaling") [1, 2] vorgenommen. Zwischen zwei aufeinanderfolgende Technologien wurde damit sowohl die Versorgungsspannung V_{DD} als auch die Chipstrukturen mit dem Faktor $s = 0,7$ skaliert [3, 4]. Zugleich wurde mit dem Übergang auf die Skalierung bei kontantem elektrischen Feld das Verhältnis von eingesetzter Energie zur Leistungsfähigkeit der ICs verbessert.

Obwohl diese Skalierungstechnik einem Anstieg der Verlustleistung in ICs entgegegen wirkt, ist bei komplexen und leistungsfähigen ICs dennoch eine Erhöhung der Verlustleistung zu erkennen [5]. Damit einhergehend nimmt der Aufwand für die Kühlung dieser Bauelemente zu [6].

In den vergangenen Jahren war desweiteren ein wachsender Marktanteil von tragbaren batteriebetriebenen Geräten wie z.B. mobile Telefone, Laptops, Organizer usw. erkennbar. Diese Geräte weisen üblicherweise einen Leistungsverbrauch von wenigen Watt auf [5]. Ein höherer Verbrauch steht der begrenzten Batteriekapazität und einer möglichst langen Betriebsdauer des Geräts entgegen [7].

Da integrierte Schaltkreise zum einen immer mehr Anwendung in tragbaren batteriebetriebenen Geräten finden und man zum anderen bestrebt ist, den Aufwand (Kosten) für die Kühlung der Bauelemente gering zu halten, werden verstärkt verlustleistungsreduzierende Maßnahmen beim Schaltungsentwurf eingesetzt. Die Ansätze zur Verringerung der Verlustleistung erstrecken sich über sämtliche Entwurfsebenen [8].

Als einen sehr wirkungsvollen Ansatz bietet sich die Reduzierung der Versorgungsspannung des ICs an. Durch die Abhängigkeit der in Digitalschaltungen dominierenden dynamischen

Verlustleistung $P_{Dyn} \propto V_{DD}^2$ von dem Quadrat der Versorgungspannung V_{DD}, ist über eine Spannungsreduktion eine starke Verringerung der Verlustleistung zu erreichen.

Die Versorgungsspannung hat desweiteren Einfluss auf das Schaltverhalten in integrierten Schaltungen. Betriebsparameter wie die Versorgungsspannung und die Chiptemperatur sowie Bauteilparameter, die durch den Herstellungsprozess bestimmt sind, wirken sich auf die Laufzeit der Datensignale aus.

Um eine einwandfreie Funktion des ICs für den gesamten Bereich von zulässigen Betriebs- und Prozessparametern zu gewährleisten (robuster Schaltungsentwurf), muss beim Entwurf der integrierten Schaltung dessen Verhalten für die zu erwartenden Parametersituationen getestet werden. Für die Laufzeit von Signalpfaden in der Schaltung muss gelten, dass für schlechteste Bedingungen keine Pfadlaufzeit die Taktperiode des Systems überschreitet. Die in dieser Forschungsarbeit betrachteten digitalen CMOS-Schaltungen werden üblicherweise mit einem synchronen Systemtakt betrieben. Durch das synchrone Taktsignal wird der Datenfluss durch die Schaltungsblöcke im IC gesteuert. Die Systemtaktfrequenz weist nahezu keine Schwankungen auf.

Die auftretenden Schwankungen von Betriebs- und Prozessparameter können zu unterschiedlichen Pfadlaufzeiten in ICs führen. Weist eine Schaltung aufgrund guter Betriebsbedingungen und guter Bauteileigenschaften kleine Pfadlaufzeiten auf, so ist eine Reduktion der Versorgungsspannung möglich, ohne die Funktion der Schaltung zu beeinträchtigen. Bei Schaltungen mit besten Betriebs- und Prozessparameter ist eine Verringerung der Verlustleistung um 70% möglich.

In vorliegender Dissertation wird eine Spannungsregelung vorgestellt, welche die chipinterne Versorgungsspannung in Abhängigkeit der Pfadlaufzeiten im IC regelt. Durch die Integration der Spannungsregelung zusammen mit der zu versorgenden digitalen CMOS-Schaltung auf dem Chip, erfolgt eine chipindividuelle Reduktion der Verlustleistung. Die chipinterne Versorgungsspannung wird von einem auf dem Chip integrierten Boost-Konverter generiert. Eine stetig wiederholende Laufzeitmessung im Chip erfasst Änderungen der Betriebsbedingungen wie z.B. die Temperatur. Die Spannung im IC wird entsprechend diesen Messungen adaptiv geregelt.

Das nachfolgende Kapitel 2 führt in die Verlustleistungsanteile von CMOS-Schaltungen ein. Die Abhängigkeit der Signallaufzeiten von den Betriebs- und Prozessparametern wird mit dem Aufzeigen der Möglichkeiten zur Reduktion der Verlustleistung von CMOS-Schaltungen in Kapitel 3 behandelt. Kapitel 4 geht auf die Spannungsversorgung von ICs ein und stellt verschiedene Spannungsregler vor. Die adaptive chipinterne Spannungsregelung mit allen zugehörigen Schaltungsmodulen wird in Kapitel 5 ausführlich erklärt und in Kapitel 6 der Entwurf der gesamten Spannungsregelung vorgestellt. Das Verhalten der Spannungsregelung sowie der Wirkungsgrad und der Flächenbedarf der entworfenen Schaltung zur Spannungsregelung ist in Kapitel 7 dargestellt. Eine Zusammenfassung der Arbeit schließt sich in Kapitel 8 an.

Kapitel 2

Verlustleistung

2.1 Anteile in CMOS-Schaltungen

Ein Großteil der heutigen integrierten Schaltungen wird in CMOS-Technologie[1] gefertigt. Als wesentlichen Vorteil gegenüber der Bipolar-Technologie erzeugt eine Digitalschaltung in CMOS-Technologie im stationären Zustand (kein Signalwechsel) nahezu keine Verlustleistung. Diese Eigenschaft von CMOS-Schaltungen kommt vor allem bei den heutigen komplexen Digitalschaltungen [5] zu tragen, wenn man bedenkt, dass der Anteil der Digitalschaltungen gegenüber den Analogschaltungen dominiert [9].

CMOS-Technologie

Das Querschnittsbild zeigt die Struktur von MOS-Transistoren (Bild 2.1). Dargestellt ist ein N-Wannen-Prozess, bei dem der P-Kanal-MOS-Transistor (PMOS) in der N-Wanne eingebettet ist und der N-Kanal-MOS-Transistor im p-Substrat liegt. Die Drain und Source Anschlüsse der MOS-Transistoren befinden sich bei den n^+ bzw. p^+ Diffusionsgebieten. Unterhalb der Polysilizium Leiterbahn bildet sich im leitenden Zustand ein niederohmiger Kanal aus. Die Verbindung der Transistoranschlüsse erfolgt mit einer Verdrahtung auf verschiedenen Metallebenen. Über Vias findet die Kontaktierung übereinander liegender Metallebenen statt.

Die Metalllagen direkt oberhalb der Halbleiterbauelement-Ebene (enthält NMOS, PMOS, Halbleiterwiderstände, Gateoxidkapazitäten, usw.) werden für kurze Verbindungen benachbarter Strukturen verwendet. Die oberen Metallagen dienen für Leitungsführungen über größere Distanzen innerhalb des Chips. Die Dicke der Metallagen nimmt für höhere Metallebenen zu, um die Leitungswiderstände bei längeren Verbindungswegen gering zu halten.

Neben den erwünschten elektrischen Eigenschaften der auf dem Chip implementierten Bauelemente sind parasitäre Effekte (= unerwünschte Einflüsse) nicht zu vermeiden. Die MOS-Transistoren weisen an den Übergängen der Halbleiterschichten (p/n-Übergänge) als auch über dem Gateoxid kapazitive Elemente auf, die mit C_J=Diffusionskapazität, $C_{\ddot{U}}$=Überlappkapazität

[1] CMOS = Complementary Metal Oxid Semiconductor

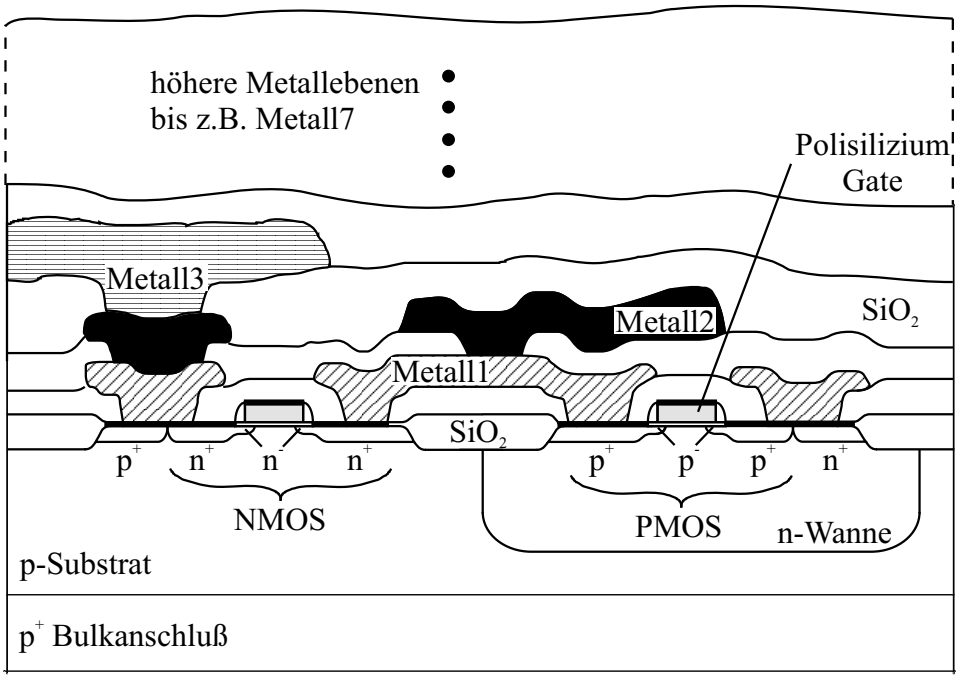


Abbildung 2.1: Querschnitt einer CMOS-Schaltung (Inverter).

zwischen Gate- und Diffusionsgebiet und C_G=Gatekapazität bezeichnet werden. Zwischen den Metallagen, sowie zum Substrat hin, bilden sich ebenfalls nicht zu vernachlässigende parasitäre Kapazitäten aus.

Desweiteren sind parasitäre Komponenten, wie der ohmsche und induktive Anteil der Metallbahnen vorhanden. Die parasitären Kapazitäten und Widerstände werden bei realitätsnahen Simulationen des Zeitverhaltens von Schaltungen berücksichtigt wobei die induktiven Beiträge heute nur in speziellen Betrachtungen wie z.B. bei der Dimensionierung des Versorgungsnetztes im Chip (siehe auch Kapitel 4.1) eingehen.

Ursachen für die Verlustleistung

In der Digitaltechnik werden gewöhnlich zwei logische Grundzustände der Signale, nämlich '1' und '0' unterschieden. Das Anliegen der Versorgungsspannung V_{DD} (technologiespezifisch z.B. $V_{DD} = 3,3V$) wird als logischer Zustand '1' interpretiert und eine Spannung von $0V$ (= GND, Bezugspotential) entsprechend dem logischen Zustand '0' zugeordnet. Die Funktion von Logikschaltungen wird mit Wahrheitstabellen oder anhand von boolschen Gleichungen unter Verwendung der beiden logischen Signalzustände beschrieben. Im stationären Fall (kein Signalwechsel an den Knoten) weisen die Ein- und Ausgänge der CMOS-Schaltungen entweder die Spannung V_{DD} oder $0V$ auf. Wird das dynamische (zeitabhängige) Verhalten der Schaltung betrachtet, so können als Folge eines Signalwechsels am Schaltungseingang an den internen Schaltungsknoten Signalübergänge auftreten, deren Amplitude und zeitlicher Verlauf unterschiedlich sind.

Anhand einer Inverterschaltung (Bild 2.2) soll beispielhaft das Auftreten von Verlustleistung in CMOS-Schaltungen erklärt werden.

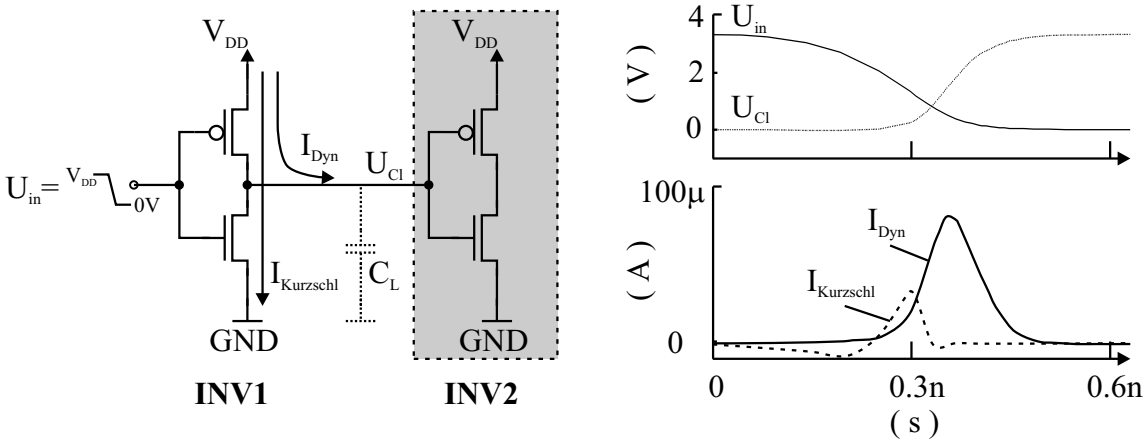


Abbildung 2.2: Schaltverhalten eines CMOS-Inverters.

Am Eingang des Inverters INV1 soll eine Spannung $U_{in} = V_{DD}$ ($\hat{=}$ logischer Zustand '1') anliegen. Damit ist der NMOS-Transistor leitend und der PMOS-Transistor gesperrt. Über den NMOS-Transistor bildet sich ein leitender Pfad aus, wodurch der Inverterausgang auf $0V$ gezogen wird. Das Signal am Ausgang von INV1 soll auf den Eingang eines zweiten Inverters führen. INV2 dient hier lediglich als Belastung des Ausgangs von INV1.

Statische Verlustleistung

Findet kein Signalwechsel am Eingang von INV1 statt, wird dennoch ein geringer Stromfluss an der Versorgungsspanung V_{DD} festzustellen sein. Dieser Stromfluss führt zur statischen Verlustleistung P_{Stat} und hat zwei Ursachen:

1. Zwischen den hochdotierten Diffusionsgebieten und dem Substrat bzw. dem Wannengebiet bilden sich Sperrschichtdioden aus, über die geringe Leckströme fließen. Die Leckströme können über die Diodenströme beschrieben werden [6].

$$I_d = I_S(\exp\frac{qV_{diode}}{nkT} - 1); \qquad P_{S1} = \sum_i I_{d,i} \times V_{DD} \tag{2.1}$$

2. Bei Anliegen einer Gate-Source-Spannung von $|U_{GS}| < |U_{Th}|$ befindet sich ein MOS-Transistor im Sperrbereich. Der Strom durch den Kanal wird gewöhnlich zu $I_{DS} = 0A$ angenommen. Tatsächlich fließt jedoch noch ein Unterschwellenstrom zwischen dem Drain- und Source-Anschluss, welcher für $|U_{DS}| > |U_{Th}|$ näherungsweise mit

$$I_{DS} = I_0 \frac{W_{eff}}{W_0} 10 \frac{U_{GS} - U_{Th}}{S}; \qquad P_{S2} = I_{DS,avg} \times V_{DD} \tag{2.2}$$

ausgedrückt werden kann [6, 10]. Die statische Verlustleistung P_{S2} hierzu wird mit dem mittleren Unterschwellenstrom angegeben.

Die gesamte statische Verlustleistung ergibt sich aus der Summe:

$$P_{Stat} = P_{S1} + P_{S2} \tag{2.3}$$

Am Invertereingang von INV1 soll nun ein Signalwechsel von $U_{in} = {}^{V_{DD}}\!\searrow_{0V}$ betrachtet werden (s. Bild 2.2). Während des Signalwechsels nimmt der Stromfluss durch den NMOS-Transistor ab und der PMOS-Transistor beginnt zu leiten. Bei $U_{in} = 0V$ liegt ein Strompfad von V_{DD} über den PMOS-Transistor zum Inverterausgang vor, wodurch die parasitären Kapazitäten am Inverterausgang auf V_{DD} geladen werden.

Verlustleistung aufgrund von Kurzschlussströmen

Liegt die Eingangsspannung von INV1 zwischen $(V_{DD} - U_{Th_p}) \geq U_{in} \geq U_{Th_n}$ ($U_{Th_{n,p}}$= Schwellwertspannung von NMOS- bzw. PMOS-Transistor), so sind beide Transistoren leitend und es fließt ein Kurzschlussstrom $I_{Kurzschl}$ von V_{DD} nach GND. Die dadurch entstehende Verlustleistung ist abhängig von der Amplitude des Kurzschlussstromes und der Zeitdauer, wie lange ein Kurzschlusspfad besteht. Ersteres wird durch die Dimensionierung der Transistoren bestimmt und die Zeitdauer ist abhängig von der Anstiegs- bzw. Abfallzeit der Eingangsflanke ($\hat{=}\ \tau_{in}$). Für ein pulsförmige Eingangssignal mit der Frequenz f_{Clk} erhält man somit die Verlustleistung durch Kurzschlussströme [6] von

$$P_{Kurzschl} = \frac{\beta}{12}(V_{DD} - 2U_{Th})^3 \tau_{in} f_{Clk} \tag{2.4}$$

Dynamische Verlustleistung

Durch den Eingangssignalwechsel folgt ein Laden der parasitären Kapazitäten am Inverterausgang auf V_{DD}. Die umzuladende Kapazität C_L enthält die parasitären Kapazitäten der Transistoren des schaltenden Inverters INV1, die parasitären Kapazitäten der Verbindungsleitung zum nachfolgenden Gatter (INV2) und die Eingangskapazität von INV2, welche sich wiederum aus den parasitären Kapazitäten der MOS-Transistoren ergibt.

Analog zu dieser Situation bildet sich bei einem entgegengesetzten Eingangssignalwechsel von $U_{in} = {}_{0V}\!\nearrow^{V_{DD}}$ ein Entladepfad über den NMOS-Transistor aus und die parasitäre Kapazitäte C_L am Inverterausgang wird auf $0V$ entladen.

Betrachtet man eine Lade- und Entladephase in einer Taktperiode der Frequenz f_{Clk}, so ergibt sich eine dynamische Verlustleistung [6] von

$$P_{Dyn} = C_L f_{Clk} V_{DD}^2 \tag{2.5}$$

Die gesamte beim Schalten einer CMOS-Schaltung auftretende Verlustleistung $P_{V,\,ges}$ ergibt sich somit aus den 3 Teilen:

$$P_{V,\,ges} = P_{Stat} + P_{Kurzschl} + P_{Dyn} \tag{2.6}$$

Im allgemeinen stellt die dynamische Verlustleistung den größten Anteil der Gesamtverlustleisung dar. Durch die Verringerung der Schwellwertspannung U_{Th}, wie es bei „High-Performance"-Schaltungen zu beobachten ist [11], wird die statische Verlustleistung erheblich zunehmen. Weist die integrierte Schaltung jedoch eine hohe Schaltaktivität auf, so wird weiterhin die dynamische Verlustleistung im Verhältnis zur statischen Verlustleistung überwiegen. Die Verlustleistung aufgrund von Kurzschlussströmen bewegt sich im Bereich von 10%-20% der dynamischen Verlustleistung [6], sofern steile Signalflanken ($\tau_{in} < 10\% \frac{1}{f_{Clk}}$) vorliegen.

2.2 Einfluss auf Systementwurf

Die zu erwartende Verlustleistung einer integrierten Schaltung beim Betrieb muss vor allem bei der Auslegung der Stromversorgung berücksichtig werden. Darüber hinaus wirkt sich die Verlustleistung auf verschiedene andere Gebiete aus, die bei der Entwicklung eines Systems eingehen.

Die auftretende Verlustleistung P_V einer Schaltung kann in zwei Komponenten geteilt werden[12]:

$$P_V \in P_{AVG} \text{ und } P_{Peak} \tag{2.7}$$

1. P_{AVG} ist der Anteil, welcher beim „Normalbetrieb" der Schaltung stets vorhanden ist.
2. P_{Peak} wird hervorgerufen durch einen kurzzeitigen Aktivitätsanstieg z.B. aufgrund eines erhöhten Bedarfs an Rechenleistung.

Da P_{AVG} den kontinuierlichen Leistungsbedarf angibt, wirkt sich dieser Anteil vor allem auf die Wärmeentwicklung des ICs und auf die Betriebsdauer der Schaltung bei begrenzter Energiebereitstellung (Batterie) aus. Die Wärme am IC-Gehäuse wirft die Frage nach der Notwendigkeit und Ausführung einer Kühlung auf. Abhängig vom Wert P_{AVG} ergibt sich der Aufwand für benötigte Kühlkomponenten, die sich sowohl in zusätzlichen Kosten als auch in einem erhöhten Flächenverbrauch auswirken. Die Verwendung einer aktiven Kühlung mit Lüftern zieht eine Erhöhung der Geräuschentwicklung nach sich, welche bei portablen Geräten störend und damit nachteilig für die Wettbewerbsfähigkeit des Gerätes sein kann. Ebenso kann die Betriebsdauer eines Gerätes stark in dessen Vermarktung eingehen, wie es z.B. bei Mobiltelefonen und Organizern zu beobachten ist. Der Einsatz von neuen Batteriearten mit hohen Speicherkapazitäten kann die Betriebsdauer zwar erhöhen, jedoch sind damit Mehrkosten gegenüber Batterien geringerer Kapazität verbunden. Ein anderer Effekt, welcher mit P_{AVG} korreliert ist die Alterung des ICs. Hohe Temperaturen im Chip führen zu einem stärkeren Alterungsprozess in den Halbleiterbauelementen, welcher die Lebensdauer des ICs verkürzen kann.

Der zweite Term P_{Peak} in Gleichung 2.7 erfasst Verlustleistungsspitzen, die nur kurze Zeitperioden anfallen. Ursache dafür ist eine Stromerhöhung durch Aktivitätsänderungen der CMOS-Schaltungen oder wechselnden Betriebsmoden bei „Power-Management"-Systemen [13]. Diese Leistungsspitzen müssen sowohl bei der Auslegung des Versorgungsnetzes im Chip als auch außerhalb auf der Schaltungsplatine (engl.: PCB) berücksichtigt werden.

Der maximal auftretende Stromwert in den Versorgungsleitungen gibt die Anzahl der notwendigen Versorgungspins am IC-Gehäuse vor. Die Strombelastbarkeit eines IC-Pins liegt bei etwa $I_{max} = 200mA/Pin$ [14]. Diese Einschränkung folgt aus Betrachtungen der Materialwanderung. Abhängig von der Verlustleistung der ICs ist bei heutigen auf dem Markt üblichen Baulementen festzustellen, dass 1/4 bis 2/3 [5] der gesamten Gehäusepins allein für die Versorgung des ICs reserviert sind und die verbleibenden Pins für Ein- und Ausgangssignale genutzt werden können. Betrachtet man zudem, dass an den Versorgungsanschlüssen der ICs oftmals noch Kapazitäten zur Spannungsstabilisierung plaziert werden müssen, wirkt sich der maximale Verlustleistungswert direkt in Kosten für Bauelemente und Fläche auf der Schaltungsplatine aus.

2.3 Verringerung durch chipinterne Versorgungsspannung

In Kapitel 2.1 wurde dargestellt, dass die Verlustleistung in ICs verschiedene Ursachen hat und Kapitel 2.2 zeigte die Auswirkungen der Verlustleistung auf die Entwicklung eines Gerätes.

Der Aspekt Verlustleistung gewinnt heutzutage neben der Geschwindigkeit und dem Flächenverbrauch einer integrierten Schaltung stark an Bedeutung. In Veröffentlichungen werden gehäuft Konzepte zur Reduktion der Verlustleistung vorgestellt. Dabei sind Ansätze für die verschiedensten Entwurfsebenen enthalten. Einen Überblick davon soll Tabelle 2.1 geben.

Tabelle 2.1: Verlustleistungsreduzierende Maßnahmen der verschiedenen Entwurfsebenen [8].

Hierarchieebene	Maßnahmen zur Verlustleistungsreduktion
System	„Power down" Strategien, Vermeidung unnötigen Datentransfers
Algorithmen	Reduktion der Schaltaktivität und der umzuladenden Kapazitäten
Architektur	Parallelisierung, Pipelining
Logik	Vermeidung von Glitches, Komonentenanpassung, „Charge sharing"
Bauteil/Prozeß	Platzierung der Transistoren, optimirte Dimensionierung, V_{Th}-Wahl

Um ein System mit geringster Verlustleistung zu entwerfen, sollten Maßnahmen der verschiedensten Entwurfsebenen während des Schaltungsentwurfs einbezogen werden. Ansätze der oberen Hierarchieebene (System-, Algorithmenebene) zeigen gegenüber denen der Bauteil- und Logikebene größere Wirkung zur Verringerung der Verlustleistung bei geringerem Aufwand an Zeit und Personal.

Aus den Verlustleistungsbetrachtungen von Kapitel 2.1 wurde resumiert, dass die dynamische Verlustleistung den dominanten Anteil der Gesamtverlustleistung einnimmt, vorausgesetzt die Schwellwertspannung ist nicht zu klein. Das Absenken der Schwellwertspannung führt zu kürzeren Signallaufzeiten, die vor allem bei „High Performance"-Schaltungen beabsichtigt sind. Für Schaltungen mit der Vorgabe geringer Verlustleistung („Low Power" und „handheld" ICs [11]) wie sie in dieser Forschungsarbeit betrachtet werden, liegt die Schwellwertspannung in Bereiche, bei denen die Verlustleistung aufgrund von Leckströmen gegenüber der dynamischen Verlustleistung vernachlässigbar ist.

Wie kann die dynamische Verlustleistung $P_{Dyn} = \alpha C_L f_{Clk} V_{DD}^2$ reduziert werden?

Betrachtung der einzelnen Terme in P_{Dyn} und Bewertung:

αC_L: Die Schaltaktivität α zusammen mit den gesamten umzuladenden Kapazitäten C_L auf dem Chip gibt den mittleren umzuladenden Kapazitätswert an.
Der Term αC_L ist schaltungsspezifisch und hängt vor allem von der Größe aber auch von der Architektur der Schaltung ab. Komplexe Digitalschaltungen werden oftmals mit Hilfe von Beschreibungssprachen wie VHDL oder Verilog entworfen. Die Synthese der Digitalschaltung übernimmt ein Programmpaket (z.B. Synopsis), welches aus einer Zellbibliothek die erfoderlichen Gatter entnimmt und eine Gatternetzliste erstellt. Die Synthese der Digitalschaltung kann für verschiedene Optimierungsaspekte und Einstellungen zum Verhalten der Schaltung erfolgen. Eine Optimierung bzgl. der Verlustleistung ist in den Softwarepaketen bereits standardmäßig enthalten und erfolgt unter Einbezug von verschiedenen Maßnahmen auf Algorithmen-, Architektur- und Logikebene (s. Tabelle 2.1).

f_{Clk}: Die Frequenz f_{Clk}, mit der eine Schaltung getaktet werden kann hängt von der Laufzeit des längsten Signalpfads (= kritischer Pfad) ab. Es wird dabei die Laufzeit durch kombinatorische Logik zwischen zwei Registern betrachtet. Bei der Spezifikation der zu entwerfenden Schaltung zu Beginn der Entwicklungsphase wird eine gewünschte Taktfrequenz vorgegeben. Beim Schaltungsentwurf muss die Zielvorgabe (kritische Pfad-Laufzeit < Taktperiode $T_{Clk} = 1/f_{Clk}$) durch Anwendung verschiedener Maßnahmen der Schaltungsentwurfsebenen erfüllt werden. Dabei wird der Entwickler durch Optimierungsalgorithmen in der Schaltungsentwurfs-Software unterstützt. Auf Technologieebene kann mit dem Übergang auf einen neuen Prozess mit kleinerer Stukturbreite eine Laufzeitverkürzung erreicht werden.

V_{DD}^2: Die Versorgungsspannung wird üblicherweise dem IC von außen über die Gehäusepins zugeführt. Jede Technologiegeneration ist für eine bestimmte Versorgungsspannung spezifiziert. Aufgrund der Skalierung bei konstantem elektrischen Feld wird für zukünftige Technologiegenerationen die Versorgungsspannung stetig abnehmen. Diese Entwicklung wirkt bereits dem Anstieg der Verlustleistung von ICs, wie er in der Vergangenheit zu beobachten war, entgegen.
Durch den quadratischen Einfluss von V_{DD} auf P_{Dyn} ist eine Verringerung der Verlustleistung durch ein zusätzliches Absenken der Versorgungsspannung sehr wirkungsvoll.

Aus der Betrachtung der verschiedenen Terme von P_{Dyn} kann zusammengefasst werden, dass sich der Wert der umzuladenden Kapazitäten aus der Schaltungssynthese ergibt und die Softwarepakete für den Schaltungsentwurf bereits über verschiedene Ansätze für die jeweiligen Optimierungsziele verfügen. Die Taktfrequenz ist meist durch die Spezifikation der Schaltung vorgegeben. Maßnahmen zur chipinternen Reduktion der Schaltfrequenz von Logikblöcken

sind bereits bekannt und in den Optimierungsalgorithmen der Entwurfssoftware berücksichtigt. Eine Verringerung der Versorgungsspannung wirkt sich auf alle Verlustleistungsanteile (Gleichungen 2.1 - 2.5) reduzierend aus. Die dominierende dynamische Verlustleistung zeigt eine quadratische Abhängigkeit von V_{DD}. Ein Schaltungskonzept, welches eine Änderung der Versorgungsspannung im Chip vorsieht ist eine verlustleistungsreduzierender Ansatz auf der Systemebene, der sich effizient auf den gesamten Chip auswirkt [1].

Kapitel 3

Verhalten integrierter CMOS-Schaltungen (IC's)

3.1 Layout eines ICs

Am Ende des ASIC[1]-Schaltungsentwurfs liegt ein Layout der zu realisierenden Schaltung vor. Nach diesem Layout erfolgt die Fertigung des Chips, welches nach Durchschreiten mehrerer Prozessierungszyklen die Strukturen der einzelnen Bauteile wie N- und PMOS Transistoren und passiver Bauelemente sowie deren Verdrahtung auf verschiedenen Metallebenen aufweist. Als Beispiel ist in Bild 3.1 ein Chip gezeigt, auf dem eigene Schaltungsentwürfe zusammen mit Arbeiten eines Abeilungskollegen realisiert wurden (siehe auch [16, 17]). Die Fertigung erfolgte mit einer $0,35\mu m$ Technologie.

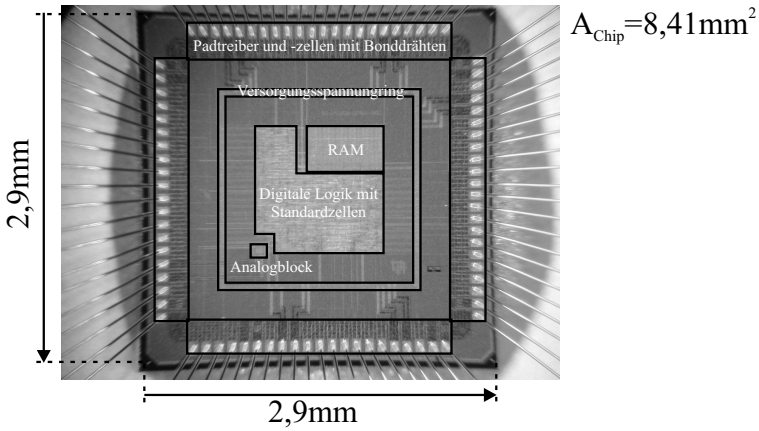


Abbildung 3.1: Aufsicht des Chips.

[1] ASIC = Anwendungsspezifisches IC;
Der Einsatz von programmierbarer Logik (z.B. FPGA, EPLD) findet zunehmend Verwendung [15]. Der Schaltungsentwurf endet hier bei der Gatternetzliste, welche in eine Place & Route Software zur Programmierung eines spezifischen Logikbausteins eingeht.

Auf dem Chip von Bild 3.1 sind am Rand die Padzellen (Anschlussflecken [2]) angeordnet, welche über die Bonddrähte mit den Gehäusepins verdrahtet werden. Über diese erfolgt die Stromversorgung des ICs und der Datenaustausch. Im Inneren befindet sich der sogenannte Kern, welcher die eigentliche Schaltung enthält. Den unterschiedlichen Musterungen lassen sich verschiedenartige Funktionsblöcke zuweisen, wie z.B. ein RAM-Speicherblock, ein analoger Schaltungsblock oder eine digitale Logik als Standardzellenentwurf. Um diesen Schaltungskern wird gewöhnlich ein Leitungsring für die Versorgungsspannung (V_{DD} und GND) gelegt, von dem aus über Stichleitungen die einzelnen Standardzellen und Schaltungsblöcke versorgt werden. Die Hauptleitungen der Spannungsversorgungs werden wie in obigem Bild ersichtlich groß dimensioniert (ca. $50\mu m$ breit), um den Leitungswiderstand klein zu halten. Die sich mit den breiten Metallbahnen ergebenden parasitären Kapazitäten dienen zugleich als Stützkapazitäten für eine stabile Spannung. Die Zuführung der Versorgungsspannung auf das Chip erfolgt gewöhnlich über mehrere Gehäuseanschlüsse und Padzellen. Durch die Parallelität lässt sich die Strombelastung pro Anschluss, aber auch die parasitäre Induktivität auf den Versorgungsleitungen verringern.

Für die Sicherstellung einer stabilen Spannungsversorgung im Chip werden wegen der großen Stromwerte heute bereits bei „High-Performance"-Schaltungen etwa $2/3$ der Gehäusepins spendiert. ASIC-Schaltungen benötigen etwa die Hälfte und ICs für den handheld Einsatz etwa $1/4$ der Gehäusepins für V_{DD} und GND [5].

3.2 Längster Signalpfad (kritischer Pfad)

Die überwiegende Anzahl von ICs wird mit einem synchronen Taktnetz betrieben. Dies bedeutet, dass der Signalfluss durch das IC, bestehend aus vielen Funktionsblöcken und Modulen, synchron gesteuert wird. Die Signalpfade sind hierbei mit dem Pipelining-Schema an unterschiedlichen Stellen durch eingefügte Register bzw. Latches unterbrochen, welche mit dem Taktsignal gesteuert werden. Bei einem bestimmten Signalwechsel bzw. -zustand des Taktsignals reichen die Register/Latches das Datensignal weiter. Dieses durchläuft z.B. kombinatorische Logikschaltungen, bis es im nächsten Register/Latch wieder gehalten wird (siehe Bild 3.2). Die Signallaufzeit (Pfadlänge) zwischen zwei Registern/Latches ist abhängig von der Art

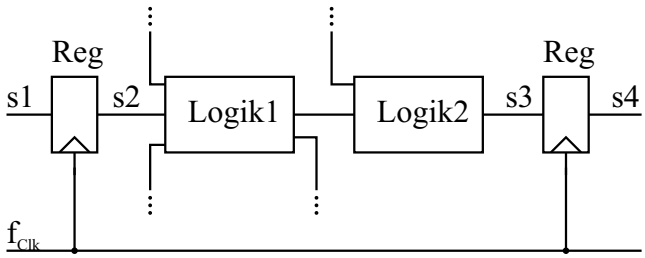


Abbildung 3.2: Signalpfad zwischen zwei Register.

und Größe der dazwischen liegenden Logik. Für eine korrekte Abarbeitung der Logikfunktio-

nen muss die Taktperiode von $T_{Clk} = \frac{1}{f_{Clk}}$ größer sein als die Laufzeit des Signalpfads s2 $\rightarrow$ s3 zwischen den Registern.

Die gesamte Schaltung auf einem Chip weißt gewöhnlich viele (mehrere Tausend) Signalpfade auf, die unterschiedliche Pfadlängen aufweisen können. Unter diesen Signalpfaden wird sich für eine bestimmte Betriebsbedingung ein Pfad ergeben, welcher die längste Signallaufzeit hat. Dieser Pfad wird als kritischer Pfad bezeichnet und bestimmt die minimal zulässige Taktperiode für die gesamte integrierte Schaltung.

Für einen robusten Entwurf des ICs muss das Zeitverhalten der Signalpfade, vor allem jedoch des kritischen Pfads unter Berücksichtigung verschiedener Betriebs- und Prozessierungsbedingungen[2] untersucht werden, so dass kein Signalpfad eine längere Laufzeit als die Systemtaktperiode aufweist.

3.3 Parameterschwankungen

Während des Betriebs eines ICs ist man bestrebt, die Betriebsbedingungen durch verschiedene Maßnahmen konstant zu halten. Dennoch müssen Schwankungen in einem gewissen Bereich toleriert werden. Die Spannungsversorgung aus einer Batterie ist z.B. aufgrund deren Entladecharakteristik nicht gleichbleibend konstant oder der Einsatz des Bauelements in verschiedenen Umgebungen erfordert die Auslegung des ICs für einen bestimmten zulässigen Temperaturbereich. Die Größen, welche sich während des Betriebs ändern, werden zu den Betriebsparametern zusammengefasst. Bei der Produktion von ICs treten Toleranzen in der Prozessierung auf, welche in Prozessparameterschwankungen erfasst werden. Zu diesen zählen z.B. Geometrieschwankungen von Leiterbahnen bzw. Transistordimensionen, Oxiddickenschwankungen oder Schwankungen der Dotieratomverteilung.

Änderungen der Betriebs- und Prozessparameter beeinflussen das Verhalten von integrierten Schaltungen. Die Funktion eines Bauteils soll für Störungen in einem akzeptierbaren Bereich unempfindlich sein. Hierzu ist es notwendig, das Schaltungsverhalten während des Entwurfprozesses bezüglich möglicher Parameterschwankungen zu testen bzw. zu simulieren.

3.3.1 Betriebsparameter

Das Verhalten einer integrierten Schaltung wird während des Betriebs hauptsächlich durch Schwankungen der Versorgungsspannung und der Temperatur, welche die Umgebungstemperatur als auch die Temperaturverteilung auf dem Chip einschließt, beeinflusst. Die maximale zulässige Versorgungsspannung ist durch die Technologie begrenzt, bei der ein Durchbruch des Gateoxids bei den Transistoren auftritt. Im allgemeinen sind die IC-Bauelemente für Spannungstoleranzen an den Gehäusepins von $V_{DD,max|min} = \pm 10\% V_{DD}$ ausgelegt. Bei „High-Performance”-ICs ist zu beobachten, dass deren Spannungsanforderungen in den letzten Jahren auf $V_{DD,max|min} = \pm 5\% V_{DD}$ erhöht wurden.

[2] Die Chipfertigung weißt Fertigungstoleranzen auf, welche zu unterschiedlichen Bauteilparametern auf einzelnen Chips führen können.

Die Betriebstemperatur und deren Schwankungsbereich ist abhängig von dem Einsatzgebiet des Bauteils. Um die Bauelemente verschiedenen Anwendungsgebieten verfügbar zu machen, wurden Temperaturkategorien eingeführt, die in Tabelle 3.1 aufgeführt sind.

Tabelle 3.1: Kategorien von standardisierten Temperaturbereichen.

	Temperaturbereiche
Industrie	$0°C$ bis $70°C$
Erweiterter Bereich	$-40°C$ bis $85°C$
Militär	$-55°C$ bis $125°C$

Diese Temperaturkategorien beziehen sich auf den Umgebungstemperaturbereich. Die Temperatur auf dem Chip ist, abhängig vom Wärmewiderstand des Gehäuses, etwas höher. Die Verteilung der Chiptemperatur ergibt sich aus der Schaltaktivität der verschiedenen Schaltungsblöcke im IC. Bei einem Alpha Mikroprozessor ist z.B. eine radialsymmetrische Temperaturverteilung mit etwa $70°C$ in der Chipmitte und Raumtemperatur am Chiprand zu beobachten [18].

3.3.2 Prozessparameter

Zu den Prozessparametern werden alle Größen gezählt, welche durch die Vorgänge im Herstellungsprozess von integrierten Schaltkreisen bestimmt werden. Diese Prozessparameter können aufgrund der Toleranzen des Herstellungsprozesses schwanken. Die Prozessparameterschwankungen wirken sich auf das Verhalten der Bauelemente, Schaltungsblöcke oder der Schaltkreise auf den verschiedenen Chips aus. Abhängig von der Art der Prozessparameterschwankungen erfolgt eine Unterteilung in globalen und lokalen Schwankungen.

Die globalen Prozessparameterschwankungen zeichnen sich durch geringe örtliche Änderungen aus. Innerhalb eines Chips besteht damit eine hohe örtliche Korrelation der Bauelemente. Verhaltensänderungen von Schaltungen sind zwischen Chips eines Wafers oder zwischen Chips unterschiedlicher Wafer (interchip) zu erkennen.

Daneben können lokale Prozessparameterschwankungen innerhalb eines Chips (intrachip) auftreten.

Bis zur Technologiegeneration von etwa $0,5\mu m$ Kanallänge dominierten die Geometrieabweichungen von Kanallänge und -weite, Dotierkonzentrationsschwankungen im Transistorkanal und Oxiddickenschwankungen [19]. Die Auswirkungen dieser Variationen an den integrierten Bauteilen sind überwiegend globaler Natur, d.h. zwischen den Chips auf einem Wafer, von Wafer zu Wafer oder zwischen einzelnen Losen[3]. In mehreren Veröffentlichungen wird jedoch gezeigt, dass die lokalen Schwankungen in Zukunft unter der Annahme heutiger Prozessschritte stark zunehmen werden [20, 21, 22, 23, 24]. Es werden lokale Auswirkungen auf des Verhalten von Bauteilen erwartet durch:

[3]Los = hier: Bestimmte Anzahl von Wafern in einem Träger, die unter gleichen Material- bzw. Prozeßbedingungen gefertigt werden.

* Über- und Unterätzung
* Nachbarschaftseffekte
* Dotierkonzentrationsschwankungen längs des Kanals
* Laterale Diffusion von Dotieratomen

In den letzten Jahren konnte eine wachsende Aufmerksamkeit gegenüber Schwankungen innerhalb eines Chip festgestellt werden [22]. Grund hierfür ist die Annäherung der Strukturgrößen von integrierten Bauteilen an die Größenordnung von Atomen aufgrund des stetigen Fortschreitens der Technologie [5]. Die lokale Ladungsträgerdichte und die Position der Ladungsträger weisen statistische Schwankungen auf und führen zu Variationen der Bauteileigenschaften. In mehreren Artikeln [25, 26, 27, 28, 29, 30, 23] wurden bereits Ergebnisse von Untersuchungen zur Abhängigkeit der Schwellwertspannung U_{Th} von verschiedenen Technologieparametern unter Berücksichtigung der vorausgesagten Technologieentwicklung veröffentlicht. Es wird gezeigt, dass Schwankungen der Schwellwertspannung mit kleiner werdenden Strukturen zunehmen werden. Die Ursache hierfür wird hauptsächlich in der stochastischen Verteilung der Dotieratome über der Kanallänge von MOS-Transistoren gesehen.

Lokale Schwankungen der Schwellwertspannung können bereits an zwei benachbarte Transistoren unterschiedliches Verhalten bewirken. Die Berücksichtigung der statistischen Prozesse erschwert in Zukunft die Simulation des Zeitverhaltens von Signalpfaden in größeren Schaltungsblöcken. Bereits in der 1999 veröffentlichten „Semiconductor Roadmap" wird deutlich gemacht, dass die statistischen Prozessvariationen in zukünftigen ICs eine signifikante Barriere zur Erreichung von hoher Leistungsfähigkeit und Ausbeute darstellen werden [31]. Es wird weiterhin hingewiesen, dass neue Bauteilstrukturen bzw. Verfahren gefunden werden müssen, um der Tendenz der zunehmenden Parameterschwankungen entgegenzuwirken. Auf die Angaben in der ITRS99 [5] stützend, dass die Schwellwertspannungsschwankungen $\sigma_{U_{Th}}$ proportional mit der Versorgungsspannung skalieren sollen, werden die globalen Schwankungen (interchip Variationen) etwa einen Anteil von $2/3$ und die lokalen Schwankungen (intrachip Variationen) zu $1/3$ an den Gesamtabweichungen einnehmen.

In Schaltungssimulationen können Schwankungen der Prozessparameter über die Auswahl verschiedener Parametersätze wie „best case", „typical case" und „worst case" berücksichtigt werden. Effekte durch die statistische Verteilung der Schwellwertspannungen können jedoch bisher nur durch aufwendige Monte Carlo Simulationen untersucht werden. Die lokalen Parameterschwankungen gewinnen beim Schaltungsentwurf mit zukünfigen Technologiegenerationen immer mehr an Bedeutung und müssen beim Entwickler Beachtung finden.

3.4 Laufzeitschwankungen des kritischen Pfads

In diesem Unterkapitel soll der Einfluss von Parameterschwankungen auf das Verhalten von Schaltungen, insbesondere auf die Signallaufzeit durch kombinatorische Logikschaltungen betrachtet werden.

Mit Hilfe von Entwurfswerkzeugen für die digitale Schaltungsentwicklung wurde als Beispielschaltung ein 10 Bit Multiplizierer in einem für Digitalschaltungen typischen Entwurfsverfah-

ren entworfen. Die Spezifikation des Multiplizierers wurde als VHDL[4]-Kode beschreiben. Daraus erfolgte eine Schaltungssynthese auf Gatterebene unter Einbindung der Gatterbibliothek einer $0,35\mu m$ Technologie. Die Gatternetzliste des 10 Bit Multiplizierers ist in Bild 3.3 dargestellt. Aufbauend auf diese Gatternetzliste lässt sich mit den Daten der Gatterbibliothek ein Standardzellenentwurf erstellen und ein Layout anfertigen.

Unter Berücksichtigung der Bauteilparameter aus den Technologiedaten lässt sich das zeitliche Verhalten des Multiplizierer simulieren. Dabei wurden die Laufzeiten von verschiedenen Signalpfaden betrachtet, die sich durch Anlegen verschiedener Digitalzahlen an den Eingängen des Multiplizierers ergeben. Unter Berücksichtigung aller Eingangsmöglichkeiten lässt sich zwischen den Multiplizierereingängen und dem Ausgang der längste Signalpfad (= kritischer Pfad) ermitteln, der in Bild 3.3 hervorgehoben ist.

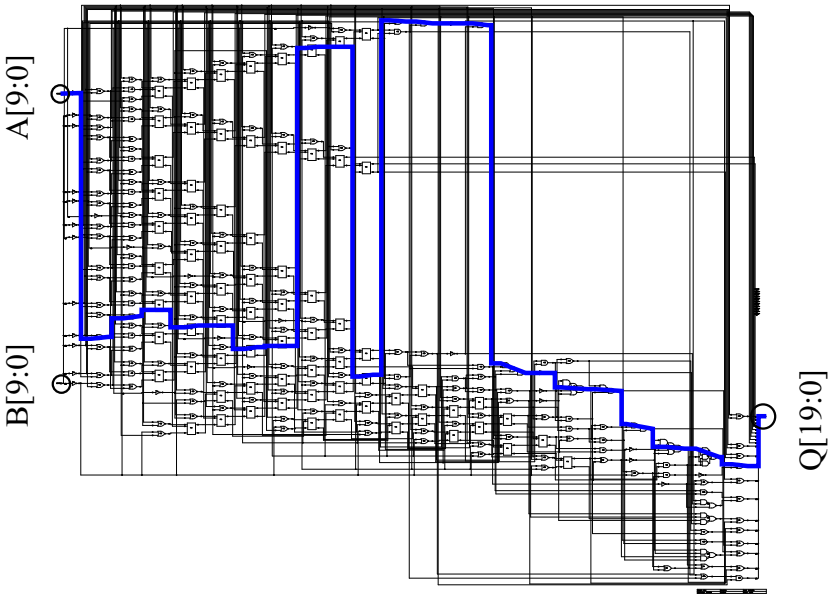


Abbildung 3.3: Gatternetzliste eines 10 Bit Multiplizierers mit Hervorhebung des kritischen Pfads.

Die Laufzeit des kritischen Pfads $\tau_{Krit.Pfad}$ ist maßgebend für die maximal mögliche Datenrate am Multiplizierereingang. Ein Überschreiten dieser Datenrate kann zu Laufzeitproblemen im Funktionsblock führen und in fehlerhafte Ausgangsdaten resultieren. Register am Multiplizierereingang und -ausgang steuern mit dem synchronen Taktsignal der Systemfrequenz f_{Clk} den Datendurchsatz. Für eine korrekte Funktion des Schaltungsblocks (hier der 10 Bit Multiplizierer) muss nach folgender Bedingung

$$\tau_{Krit.Pfad} < T_{Clk} \tag{3.1}$$

die Periode des Taktsignals $T_{Clk} = 1/f_{Clk}$ somit größer als die Laufzeit des kritischen Pfads $\tau_{Krit.Pfad}$ gewählt werden.

[4]VHDL = VHSIC Hardware Description Language, (VHSIC = Very High Speed Integrated Circuit)

Laufzeitänderungen, welche durch Parameterschwankungen hervorgerufen werden, sind am Beispiel des 10 Bit Multiplizierers in Diagramm der Abb. 3.4 aufgezeigt. Die Laufzeit $\tau_{Krit.Pfad}$ ist als Funktion der Versorgungsspannung V_{DD} für verschiedene Parameter aufgetragen. Die Chiptemperatur wurde zwischen $T_{Chip} = 0°C \ldots 100°C$ variiert und die Prozessparameterschwankungen wurden mit den drei Parametersätzen best-, typical- und worst case einbezogen. Der

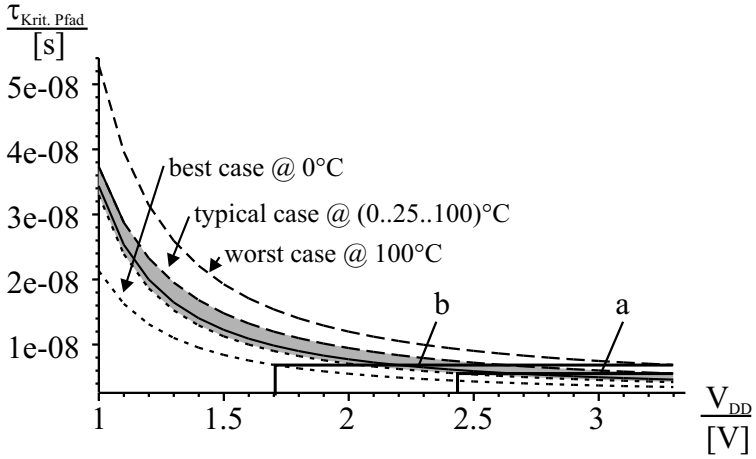


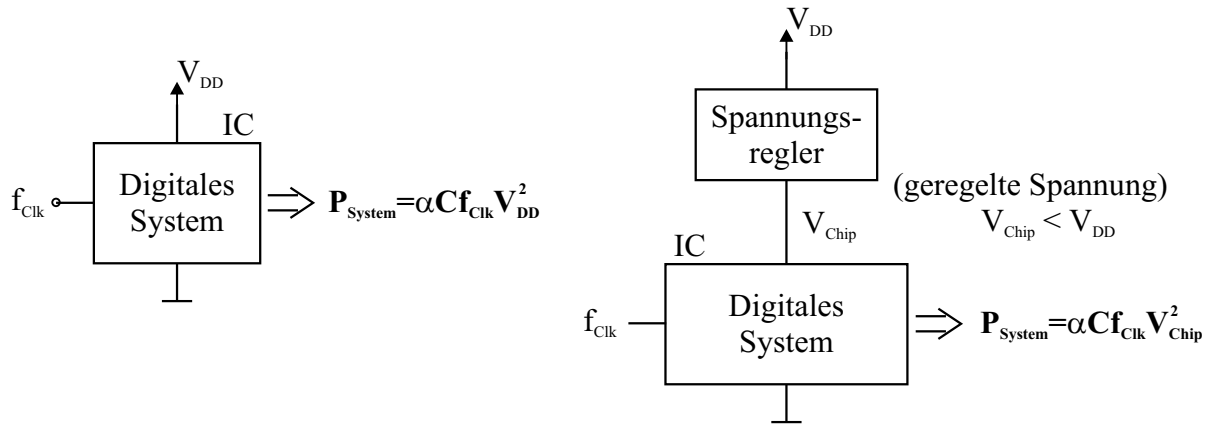
Abbildung 3.4: Die Auswirkung von Parameteränderungen auf die Laufzeit des kritischen Pfads am Beispiel eines 10 Bit Multiplizierers.

graue Bereich enthält die Signallaufzeiten von $\tau_{Krit.Pfad}$ mit typical case Bauteilparameter für Chiptemperaturen zwischen $T_{Chip} = 0°C \ldots 100°C$, wobei die Laufzeitkurven für die Temperaturen $0°C$, $25°C$ und $100°C$ eingezeichnet sind. Die oberste Kurve gibt das Laufzeitverhalten für schlechteste Verhältnisse ($T_{Chip} = 100°C$, worst case Bauteilparameter) an und die unterste Laufzeitkurve ergibt sich für beste Betriebs- und Prozessbedingungen ($T_{Chip} = 0°C$, best case Bauteilparameter) [32, 33].

Eine Verringerung der Chiptemperatur bei konstanter durch den Herstellungsprozess definierten Prozessparameter und gleicher Spannung V_{DD} führt nach Bild 3.4 zu einer Laufzeitverkürzung von $\tau_{Krit.Pfad}$. Diese Laufzeitverkürzung kann durch das Herabsetzen der Spannung V_{DD} wieder ausgeglichen werden, wie die Linie a in Bild 3.4 zeigt. Analog kann in Chips, deren Bauteilverhalten sich durch Toleranzen im Herstellungsprozess unterscheiden, eine kürzere Laufzeit für eine Verringerung der Versorgungsspannung genutzt werden.

3.5 Verlustleistungsreduktion

Wie in Kapitel 2.3 erläutert, soll eine Reduktion der Verlustleistung in integrierten Schaltungen durch Verringern der chipinternen Versorgungsspannung erreicht werden. Aus den Betrachtungen der verschiedenen Verlustleistungsanteile ging die dynamische Verlustleistung als dominanter Anteil hervor. Folgendes Schaubild soll den bisher üblichen Betrieb eines ICs zum vorgeschlagenen Konzept mit einer chipinternen Spannungsregelung gegenüberstellen und gleichzeitig das Potential der Verlustleistungsreduktion verdeutlichen.



(a) (b)

Abbildung 3.5: a) Versorgung eines ICs mit einer konstant angelegten Versorgungsspannung V_{DD}. b) Konzept der Spannungsregelung, welche eine den Leistungsmerkmalen des ICs angepasste Spannung V_{Chip} erzeugt und zuführt.

Ziel der Spannungsregelung ist es, eine chipinterne Spannung kleiner der urprünglichen Versorgungsspannung V_{DD} einzustellen, ohne jedoch die in der Spezifikation festgelegten Leistungsmerkmale zu verletzen. Da die dynamische Verlustleistung in quadratischer Abhängigkeit zu V_{DD} steht, lässt sich dadurch sehr effektiv die Verlustleistung gegenüber dem bisherigen Betrieb herabsetzen. Ein Absenken der Versorgungsspannung bewirkt wie Diagramm 3.4 in vorigem Unterkapitel zeigt gleichzeitig eine Erhöhung der Signallaufzeit.

Wie soll eine Verlustleistungsreduktion ohne Einfluss auf dessen Leistungsfähigkeit erfolgen?

Das Verhalten einer integrierten Schaltung ist von verschiedenen Parametern wie in Kapitel 3.4 gezeigt abhängig. Nach der Produktion sind die Prozessparameter auf dem Chip festgelegt und ändern sich nur noch geringfügig durch Alterungsprozesse. Die Betriebsparameter sind variabel und abhängig von der Systemumgebung. Da für einen robusten Schaltungsentwurf die integrierte Schaltung für verschiedene zugelassene Betriebs- und Prozessparameter die Angaben in der Spezifikation (wie z.B. die Systemfrequenz) erfüllen muss, wird die Schaltung für den schlechtesten Fall von auftretenden Parametern (worst case) ausgelegt. Ein IC, welches bei durchschnittlichen Betriebsbedingungen eingesetzt wird und typische Bauteilwerte aus der Prozessierung aufweist, verfügt mit einer gleichen Versorgungsspannung V_{DD} über eine höhere Leistungsfähigkeit als gefordert.

Nach Diagramm 3.4 zeigt die Laufzeitkurve für worst case Prozessparameter und maximaler Betriebstemperatur von $100°C$ einen Wert von $\tau_{Krit.Pfad,worst} = 7,0ns$ für $V_{DD} = 3,3V$. Wird bei gleichen Betriebsbedingungen (Temperatur und Spannung) ein Chip mit typical- oder best case Prozessparametern eingesetzt, so verkürzt sich die Laufzeit des kritischen Pfads auf $\tau_{Krit.Pfad,typ} = 5,7ns$ bzw. $\tau_{Krit.Pfad,best} = 4,6ns$.

Eine kürzere Signallaufzeit ist bei einer durch die Spezifikation festgelegten konstanten Systemtaktfrequenz ohne Einfluss auf die Funktionalität der Schaltung. Die sich ergebenden

Schwankungen von $\tau_{Krit.Pfad}$ aufgrund variierender Prozess- und Betriebsparameter können durch Änderung der Versorgungsspannung ausgeregelt werden und so zum Herabsetzen des Leistungsverbrauchs genutzt werden.

Ein Laufzeitvergleich des kritischen Pfads zwischen ICs mit worst case und best case Prozessparametern bei konstanter Temperatur und Spannung V_{DD} zeigt in Tabelle 3.2, dass sich bei einem IC mit best case Parametern die Versorgungsspannung auf $V_{DD,geregelt} = 64\% V_{DD}$ reduzieren lässt, um $\tau_{Krit.Pfad,best}$ auf $\tau_{Krit.Pfad,worst}$ zu erhöhen. Dies würde bei Betrachtung der dynamischen Verlustleistung $P_{V,geregelt} \propto V^2_{DD,geregelt}$ zu einer Verlustleistungsreduktionauf $P_{V,geregelt} \approx 41\% P_{V,ungeregelt}$ führen. Für ein IC mit best case Bedingungen von Temperatur und Prozessparameter zu einer Schaltung mit worst case Prozessparametern und hoher Umgebungstemperatur lässt sich eine Reduktion der Versorgungsspannung auf 52% erzielen, was in einer Verringerung der Verlustleistung auf $P_{V,geregelt} \approx 28\% P_{V,ungeregelt}$ resultieren würde [33].

Tabelle 3.2: Laufzeitverhältnis des kritischen Pfads am Beispiel des 10 Bit Multiplizierers (Abb. 3.3 und Diagramm 3.4) für verschiedene Parametervariationen wie Prozessparameter: best case $\leftrightarrow$ worst case und Chiptemperatur: $T_{Chip} = 0°C \leftrightarrow 100°C$.

Parametervariation von:	$\frac{\tau_{Krit.Pfad,worst}}{\tau_{Krit.Pfad,best}}$	V_{DD} -Reduktion	P_V	Bemerkung
Prozess (@25°C; $V_{DD} = 3,3V$)	1,5	64% (2,1V)	∼41%	
Temperatur (@typ. Prozeß; $V_{DD} = 3,3V$)	1,3	74% (2,4V)	∼55%	Kurve a) in Diagr. 3.4
Gesamt „worst case„ zu „best case„	1,93	52% (1,7V)	∼28%	Kurve b) in Diagr. 3.4

Kapitel 4

Spannungsversorgung

4.1 Belastung der Spannungsversorgung durch das IC

Die Versorgung von ICs mit einer konstanten Spannung aus einem Spannungsregler, welcher auf der Schaltungsplatine platziert ist, wird in Bild 4.1 gezeigt. Ziel der folgenden Betrachtungen ist es, das Strom- und Spannungsverhalten in einem IC mit deren Auswirkungen auf dem Versorgungsnetz im Chip und auf den Zuleitungen vom Spannungsregler zum IC.

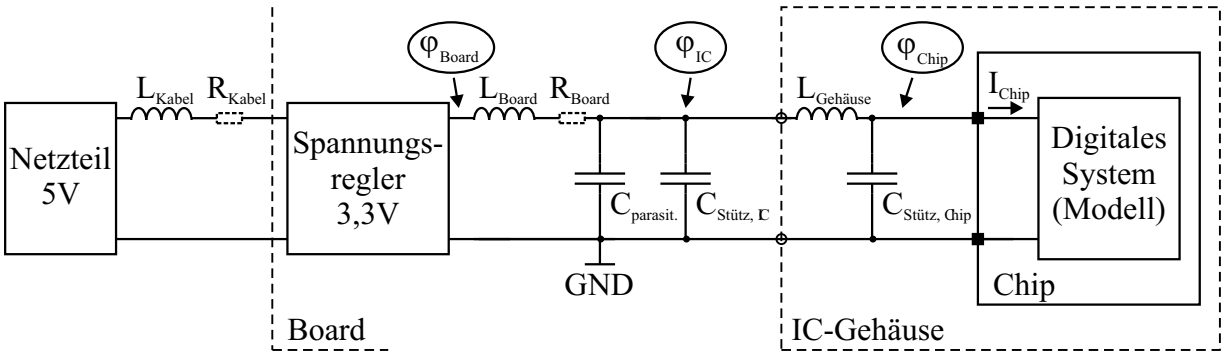


Abbildung 4.1: Spannungsversorgung des ICs mit einem Spannungsregler auf der Schaltungsplatine. Die Spannungen V_{Board}, V_{IC} und V_{Chip} ergeben sich aus den Differenzen zwischen den angegeben Potentialen und dem Bezugspotential $GND = 0V$.

Das digitale System (CMOS-Schaltung) auf dem Chip wurde anhand von Daten aus Schaltungsentwürfen in der Abteilung und von Industrieprojekten modelliert. Das Modell enthält eine Abbildung des Versorgungsnetzes im Chip mit parasitären Elementen und verschiedenen Modulen aus kombinatorischer Logik. Die Module unterscheiden sich durch Variation der Logiktiefe und der Anzahl von Logikgattern. Das digitale System wird mit einer Frequenz von $f = 100MHz$ synchron getaktet und weist eine maximale Verlustleistung von $P_{max} = 1,5W$ bei einer Versorgungsspannung von $V_{Chip} = 3,3V$ auf. Das Schaltbild des modellierten digitalen Systems ist in Anhang A.5 zu finden.

Die Leiterbahnen auf der Schaltungsplatine (Board) vom Spannungsregler zum IC weisen parasitäre Komponenten wie Leitungsinduktivitäten, -kapazitäten und -widerstände auf (siehe Anhang A.4). Die parasitären Komponenten sind u.a. von der Leitungslänge abhängig und haben für die Betrachtungen der Spannungsversorgung nicht zu vernachlässigende Werte. Eine Leiterbahn von $10cm$ Länge weist in etwa eine Induktivität von $L_{Leiterbahn} = 60 \ldots 80nH$ auf [34, 35].

Schaltaktivitäten in ICs führen zu Stromänderungen $\frac{dI}{dt}$, die erhebliche Spannungsabfälle $\Delta U_L = L \cdot \frac{dI}{dt}$ auf den Zuleitungen bewirken können. Um eine stabile Versorgungsspannung für den Betrieb des ICs zu erhalten, sind Stützkapazitäten an den Gehäusepins des ICs sowie auf dem Chip notwendig. Desweiteren sollte die Zuleitungslänge so kurz wie möglich sein.

Für die Simulationen der Spannungsversorgung von Bild 4.2 auf Seite 23 wurden folgende Werte verwendet:

Leitung auf der Schaltungsplatine:
Länge = $5cm$; $L_{Board} \approx 40nH$ und $R_{Board} \approx 2,5m\Omega$ (jeweils für V_{DD} und GND); $C_{parasit.} \approx 2,5pF$.

Stützkapazitäten: $C_{Stütz,IC} = 1\mu F$, $C_{Stütz,Chip} = 20nF$.

Gehäusepins: 20 Versorgungspins am IC (jeweils für V_{DD} und GND) $\rightarrow L_{Gehüse} = 0,4nH$.

Die Versorgung am Chip konnte mit den eingefügten Stützkapazitäten im Bereich von $V_{Chip} = V_{Board} \pm 5\% V_{Board}$ stabilisiert werden. Mit größeren Stützkapazitäten kann eine weitere Verbesserung der Spannungsstabilität erreicht werden. Die damit verbundenen größeren Bauteildimensionen benötigen mehr Fläche, was in einer Kostensteigerung resultiert.

Für den Strom I_{Chip} auf dem Versorgungsnetz im Chip wurden aus den Simulationen ($0,35\mu m$ Technologie) maximale Stromsteilheiten in der Größe von $\frac{dI_{Chip}}{dt} \approx 5000\frac{A}{\mu s}$ ermittelt. Dieser Wert wird für zukünftige Technologien weiter zunehmen. Mit dem Skalierungsfaktor $s = 0,7$ zwischen den einzelnen Technologiegenerationen wird die Skalierung von $\frac{dI}{dt}$ mit $\frac{1}{s}$ [3] bzw. $\frac{1}{s^2}$ [4] vorausgesagt. Dadurch wird ein Anstieg des Spannungsabfalls $\Delta U = L\frac{dI}{dt}$ an den Versorgungszuleitungen und an den Bonddrähten im Gehäuse erwartet. Desweiteren können die Stromimpulse, welche durch die Aktivität des digitalen Systems begründet sind, an den LC-Kombinationen von Leitungsinduktivität und Stützkapazität bzw. parasitären Kapazitäten Oszillationen auslösen [36]. Der Kurvenverlauf der Chipspannung von Bild 4.2 zeigt bereits derartige Schwingungstendenzen.

Zur Verringerung der beschriebenen Probleme ist man bemüht, u.a. die Leitungsinduktivitäten zu verringern [3, 37, 38]. Hierfür bietet sich die Möglichkeiten an, zusätzliche Gehäuseanschlüsse als Versorgungspins zu spendieren oder neuere Gehäusetypen mit geringeren Anschlussinduktivitäten einzusetzen [37]. Eine Gegenüberstellung der Anzahl von Signalpins zu Versorgungspins von verschiedenen ICs zeigt ein Verhältnis von 4:1 bis 1:1 [37]. Aufgrund der zunehmenden Komplexität der ICs werden einerseits immer mehr Signalpins für das Zuführen der Daten benötigt, andererseits sind bis zur Hälfte der Anschlüsse für die Versorgung der integrierten Schaltung notwendig [5]. Um das Problem der limitierten Signalanschlüsse und die

steigenden Anforderungen an die Spannungsversorgung bezüglich der hohen Stromsteilheiten zu entschärfen, bietet sich an, den Spannungsregler in Bild 4.1 direkt mit der zu versorgenden Schaltung auf dem Chip zu integrieren [38].

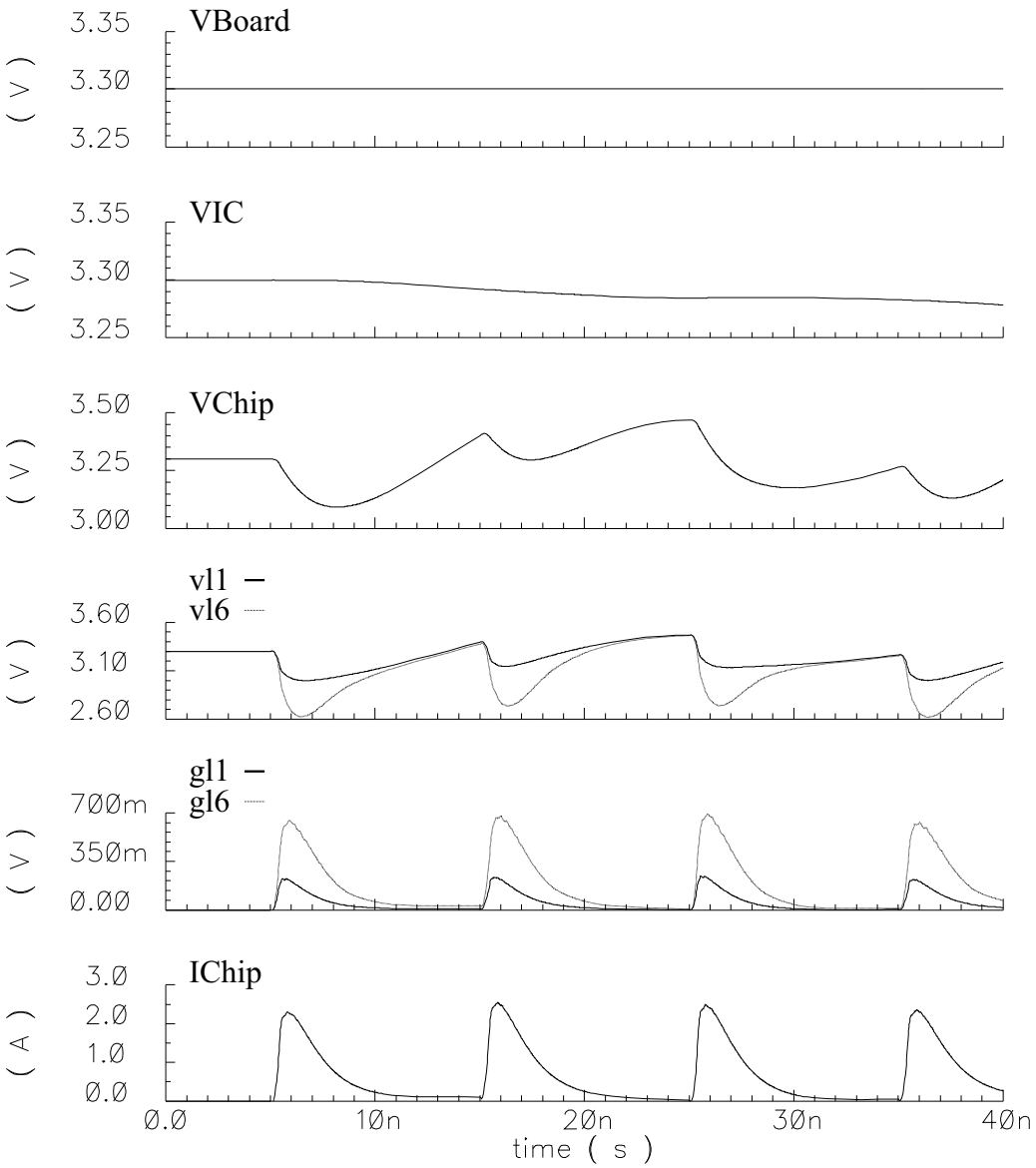


Abbildung 4.2: Spannungs- und Stromverlauf am Versorgungsnetz auf der Schaltungsplatine und im IC. Die Kurven *vl*1, *vl*6 und *gl*1, *gl*6 beziehen sich auf die Spannungen an verschiedenen Punkten des Versorgungsnetzes im Chip. Dieses Versorgungsnetz ist im Modell des digitalen Systems enthalten, welches in Anhang A.5 abgebildet ist.

4.2 Spannungsversorgung mit dem chipinternen Spannungsregler

Die Integration des Spannungsreglers zusammen mit dem zu versorgenden digitalen System auf dem Chip ist in Bild 4.3 dargestellt.

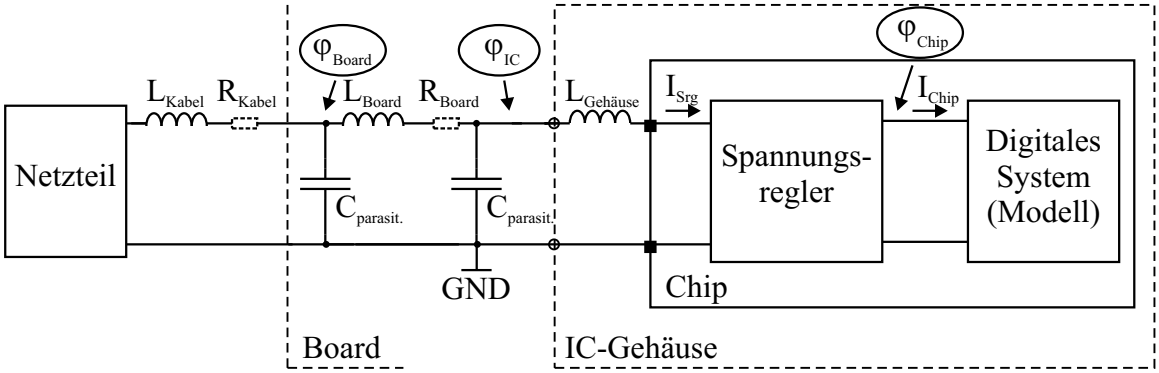


Abbildung 4.3: Spannungsversorgung des ICs mit einem auf dem Chip integrierten Spannungsregler.

Als wesentlicher Vorteil sind bei dieser Lösung die kurzen Versorgungsleitungen zwischen Regler und digitalem System zu sehen. Die störenden Einflüsse der parasitären Elemente sind stark reduziert, wodurch sich die Stabilität der Versorgungsspannung bei kleinen Stützkapazitäten erhöht [39].

Desweiteren kann der Spannungsregler auf dem Chip optimal an die zu versorgende Schaltung angepasst werden [40]. Bereits beim Schaltungsentwurf lassen sich beide Komponenten (Spannungsregler und digitales System) aufeinander abstimmen, welches sich in einer höheren Wirkungsgrad des Spannungsreglers auswirken kann [40].

Bei der Platzierung des Spannungsreglers zum digitalen System auf dem Chip sind externe Bauteile weitestgehend zu vermeiden. Diese Flächeneinsparung ist besonders bei tragbaren Geräten von Vorteil [40, 39].

Als Spannungsregler auf dem Chip sind verschiedene Realisierungen denkbar, die in dem folgenden Unterkapitel näher betrachtet werden.

4.3 Spannungsregler

Es sind vielfältige Architekturen von Spannungsreglern verschiedener Leistungsbereiche bekannt. Für die Regelung der chipinternen Versorgungsspannung sollte ein Spannungsregler zur Anwendung kommen, der sich in folgenden Punkten auszeichnet:

1. Vollständige Integration:
   Die Schaltung des Spannungsreglers soll vollständig auf das Chip gemeinsam mit der

zu versorgenden Schaltung (Lastsystem) integriert werden. Damit muss die Spannungsreglerschaltung mit derselben Technologie realisierbar sein wie das Lastsystem, welches bei Digitalschaltungen, wie hier betrachtet, gewöhnlich eine CMOS-Technologie ist. Der Vorteil einer vollständigen Integration sind Kosten- sowie Flächeneinsparungen für sonst notwendige externe Bauteile. Zusätzlich sind die im Kapitel 4.1 gestellten Anforderungen bzgl. Länge der Zuleitungen und spannungsstabilisierenden Maßnahmen mit einer integrierten Spannungsversorgung einfacher zu bewältigen. Ein weiterer Vorteil der Integration ist die optimale Anpassung der Spannungsregelung an die Strukturen auf dem Chip und der individuellen Abstimmung auf die zu versorgende Schaltung.

2. Geringe Eigenverlustleistung:
   Der Spannungsregler wird mit dem Ziel eingesetzt, die chipinterne Spannung von ICs in Abhängigkeit verschiedener Parameter zu reduzieren und damit die Verlustleistung des implementierten Lastsystems zu senken. Damit muss jedoch im Vergleich zur Versorgung des digitalen Systems mit der externen Spannung V_{DD} die Verlustleistung des Spannungsreglers in die Leistungsbilanz des ICs mit eingerechnet werden. Um verlustleistungsmäßig ein effizientes Gesamtsystem zu erhalten, darf der Spannungsregler nur eine geringe Eigenverlustleistung aufweisen. Es ist daher ein hoher Wirkungsgrad $\eta = \frac{P_{Ausgang}}{P_{Eingang}}$ des Spannungsreglers gefordert.

3. Stabile Ausgangsspannung:
   Die geregelte chipinterne Spannung am Ausgang des Spannungsreglers, welche direkt auf das Versorgungsnetz im IC geführt wird, muss stabil anliegen. Je stabiler der Spannungsregler den Spannungswert am Ausgang hält, umso weniger spannungsstützende Maßnahmen durch Kapazitäten am Versorgungsnetz sind notwendig, wodurch „wertvolle" Chipfläche eingespart werden kann.

Im Folgenden sollen mehrere relevante Architekturen von Spannungsreglern vorgestellt werden, die abschließend für den Einsatz zur chipinterne Spannungsregelung bewertet werden.

4.3.1 Linearregler

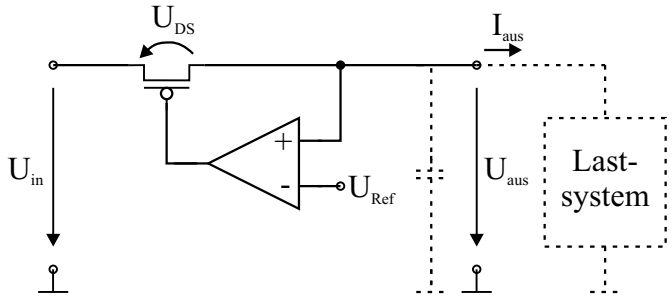


Abbildung 4.4: Linearregler mit Regelung auf U_{Ref} [40].

Der Linearregler enthält als Hauptelement einen gesteuerten Widerstand, der in CMOS-Schaltungen als MOS-Transistor realisiert wird. Über diesen MOS-Transistor fällt die Drain-Source-Spannungs U_{DS} ab, so dass die Ausgangsspannung des Linearreglers immer kleiner als dessen Eingangsspannung ist. Durch den MOS-Transistor fließt der gesamte Strom I_{aus}, wodurch sich eine Verlustleistung $P_V = U_{DS} \times I_{aus}$ am Transistor ergibt. Der Wirkungsgrad des Linearreglers ist damit $\eta = \frac{P_{aus}}{P_{in}} = \frac{U_{aus} I_{aus}}{(|U_{DS}| + U_{aus}) I_{aus}} = \frac{U_{aus}}{U_{in}}$. Daraus lässt sich schnell erkennen, dass sich für den Linearregler ein guter Wirkungsgrad nur für Ausgangsspannungen, die geringfügig unterhalb der Eingangsspannung liegen, erreichen lässt. Die Architektur ist sehr einfach und zur Regelung der Ausgangsspannug ist nur ein geringer Aufwand an Bauteilen nötig. Ein schnelles Regelverhalten mit guter Spannungsstabilität am Ausgang kann erzielt werden. Die Anwendung des Linearreglers als Spannungsregler auf dem Chip wurde in mehreren Veröffentlichungen vorgestellt [41, 42, 43].

4.3.2 Schaltnetzteile

4.3.2.1 Ladungspumpe (Switched Capacitor Konverter)

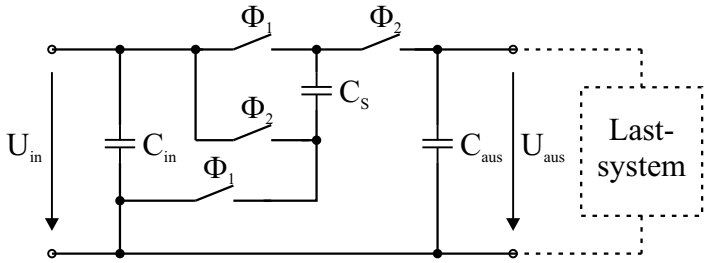


Abbildung 4.5: Prinzipschaltbild einer Ladungspumpe.

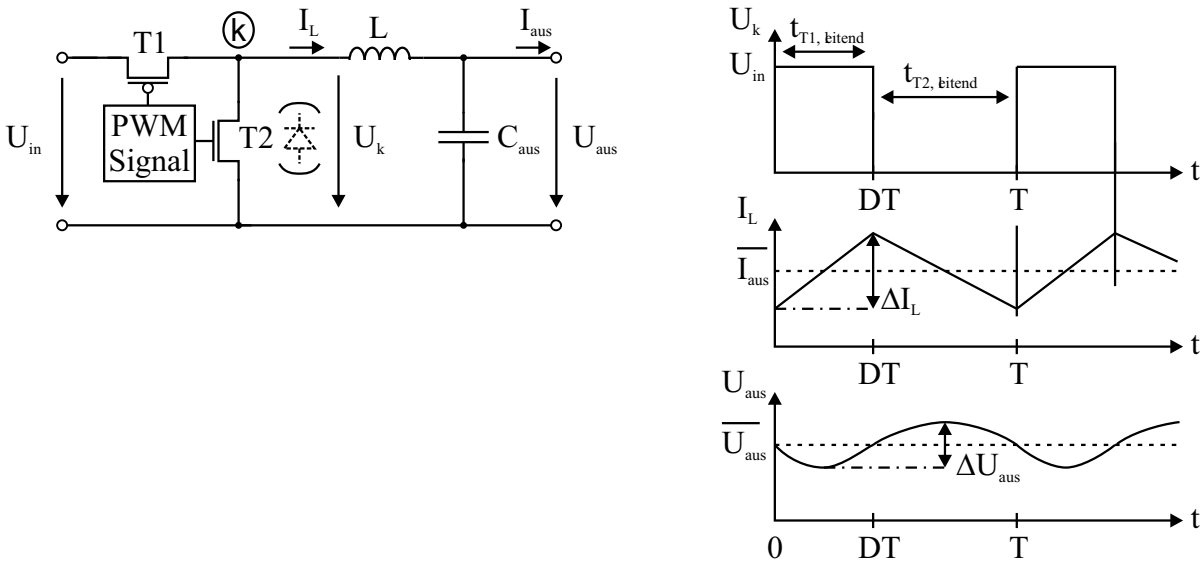
Funktionsweise:

Die 4 Schalter, welche mit MOS-Transistoren realisiert werden können, werden jeweils paarweise gemeinsam geschaltet. Im ersten Taktzyklus leiten die Schalter Φ_1. Damit liegt die geschaltete Kapazität C_S parallel zum Eingang (U_{in}) und lädt sich auf. Nach dem Öffnen der Schalter Φ_1 wird C_S durch Schließen der Schalter Φ_2 in Serie zur Eingangsspannung U_{in} gelegt und Ladung fließt auf die Ausgangskapazität C_{aus}. Bei Leerlauf am Ausgang bzw. bei sehr geringen Ausgangsströmen und mit Vernachlässigung der parasitären Kapazitäten erhält man somit eine Spannungsverdopplung am Ausgang der Ladungspumpe $U_{aus} = 2U_{in}$. Wird der Ausgang und der Eingang im Schaltbild 4.5 vertauscht, so lässt sich eine Spannungshalbierung erreichen. Das Schaltbild der Ladungspumpe lässt sich vielfältig erweitern, so dass größere Ausgangsspannungen von $U_{aus} > 2U_{in}$ bzw. bei der Abwärtswandlung kleinere Spannungen $U_{aus} < \frac{1}{2}U_{in}$ möglich sind.

Die Ladungspumpe zur Erzeugung einer Ausgangsspannung als Vielfaches der Eingangsspannung weist einen guten Wirkungsgrad (nahe 100%) auf, ist jedoch gleichzeitig nur mit geringen Ausgangsströmen belastbar. Aus Datenblättern von Halbleiterherstellern geht hervor, dass Ladungspumpen mit Ausgangsspannungen zwischen $1V - 5V$ üblicherweise Ausgangsstöme bis

ca. 100mA liefern [44, 45, 46]. Die Regelung einer variablen Ausgangsspannung ist ebenfalls möglich, erweist sich jedoch nicht als effizient, da sich der Wirkungsgrad stark verschlechtert. Die Ursache liegt im Schalten von Kapazitäten mit unterschiedlichen Spannungswerten, was zu Verlustleistungen an den Schalttransistoren führt [40]. Sind höhere Ausgangsleistungen von der Ladungspumpe gefordert, so müssen für eine stabile Ausgansspannung mit geringer Spannungswelligkeit die Kapazitäten und daraus folgend die MOS-Transistoren als Schalter groß dimensioniert werden. Dadurch erhöht sich jedoch die Verlustleistung durch Umladevorgänge an den Gate-Anschlüssen der Transistoren.

4.3.2.2 Abwärts-Wandler (Buck-Konverter)



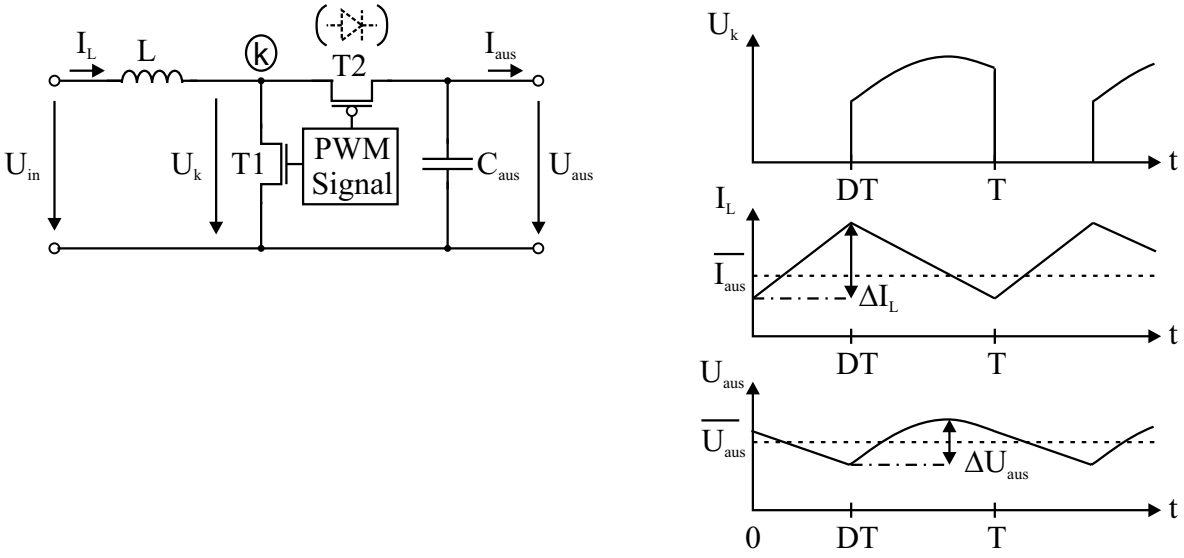
(a) (b)

Abbildung 4.6: a) Schaltbild eines Abwärtswandlers (Buck-Konverter), der mit einem PWM-Signal angesteuert wird; b) Typische idealisierte Spannungs- und Stromkurven zur Arbeitsweise des Abwärtswandlers.

Der Abwärtswandler, auch Buck-Konverter genannt, erzeugt eine Ausgangsspannung im Bereich $0V < U_{aus} < U_{in}$. Die Regelung der Ausgangsspannung erfolgt über die Ansteuerung des MOS-Transistors $T1$, dessen Signal am Gateanschluss gewöhnlich ein pulsweitenmoduliertes Signal (PWM) ist. Der Transistor $T2$ arbeitet komplementär zu $T1$. Die Ausgangsspannung ergibt sich bei konstantem Laststrom näherungsweise zu $U_{aus} = DU_{in}$ [40]. Mit D wird das Tastverhältnis der Zeitdauer $t_{T1,leitend}$ zur Taktperiode T (Bild 4.6b) bezeichnet. Anstelle von $T2$ kann zur Vereinfachung eine Diode platziert werden. Aus Verlustleistungsgründen wird bei der Realisierung des Buck-Konverters für Spannungswerte unterhalb $U_{aus} < U_{in} < 5V$ oftmals ein MOS-Transistor verwendet. Dem PWM-Steuersignal an den Transistoren entsprechend liegt am Knoten k idealerweise eine pulsförmige Spannung mit den maximalen und minimalen

Spannungswerten von U_{in} und $0V$ an. Das nachfolgende LC-Siebglied 2ter Ordnung glättet die pulsförmige Knotenspannung U_k, und über der Ausgangskapazität liegt der gemittelte Spannungswert an [47, 48]. Mit dem in Bild 4.6 vorgestellten Abwärtswandler lässt sich durch das PWM-Signal die Ausgangsspannung einfach regeln. Die Schaltung ist für hohe Ausgangsleistungen tauglich und kann über einen großen Bereich der Ausgangsleistung bzw. -spannung mit einem hohen Wirkungsgrad ($\eta > 90\%$) regeln.

4.3.2.3 Aufwärts-Wandler (Boost-Konverter)



(a) (b)

Abbildung 4.7: a) Schaltbild eines Aufwärtswandlers (Boost-Konverter). Ansteuerung mit einem PWM-Signal; b) Typische idealisierte Spannungs- und Stromkurven zur Arbeitsweise des Aufwärtswandlers im kontinuierlichen Betrieb.

Das Schaltbild des Aufwärtswandlers (Bild 4.7) enthält gleich viele Elemente wie das des Abwärtswandlers von Bild 4.6. Allein eine Umplatzierung der Bauteile bewirkt ein Schaltverhalten, mit dem aus einer Eingangsspannung eine höhere Ausgangsspannung $U_{aus} > U_{in}$ generiert wird. Die Funktionsweise des Aufwärtswandlers kann in zwei Phasen unterteilt werden.

Beginnend mit dem Zustand, dass der MOS-Transistor $T1$ leitet und $T2$, welcher auch durch eine Diode ersetzt werden kann, sperrt, wird ein Stromfluss durch die Spule L erzeugt. Mit einer Spulenspannung $U_L \approx U_{in}$ ergibt sich der Stromanstieg $\frac{di}{dt} = \frac{U_L}{L}$ und eine Zunahme des magnetischen Felds in der Spule. Zum Zeitpunkt $t = DT$ öffnet $T1$ und $T2$ soll im Idealfall gleichzeitig leitend werden. Das magnetische Feld der Spule bewirkt einen Stromfluss durch $T2$ auf die Ausgangskapazität C_{aus}. Wegen $U_{aus} > U_{in}$ ergibt sich über der Spule unter Vernachlässigung des Spannungsabfalls an $T2$ eine negative Spannung von $U_L \approx -(U_{aus} - U_{in})$. Der Spulenstrom

nimmt wieder ab. Die Ansteuerung des Transistors $T1$ erfolgt wiederum üblicherweise mit einem PWM-Signal. Bei einem konstanten Ausgangsstrom stellt sich die Ausgangsspannung mit $U_{aus} = \frac{U_{in}}{1-D}$ ein [47].

Der Aufwärtswandler eignet sich für größere Ausgangsleistungen und ist mit hohen Wirkungsgraden betreibbar. Die Dimensionierung der Induktivität und der Ausgangskapazität ist einerseits abhängig von dem Ausgangsstrom bzw. der -leistung, kann jedoch andererseits auch durch die Wahl der Wandlerfrequenz f_{Boost} des PWM-Signals beeinflusst werden.

4.3.2.4 Resonanzwandler

Resonante Wandlerschaltungen enthalten im Gegensatz zu den Gleichspannungswandlern der vorigen Abschnitte Kombinationen von Induktivitäten und Kapazitäten, deren resonante Eigenschwingungen für ein verlustfreies Schalten der Schalttransistoren genutzt wird. Das „Öffnen" bzw. „Schließen" der Transistoren (hier im besonderen die Betrachtung von MOS-Transistoren) ohne Rücksichtnahme auf den gegenwärtigen Stromfluss im Transistorkanal bzw. der anstehenden Spannungsdifferenz zwischen Drain- und Sourceanschluss kann unter ungünstigen Bedingungen zu einer hohen Spannungsbelastung (siehe Bsp. 4.8a) und/oder zu einer Verlustleistung (siehe Bsp. 4.8b) über dem Kanal führen. Die Verluste über dem Transistorkanal steigen linear



(a) (b)

Abbildung 4.8: a) „Öffnen" des Transistors (Unterbrechen des Stromflusses) bei $I_L \neq 0A$ führt zu Spannungsspitzen am Transistoranschluss; b) Das „Schließen" des Transistors (leitend) bei einer Spannung $U_{DS} \neq 0V$ führt zu einem Stromfluss I_{DS} und bewirkt eine Verlustleistung $P_V = U_{DS} \cdot I_{DS}$ über dem Transistor.

mit der Schaltfrequenz an, so dass bei hochfrequenten Schaltvorgängen diese Verlustleistungsbeiträge bemerkbar werden können. Ein Schalten der Transistoren unter ZCS[1]-Bedingung für Bsp. 4.8a) und ZVS[2]-Bedingung für Bsp. 4.8b) kann die dargelegten Probleme vermeiden.

In der dargestellten Schaltung eines Buck-Konverters von Bild 4.9 bilden L_r und C_r den resonanten Schaltkreis, der ein Schalten des Transistors $T1$ unter ZCS-Bedingung erlaubt [49]. Die Induktivität L am Ausgang bildet zusammen mit C_{aus} ein Siebglied 2ter Ordnung.

Neben dem Buck-Konverter sind viele weitere resonante Schaltungsvorschläge für verschiedene Wandlertypen in der Literatur zu finden [47, 49, 50, 51, 52, 53]. Allen ist gemeinsam, dass sie

[1] ZCS = Zero Current Switching; Schalten des Transistors nur bei einem Stromwert von $I_{DS} = 0A$.
[2] ZVS = Zero Voltage Switching; Schalten des Transistors nur bei einem Spannungswert von $U_{DS} = 0V$.

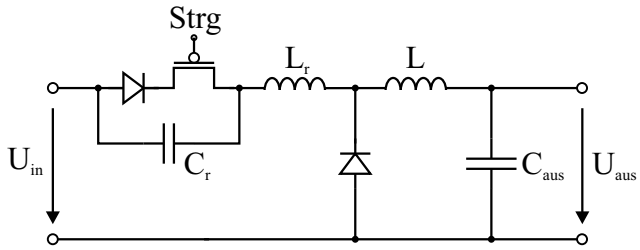


Abbildung 4.9: Buck-Konverter mit resonanter ZCS Schaltung [49].

einen oder mehrere resonante Schwingkreise enthalten. Zur Steuerung des Stromflusses sind neben einem Schalttransistor zumeist eine bzw. mehrere Dioden notwendig.

Bei resonanten Wandlertypen sind durch die verlustleistungsreduzierenden Maßnahmen sehr hohe Wirkungsgrade möglich, doch müssen hierfür mehrere Spulen, Kapazitäten und Halbleiterbauelemente aufgewendet werden, welche sich als zusätzliche Kosten in Form von Flächenbedarf auswirken.

4.3.3 Sonstige Konzepte

Andere Spannungswandlertypen (siehe [47]) sind wegen ihres Schaltverhaltens oder ihres Schaltungsaufbaus weniger für die vorgestellten chipintegrierte Spannungsregelung geeignet und werden deshalb nicht näher vorgestellt.

4.3.4 Gegenüberstellung und Bewertung

Die Gegenüberstellung der in diesem Kapitel vorgestellten Spannungsregler soll unter zwei Gesichtspunkten erfolgen. Zum einen sollen die Spannungsregler bzgl. verschiedener Schaltungseigenschaften wie Regelverhalten, Schaltungsimplementierung und -realisierung, erreichbarer Wirkungsgrad und Leistungsfähigkeit untersucht bzw. beschrieben werden. Zum anderen soll ihr Potential zur Reduzierung der gesamten Verlustleistung des Chips, also implementiertes zu versorgendes System (Last) zusammen mit der Spannungsregelungsschaltung in Abhängigkeit von der geregelten chipinternen Spannung ermittelt werden.

Die elektrischen Anforderungen von $1,5W$ Ausgangsleistung bei $3,3V$ (siehe Tabelle 5.3 auf Seite 52), welche für den Spannungsregler gestellt wurden, lassen die Ladungspumpe als ungeeignet erscheinen. Zieht man den Punkt Integrationsfähigkeit hinzu, so ist eine vollständige Integration der nötigen Kapazitäten bei der Ladungspumpe fraglich.

Bei den resonanten Wandlerschaltungen, welche besonders reizvoll durch die verlustleistungsarmen Schaltvorgänge der Transistoren sind, fallen die vielen notwendigen Spulen und Kapazitäten besonders auf. Spulen mit größeren Induktivitätswerten sind schwer auf einem Chip integrierbar. Es gibt hierzu den Ansatz, eine spiralförmige planare Spule mit den Metallagen des Chips oder auf die Chipoberfläche herzustellen [54, 55, 56]. In neueren Veröffentlichungen werden magnetische Dünnfilm-Metalllegierungen auf die Chipoberfläche abgeschieden, die von

Leitungsspiralen in verschiedener Weise umschlossen werden [57, 58, 59, 60]. Durch ein magnetisches Kernmaterial können höhere Induktivitätswerte erreicht werden, jedoch ist aufgrund des geringen Querschnitts der Dünnfilm-Metalllegierung nur ein geringer magnetischer Fluß möglich. Desweiteren ist der Leitungswiderstand der Spiralleitung nicht zu ignorieren, der zu erheblichen Verlusten führen kann und den Wirkungsgrad des Spannungswandlers einschränkt. Aus diesem Grund wurden die resonanten Wandlerkonzepte nicht weiter betrachtet.

Der Linearregler und der Buck- bzw. Boost-Konverter konkurrieren bei den weiteren Überlegungen zur Regelung der chipinternen Versorgungsspannung.

Im folgenden wird die Relation $\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}}$, mit $P_{Ges.,V_{Chip}}$ = Verlustleistung des ICs mit geregelter Chipspannung und $P_{Ges.,V_{DD}}$ = Verlustleistung des ICs mit externer ursprünglicher Spannung V_{DD} für den Linearregler und für den Buck- bzw. Boost-Konverter angegeben. Der Buck- und Boost-Konverter sollen im folgenden als Gleichspannungswandler zusammengefasst werden, da sich beide für die Leistungsbetrachtungen gleich beschreiben lassen.

Mit Betrachtung der dynamischen Verlustleistung im Chip (Verlustleistung durch Leckströme und Kurzschlussströme wurden mit untersucht, gehen jedoch nur geringfügig in die Gesamtverlustleistung ein), welche durch Umladevorgänge an Kapazitäten verursacht wird, lassen sich folgende Beziehungen aufstellen.

Die gesamt umzuladende Kapazität C auf dem Chip, welche mit einem Spannungshub V geladen wird, führt zu einem Ladungstransport von

$$Q = V \cdot C = \overline{I}_{Chip} \cdot T_{Clk} \tag{4.1}$$

Über eine Taktperiode T_{Clk} verteilt erhält man damit den mittleren Ladestrom $\overline{I}_{Chip}$. Zusammen mit dem Spannungshub V ergibt sich

$$P_V = \overline{I}_{Chip} \cdot V = \frac{V \cdot C}{T_{Clk}} \cdot V = \frac{1}{T_{Clk}} \cdot C \cdot V^2 = f_{Clk} \cdot C \cdot V^2 \tag{4.2}$$

als bereits bekannten Ausdruck für die dynamische Verlustleistung.

Verlustleistung mit dem Linearregler: Das zu versorgende System (Last) auf dem Chip wird mit der Chipspannung V_{Chip} betrieben und führt demnach zu dem Verlustleistungsanteil

$$P_{System,V_{Chip}} = f_{Clk} \cdot C \cdot V_{Chip}^2 \tag{4.3}$$

An dem Linearregler fällt die Differenzspannung zwischen externer V_{DD}-Spannung und V_{Chip} ab. Der Strom I_{Chip} fließt durch den Längstransistor, so dass im Linearregler die Verlustleistung

$$P_{Linearregler} = (V_{DD} - V_{Chip})\overline{I}_{Chip} + P_{Zusatz,Regelung} = (\frac{V_{DD}}{V_{Chip}} - 1)\, f_{Clk} C V_{Chip}^2 + P_{Zusatz,Regelung} \tag{4.4}$$

erzeugt wird. In $P_{Zusatz,Regelung}$ ist der Leistungsbedarf der zusätzlich notwendigen Schaltungselemente im Linearregler zusammengefasst.

Das Verlustleistungsverhältnis zwischen geregelter Chipspannung und ungeregeltem Betrieb mit der Spannung V_{DD} lässt sich somit ausdrücken zu

$$\begin{aligned}
\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}} &= \frac{P_{System,V_{Chip}} + P_{Linearregler}}{P_{System,V_{DD}}} = \\
&= \frac{f_{Clk}CV_{Chip}^2 + (\frac{V_{DD}}{V_{Chip}} - 1)\, f_{Clk}CV_{Chip}^2 + P_{Zusatz,Regler}}{f_{Clk}CV_{DD}^2} \\
\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}} &= \frac{V_{Chip}}{V_{DD}} + \frac{P_{Zusatz,Regler}}{P_{System,V_{DD}}}
\end{aligned} \tag{4.5}$$

Als Ergebnis ist zu erkennen, dass sich die Verlustleistung der digitalen Schaltung auf dem Chip linear mit V_{Chip} absenken lässt. Der Term $\frac{P_{Zusatz,Regler}}{P_{System,V_{DD}}}$ ist annähernd konstant.

Verlustleistung mit Einsatz eines Gleichspannungswandlers: Die Umsetzung der Eingangsspannung in eine gewünschte Ausgangsspannung ist beim Buck- bzw. Boost-Konverter über einen größeren Ausgangsstrombereich sehr wirkungsvoll. Das Verhältnis von Eingangsleistung zu Ausgangsleistung an einem solchen Gleichspannungswandler wird über den Wirkungsgrad angegeben, der zu $\eta > 90\%$ erreichbar ist. Über diesen Wirkungsgrad $\eta = \frac{P_{U_{aus}}}{P_{U_{in}}}$ kann die Eigenverlustleistung des Gleichspannungswandlers zu $P_{Wandler} + P_{U_{aus}} = P_{U_{in}}$ angegeben werden. Mit $P_{U_{aus}} = P_{System,V_{Chip}}$ folgt

$$P_{Wandler} = (\frac{1}{\eta} - 1) P_{System,V_{Chip}} \tag{4.6}$$

Das Verhältnis $\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}}$ von geregelter zu ungeregelter Chipspannung führt dann auf den Ausdruck

$$\begin{aligned}
\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}} &= \frac{P_{Wandler} + P_{System,V_{Chip}}}{P_{System,V_{DD}}} = \frac{(\frac{1}{\eta} - 1)P_{System,V_{Chip}} + P_{System,V_{Chip}}}{P_{System,V_{DD}}} = \\
&= \frac{1}{\eta}\left(\frac{V_{Chip}}{V_{DD}}\right)^2
\end{aligned} \tag{4.7}$$

Mit einem Gleichspannungswandler lässt sich wie aus Gleichung 4.7 ersichtlich durch ein Absenken der Chipspannung V_{Chip} eine quadratische Reduzierung der Gesamtverlustleistung des Chips erreichen. Die Eigenverlustleistung des Gleichspannungswandlers wird mit dem Wirkungsgrad η berücksichtigt.

Diagramm 4.10 gibt die berechneten Verhältnisse $\frac{P_{Ges.,V_{Chip}}}{P_{Ges.,V_{DD}}}$ bei Verwendung eines Linearreglers und eines Gleichspannungswandlers anschaulich wieder.

Bei einer geringen Absenkung der Versorgungsspannung V_{Chip} ist der Gleichspannungswandler aufgrund seines Wirkungsgrades nicht effizient. Der Linearregler eignet sich für den Bereich von etwa $90\%V_{DD} < V_{Chip} < V_{DD}$ besser, obwohl auch dieser eine gewisse zusätzliche

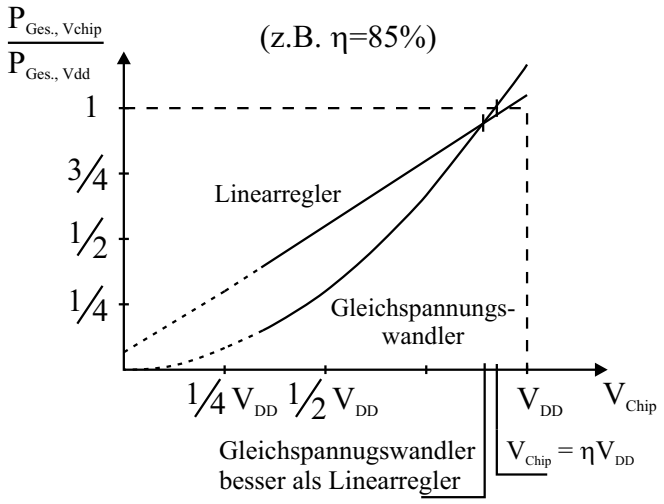


Abbildung 4.10: Vergleich der Verlustleistung eines ICs mit Linearregler und eines ICs mit Gleichspannungswandler. Der Wirkungsgrad des Gleichspannungswandlers wurde mit $\eta = 85\%$ und beim Linearregler der Term $\frac{P_{Zusatz,Regler}}{P_{System,V_{DD}}} = 10\%$ (siehe Gleichung 32) angenommen.

Verlustleistung aufgrund dessen Ansteuerung benötigt. Unterhalb $V_{Chip} < 90\%V_{DD}$ zeigt der Gleichspannungswandler wegen der quadratischen Abhängigkeit von V_{Chip} eindeutige Vorteile bei der Verlustleistungsreduzierung gegenüber dem Linearregler. Bei einer Verringerung der Versorgungsspannung auf $V_{Chip} < 60\%V_{DD}$ (siehe Kapitel 3.5) ist der Einsatz eines Gleichspannungswandlers in Bezug auf den Verlustleistungsaspekt immer dem Linearregler vorzuziehen [61].

Abschließend sind die Eigenschaften von den in diesem Kapitel vorgestellten Spannungsreglern in Tabelle 4.1 zusammengefasst.

Tabelle 4.1: Beurteilung der Spannungsreglerkonzepte bzgl. verschiedener Eigenschaften (siehe hierzu auch [47, 48]).

	Linearregler	Ladungspumpe	Buck-/Boost-Konverter	Resonante Wandlerkonzepte
Welligkeit der Ausgangsspannung (Brummspannung)	Gering.	Abhängig von der Ausgangsleistung und -kapazität; Schwingung mit der Regelfrequenz.	Ähnliche Abhängigkeit wie bei Ladungspumpe.	Ähnliche Abhängigkeit wie bei Ladungspumpe.
Regelung der Ausgangsspannung	Schnell und sehr genau.	Schlecht; Lastwechsel schwer regelbar; meist für konstante Ausgangsspannung.	Schnell und genau.	Verschiedene Typen sind empfindlich gegenüber Lastwechsel am Ausgang.
Erzielbare Ausgangsleistung	Hohe Belastung.	Bis etwa $100mA$ Ausgangsstrom zweckmäßig	Hohe Belastung.	Hohe Belastung.
Spannungswandlung U_{in} zu U_{aus}	Abwärts.	Aufwärts und abwärts.	Buck-Konv. abwärts; Boost-Konv. aufwärts.	Verschiedene Typen für Abwärts- und Aufwärtswandlung vorhanden.
Wirkungsgrad: a) U_{aus} nahe U_{in} b) $U_{aus} \ll$ bzw. $\gg U_{in}$	a) gut b) schlecht	a) und b): Gut bis sehr gut.	a) und b): Sehr gut, $> 90\%$.	a) und b): Sehr gut $> 90\%$.
Schaltungsaufwand	Sehr gering, 1 großer Transistor.	Mehrere Kapazitäten und Transistoren notwendig.	1 Induktivität und 1 Kapazität notwendig sowie 2 größere Transistoren.	Mehrere Induktivitäten und Kapazitäten nötig. Desweiteren Dioden und Transistoren.
Integrationsfähigkeit auf dem Chip	Sehr gut.	Kapazitäten problematisch.	Kapazität und Induktivität problematisch.	Viele Induktivitäten, gemeinsam nicht integrierbar und Kapazität problematisch.

Kapitel 5

Adaptive chipinterne Spannungsregelung

5.1 Adaptive Spannungsregelung

5.1.1 Bekannte Konzepte

Die Idee, Verlustleistung von digitalen CMOS-Schaltungen durch Absenken der Versorgungsspannung zu reduzieren wurde bereits vor etwa 10 Jahren veröffentlicht. In diesem Kapitel wird ein kurzer Rückblick auf vergangene Entwicklungen in diesem Bereich gegeben und abschließend die Hintergründe für das eigene Forschungsprojekt erläutert, mit denen eine Abgrenzung zu vorangegangenen publizierten Arbeiten geschaffen wird.

1990, Vincent von Kaenel und andere: Zusammen mit Peter Macken und Marc G. R. Degrauwe veröffentlichte Vincent von Kaenel [62] als einer der ersten das Konzept einer adaptiven Spannungsregulierung (siehe Bild 5.1).

An einer Modellschaltung des aus dem digitalen System extrahierten kritischen Pfads werden Laufzeitmessungen durchgeführt, wobei ein Modellpfad mit der ursprünglichen Versorgungsspannung V_{DD} und ein identischer zweiter Modellpfad mit der geregelten Spannung V_{red} betrieben wird. An beiden Nachbildungen des kritischen Pfads wird gleichzeitig ein Testsignal angelegt. Der nachgeschaltete Komparator vergleicht nach der Abtastung mit der Systemtaktfrequenz des digitalen Systems die Signale der beiden Ausgänge. Solange beide Signale übereinstimmen, kann über den Linearregler die Spannung V_{red} verringert werden, bis die Werte der Messsignale differieren. Damit lässt sich die kleinste Spannung für eine korrekte Funktion des digitalen Systems ermitteln und adaptiv einstellen. Der Aufbau der Modellschaltung des kritischen Pfads wird aus verschiedenen Inverterstrukturen vorgeschlagen, welche zu einem Ringoszillator rückgekoppelt sind. Die Frequenz des Ringoszillators ist spannungsabhängig ($\hat{=}$VCO). Damit lässt sich das Prinzip der Spannungsregelung von Bild 5.1 in Form einer „Phase Lock Loop"-Schaltung (PLL) bewerkstelligen. Mit der Laufzeitmessung an der Modellschaltung werden Schwankungen von Prozessparametern sowie von Betriebsparametern (z.B. Temperaturänderungen) erfasst und die Spannung V_{red} wird entsprechend adaptiv geregelt.

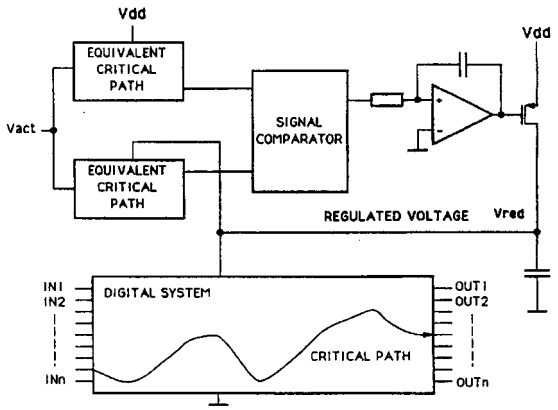


Fig. 1. Principle of a self-adjusted voltage reducer.

Abbildung 5.1: Adaptive Spannungsregelung. Vorgestellt im Jahr 1990 von Kaenel und andere [62].

1996, G.-Y. Wei und M. Horowitz: Die Forschergruppe an der Stanford Universität greift das Prinzip Vincent von Kaenels auf und stellt eine adaptive Spannungsregelung vor [63], welche im Gegenzsatz zu Kaenel et al [62] einen digital realisierten Regler enhält. Die variable Versorgungsspannung V_{Chip} ($= V_{red}$ in Kaenel und andere [62]) des ICs wird mit einem Abwärtswandler (Buck-Konverter) erzeugt, welcher etwa $1,5W$ bei $V_{Chip} = 5V$ leistet. Die Leistungsfähigkeit des ICs wird wie in [62] dynamisch über einen spannungsabhängigen Ringoszillator gemessen, dessen Oszillatorfrequenz mittels eines Frequenzzählers in eine Digitalzahl gewandelt wird.

Aufgrund der großen Bauteilwerte für die notwendige Induktivität und Kapazität des Abwärtswandlers müssen diese Komponenten außerhalb des ICs plaziert werden. Es wurde ein Testchip realisiert, welcher einen Wirkungsgrad für die Spannungswandlung bis zu $\eta = 93\%$ aufweist.

1998, T. Kuroda und andere: In dieser Veröffentlichung wird eine Regelung der Versorgungsspannung V_{Chip} im Chip zusammen mit einer Anpassung der Schwellwertspannung U_{Th} durch Anlegen einer Substratvorspannung gezeigt [64]. Ein Abwärtswandler generiert die chipinterne Versorgungsspannung, welcher wiederum wegen der Größe von Induktivitäts- und Kapazitätswerten $L = 8\mu H$ und $C = 32\mu F$ nicht vollständig integriert werden kann. Die Ausgangsleistung beträgt etwa $140mW$ bei $V_{Chip} = 2,1V$. Das Messsignal, welches die Leistungsfähigkeit, d.h. die Laufzeit des kritischen Pfads wiedergibt, wird über Laufzeitmessungen an drei verschieden „langen" Signalpfaden gewonnen. Der Regler besteht aus einem digitalen Integrator. Aufgrund von Stabilitätsproblemen wird die Regelungsfrequenz, mit der die Laufzeitmessungen gesteuert werden, auf $f_{Regelung} = 62,5kHz$ herabgesetzt, anstatt wie ursprünglich geplant mit $f_{Regelung} = 1MHz$ zu takten. Am Testchip wurde für die Spannungsregelung ein Wirkungsgrad von maximal $\eta = 82\%$ gemessen.

Weitere Veröffentlichungen: Die Forschergruppe von Mark Horowitz an der Stanford Universität zeigte in weiteren jüngsten Veröffentlichungen [65, 66, 67] den Fortgang der Arbeiten

an adaptiven Spannungsregelungen. Das 1996 veröffentlichte Grundkonzept wurde beibehalten. Die neuen Erkenntnisse in [65, 66] beziehen sich auf die Laufzeitmessung des kritischen Pfads anhand von Modellschaltungen. Verschiedene Lösungen für Modellschaltungen werden vorgestellt und deren Verhalten in Abhängigkeit von Spannungs- und Temperaturänderungen untereinander verglichen.

Auf dem Gebiet der adaptiven Spannungsregelung wurde in weiteren Veröffentlichungen eine Regelung in Abhängigkeit des Füllstands eines „FIFO-Buffers" [68] dargestellt oder der Einsatz von Versorgungsspannungsregelungen in verschiedenen Anwendungen wie z.B. mit einem Mikroprozessor [69] oder mit einem DSP (digitalem Signalprozessor) [70] vorgestellt.

Betrachtet man zudem noch verwandte Artikel, die ICs vorstellen, welche ihre Versorgungsspannung selbst über die Steuerung von externen Spannungswandlern einstellen wie z. B. beim Transmeta Prozessor [71] oder beim Intel XScale Mikroprozessor [72], so ist eine erhöhte Relevanz für Regelungen von Versogungsspannungen in aktuellen Entwicklungen feststellbar.

5.1.2 Vorstellung des eigenes Projekt

Die in nachfolgenden Kapiteln im Detail beschriebene Spannungsregelung, welche das Ziel dieser Dissertation ist, baut auf der Grundidee von Vincent von Kaenel (Bild 5.1) auf. Veröffentlichungen [41, 43, 42] und eigene Vorarbeiten [73] lassen die Verwendung eines Linearreglers wegen des einfachen Schaltungsentwurfs und der guten Integrationsfähigkeit sehr attraktiv erscheinen, doch soll wegen der weitaus höheren Verlustleistungsreduktion vor allem bei ICs mit starker Absenkung der Versorgungsspannung die Implementierung eines Gleichspannungswandlers verfolgt werden (siehe Kapitel 4.3.4, Bild 4.10).

Die Betrachtungen zur Spannungsversorgung des ICs (Kapitel 4.1 bis 4.2) veranschaulichen, welche Stromwerte und -steilheiten auf dem Versorgungsnetz im Chip auftreten. Desweiteren wurden die Folgeerscheinungen wie z.B. ein resultierender Spannungsabfall durch parasitäre Leitungswiderstände und -induktivitäten aufgezeigt. Um den Stromanforderungen einer zu versorgenden integrierten Schaltung gerecht zu werden und eine stabile Spannungsversorgung zu gewährleisten, sollte der Spannungsregler deshalb nahe an den Verbraucher gesetzt werden. Übertragen auf ein IC bedeutet dies, dass ein Spannungsregler entweder nahe am IC-Gehäuse platziert wird oder als Weiterführung auf das Chip mit der zu versorgenden Schaltung integriert wird [38]. Eine integrierte Spannungsregelung wirkt sich wegen der kurzen Versorgungsleitungen positiv bei der Vermeidung von Spannungsoszillationen zwischen parasitären Leitungsinduktivitäten und -kapazitäten bzw. zusätzlich eingebrachten Stützkapazitäten (siehe hierzu [4, 38]) aus. Als Unterschied zu bekannten Veröffentlichungen [63, 74, 67, 64, 69] soll untersucht werden, inwieweit die Spannungsregelung mit dem Gleichspannungswandler vollständig auf dem Chip integriert werden kann. Aus verschiedenen Veröffentlichungen zu Spannungsregelungen mit Buck-Konvertern ist zu sehen, dass vor allem die passiven Bauelemente wie Induktivität und Kapazität bei Gleichspannungswandlern wegen ihrere Größe schwer integrierbar sind. Die Bauteildimensionen sind u.a. abhängig von der Schaltfrequenz, mit der ein Gleichspannungswandler betrieben wird. Der in dieser Dissertation behandelte Spannungsregler soll mit einer Taktfrequenz betrieben werden, bei der die Dimensionen der passiven Bauelemente eine Integration erlauben.

Projekte, die aus Gründen der Verlustleistungsreduzierung einen Gleichspannungswandler zur Regelung der chipinternen Versorgungsspannung enthalten, verwenden ausschließlich einen Buck-Konverter. Wie aus dem Schaltbild 4.6 auf Seite 27 zu erkennen ist, liegt beim Buck-Konverter die Induktivität und die Kapazität an dessen Ausgang. Die Integration von Spulen auf dem Chip, welche geringe Verluste bei hohen Strömen aufweisen, ist wegen des geringen Querschnitts der Leitungen in den Metallisierungsebenen schwer zu realisieren (siehe auch Kapitel 5.3.2). Deshalb werden die hier erforderlichen Induktivitäten extern ausgeführt. Beim Buck-Konverter ist es damit notwendig, nach den Schalttransistoren (integrierte MOS-Transistoren) eine Verbindung über die Gehäusepins zu einer extern angebrachten Spule und evtl. einer Kapazität zu schaffen. Eine Leitungsführung über die Pad-Zellen nach außerhalb des IC-Gehäuses bringt nicht zu vernachlässigende parasitäre Induktivitäten und Kapazitäten mit sich, die angeregt durch Stromimpulse aus dem IC wiederum zu Spannungsoszillationen führen können. Dämpfungsmaßnahmen und zusätzliche Stützkapazitäten auf dem Chip sollten deshalb einbezogen werden.

Der Aufbau des Boost-Konverters mit der Lage der Induktivität an dessen Eingang war ein wesentlicher Grund, eine Spannungsregelung mit diesem Gleichspannungswandlertyp zu entwerfen.

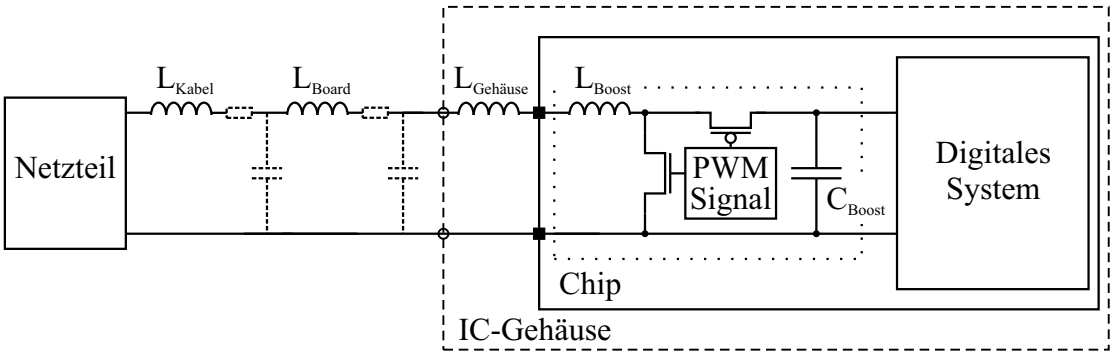


Abbildung 5.2: Auf dem Chip integrierter Boost-Konverter zur Versorgung des digitalen Systems.

Die parasitären Induktivitäten der Zuleitungen vom Netzteil zum IC liegen in Serie zur Eingangsinduktivität des Boost-Konverters (siehe Bild 5.2). Damit lassen sich die parasitären Leitungsinduktivitäten, welche sich normalerweise störend auf die Spannungsversorgung auswirken, nutzbar machen. Der Induktivitätswert der Leitungen trägt zur Eingangsinduktivität des Boost-Konverters bei. Stützkapazitäten, welche üblicherweise zur Stabilisierung der Spannung an den Gehäusepins des ICs platziert werden, sind nicht notwendig, wodurch Kosten der Bauteile und Flächenbedarf auf der Schaltungsplatine reduziert werden. Als weiteres Argument für die Verwendung des Boost-Konverters ist die Unterbrechung von Induktivität am Eingang und Kapazität am Ausgang des Konverters durch den Schalttransistor anzuführen. Der Schalttransistor zwischen den beiden passiven Bauelementen nimmt die Funktion einer Diode ein und lässt nur einen Stromfluss in Richtung Ausgangskapazität zu. Freie Schwingungen zwischen der Induktivität und der Kapazität werden damit unterbunden [39].

Der Boost-Konverter erzeugt an dessen Ausgang eine größere Spannung als an dessen Eingang.

Mit einer am IC anliegenden herkömmlichen Versorgungsspannung von z.B. $V_{DD} = 3,3V$ (bei einer $0,35\mu m$ Technologie) und dem Ziel der Spannungsregelung, die chipinterne Spannung $V_{Chip} < V_{DD}$ zu reduzieren, scheint der Boost-Konverter als Spannungsregler ungeeignet zu sein. Da auf einer Schaltungsplatine zur Versorgung der verschiedenen ICs bereits oftmals mehrere Spannungswerte zur Verfügung stehen, ist die Zuführung einer kleineren Versorgungsspannung am Eingang des Boost-Konverters von z.B. $1,8V$ möglich. Ein weiterer Vorteil des Boost-Konverters zeigt sich in tragbaren Geräten, bei denen die integrierte Schaltung direkt aus einer Batteriespannung von $1,2V$ bzw. $1,5V$ versorgt werden kann.

Der Regler, welcher das Messsignal - hier die Laufzeit des kritischen Pfads - bewertet und entsprechend ein Steuersignal an den Boost-Konverter ausgibt, soll digital entworfen werden. Das Verhalten des Reglers ist damit relativ unempfindlich gegenüber Störungen wie Signalrauschen, Versorgungsspannungsschwankungen oder ähnlichen Effekten. Die digitale Reglerschaltung kann als VHDL-Kode beschrieben werden. Damit können Verhaltenssimulationen durchgeführt werden und die VHDL-Beschreibung lässt sich schnell und einfach modifizieren. Aus dem VHDL-Kode ist über einen Synthese- und „Place & Route"-Durchlauf schnell ein standardzellenbasiertes Layout zu erzeugen. Eine nachträgliche Anpassung der Reglerschaltung an die Komponenten im Regelkreis ist unproblematisch.

Der digitale Regler wird mit einer Frequenz getaktet, welche aufgrund der beabsichtigten kleinen Bauteildimensionen groß gewählt wird. Hohe Taktfrequenzen können, wie in verschiedenen Literaturstellen erklärt, zu instabilem Verhalten führen. Ein sorgfältiger Entwurf des Regelalgorithmus ist deshalb für die Stabilität der chipinternen Versorgungsspannung entscheidend.

Die Nachbildung des kritischen Pfads, welcher sich in dem zu versorgenden digitalen System befindet, setzt voraus, dass dieser Signalpfad extrahierbar ist. Große Systeme weisen jedoch sehr viele Signalpfade auf, deren Laufzeiten sich nur geringfügig von der Laufzeit des kritischen Pfads unterscheiden. Lokale Parameterschwankungen führen zu Variationen der Signallaufzeit. Aufgrund ihrer zufälligen Verteilung kann aus den Schaltungsentwurfswerkzeugen keine genaue Aussage über die örtliche Lage des tatsächlichen kritischen Pfads nach dem Herstellungsprozess gemacht werden. Diese Problematik soll bei dem Entwurf der Messschaltung für die Laufzeitmessung berücksichtigt werden.

Zusätzlich sind Laufzeitschwankungen durch die inhomogene Temperaturverteilung auf dem Chip zu erwarten. Hohe lokale Schaltungsaktivitäten einzelner Module führen zu sogenannten „hot spots". Mit Hilfe eines Temperatursensorfeldes sollen Temperaturunterschiede auf dem Chip ebenfalls in der Messschaltung berücksichtigt werden.

Das Blockschaltbild 5.3 zeigt den gesamten Aufbau der vorgestellten Spannungsregelung mit dem zu versorgenden digitalen System auf einem Chip. Die chipinterne Spannung V_{Chip}, welche durch die Spannungsregelung für jeden Chip individuell eingestellt wird, kann unterschiedliche Spannungswerte im Bereich von etwa $V_{Chip} \approx 2V \ldots 3,3V$ aufweisen. Für einen korrekten Datenaustausch mit anderen ICs müssen jedoch an den Ein- und Ausgängen (I/O-Pins) des ICs mit Spannungsregelung vordefinierte Signalpegel eingehalten werden. Die typische Versorgungsspannung der verwendeten $0,35\mu m$ Technologie ist $V_{DD} = 3,3V$. Diese Spannung ist ein standardisierter Wert, welcher für den Datenaustausch von vielen IC-Bauteilen verwendet

wird. Wegen der auftretenden Spannungsdifferenz zwischen interner Chipspannung V_{Chip} und der Spannung für einen logischen Signalzustand von '1' ($V_{High} = 3,3V$) an den I/O-Pins müssen Levelshifter (Pegelumsetzer) zur Umsetzung der Signalpegel eingesetzt werden. Diese Levelshifter können in den Padzellen untergebracht werden. Im Vergleich zu den Signaltreibern in den Padzellen kann die Verlustleistung der Levelshifter vernachlässigt werden.

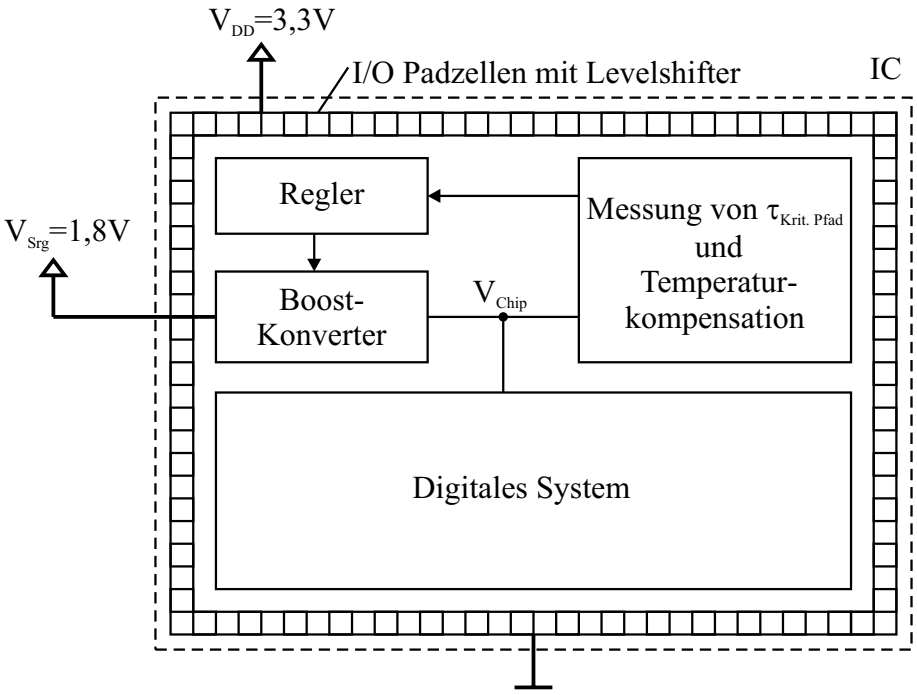


Abbildung 5.3: Blockschaltbild der Spannungsregelung mit Boost-Konverter gemeinsam mit einem digitalen System auf dem Chip.

Die notwendige Spannung von $3,3V$ für die I/O-Pins könnte ebenfalls mit dem Boost-Konverter erzeugt werden, soll jedoch in dem Konzept der hier vorgestellten Arbeit von extern zugeführt werden. Das IC mit der Spannungsregelung wird somit von zwei Spannungswerten versorgt. Aus einer Spannung von $V_{Srg} \approx 1,8V$ (Srg = Spannungsregelung) wird mit dem Boost-Konverter die chipinterne Spannung V_{Chip} erzeugt. Die Spannung $V_{DD} = 3,3V$ für die Signalpegel an den I/O-Pins wird von extern zugeführt. Aus schaltungtechnischen Gründen werden weitere Komponenten des integrierten Spannungsreglers mit der höheren Versorgungsspannung V_{DD} betrieben, wie noch näher erläutert wird.

Die folgenden Kapitel behandeln die einzelnen Komponenten der Spannungsregelung. Darin werden verschiedene Effekte und kritische Punkte aufgezeigt, Randbedingungen für die Spannungsregelung erläutert und Lösungen vorgestellt, deren Umsetzung in Kapitel 6 dargestellt wird.

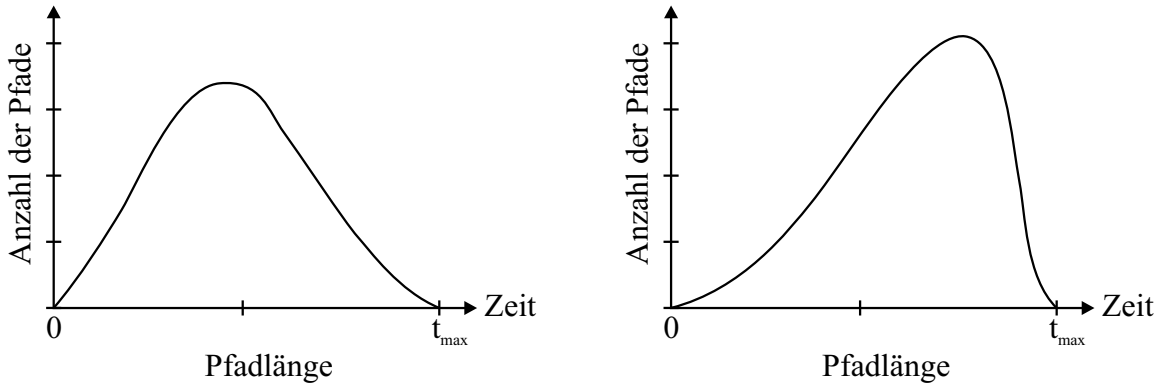
5.2 Messgrößen

Die Regelung der chipinternen Spannung erfolgt in Bezug auf die Laufzeit des kritischen Pfads $\tau_{Krit.Pfad}$ des digitalen Systems. Der Wert von $\tau_{Krit.Pfad}$ geht als Hauptgröße in die Spannungsregelung ein. Aufgrund von Temperaturunterschieden auf dem Chip, die sich zeitlich ändern können, sind Laufzeitänderungen an Signalpfaden, welche ähnliche Signallaufzeiten wie $\tau_{Krit.Pfad}$ aufweisen, möglich. Um diese Laufzeitänderungen zu erfassen, wird als weitere Messgröße die Chiptemperatur aufgenommen.

5.2.1 Signallaufzeit des kritischen Pfads

5.2.1.1 Pfadlängenverteilung

Der Datenfluss in einer digitalen Schaltung mit synchroner Taktverteilung wird durch die angelegte Taktfrequenz gesteuert. Hierzu sind an verschiedenen Stellen im IC Registerbänke eingefügt, welche die Datensignale im Rhythmus der Taktfrequenz weiterleiten. Zwischen den Registerbänken können unterschiedliche Logikkomponenten in Art und Anzahl angeordnet sein. Dementsprechend bilden sich zwischen den Registern Signalpfade unterschiedlicher „Länge" aus. Der längste Signalpfad wird als kritischer Pfad bezeichnet, wie in in Kapitel 3.2 erklärt. Abhängig von Entwurfskriterien für die Schaltungsentwicklung und den durchgeführten Optimierungsmaßnahmen ergibt sich für die fertiggestellte integrierte Schaltung unter Einbezug aller auftretenden Signalpfade eine Verteilungsfunktion der Signalaufzeiten (=Pfadlänge). Als Beispiel sind in Bild 5.4 zwei mögliche Pfadlängenverteilungen dargestellt.



(a) Realistische Pfadlängenverteilung

(b) Erstrebenswerte Pfadlängenverteilung

Abbildung 5.4: Beispiele von Pfadlängenverteilungen.

Der Kurvenverlauf in Diagramm 5.4a) lässt erkennen, dass der Hauptanteil der vorliegenden Signalpfade im IC etwa eine Laufzeit um $\tau \approx \frac{t_{max}}{2}$ aufweisen. Der längste auftretende Signalpfad (kritische Pfad) hat die Laufzeit t_{max}. Die maximale anlegbare Taktfrequenz des Systems ist somit zu $f_{System} < \frac{1}{T_{System}} = \frac{1}{t_{max}}$ bestimmt. Durch den flachen Kurvenverlauf in der Umgebung der

kritischen Pfadlaufzeit ist ersichtlich, dass das IC im Verhältnis zur Gesamtzahl der Signalpfade nur wenige Pfade mit großen Laufzeiten enthält.

Betrachtet man das Diagramm 5.4b), so ist eine große Anhäufung von Signalpfaden mit Laufzeiten nahe des kritischen Pfads zu beobachten. Derartige Pfadlängenverteilungen lassen auf eine stark optimierte Schaltung z.B. in Bezug auf höchsten Datendurchsatz oder Verlustleistungsoptimierung durch Treiberanpassung, Parallelisierung usw. schließen. Der überwiegende Anteil der Pfade nutzt die für die Datenverarbeitung zur Verfügung stehende Taktperiode $T_{System} \approx t_{max}$ nahezu vollständig aus. Diese Pfadlängenverteilung ist in Schaltungen wünschenswert, bedeutet aber gleichzeitig einen hohen Entwurfsaufwand.

5.2.1.2 Unsicherheit bei örtlicher Lage des kritischen Pfads

Die Signallaufzeit durch Logikgatter wird durch Betriebs- und Prozessparameter wie in Kapitel 3.3 gezeigt, beeinflusst. Schwankungen dieser Parameter wirken sich auf die Gatterlaufzeit aus und führen folglich zu Laufzeitschwankungen bei Signalpfaden wie z.B. dem kritischen Pfad.

In Kapitel 3.3.2 wurde bereits erklärt, dass für zukünftige Technologieentwicklungen eine Zunahme der lokalen Parameterschwankungen auf dem Chip erwartet wird. Die lokalen Parameterschwankungen äußern sich unter anderem in Schwankungen der Schwellwertspannung, welche zu Laufzeitvariationen von Gattern und Signalpfaden führen. Zwei benachbarte identische Strukturen können dadurch unterschiedliche Laufzeiten aufweisen. Damit lässt sich bei Signalpfaden, deren Pfadlänge nahe des kritischen Pfads liegen, zum Zeitpunkt des Schaltungsentwurfs nicht exakt voraussagen, welcher Signalpfad der tatsächliche kritische Pfad sein wird.

Unter Beibehaltung bisheriger Technologieprozesse wird die Zunahme der U_{Th} - Schwankungen für zukünftige Technologiegenerationen nach

$$\sigma_{U_{Th}} \propto \frac{1}{\sqrt{WL_{eff}}} \tag{5.1}$$

erwartet [27, 28, 29, 30], wobei W die Kanalweite und L_{eff} die effektive Kanallänge bezeichnet. Messungen an Testchips [20] ergaben für die Streuung der Schwellwertspannung Werte in Tabelle 5.1.

Tabelle 5.1: Schwellwertspannungsschwankungen $\sigma_{U_{Th}}$ über verschiedene Technologiegenerationen und zu erwartende Tendenz in Zukunft [20].

Technologie	$0,35\mu m$	$0,25\mu m$	$0,18\mu m$	kleinere Strukturen
$\sigma_{U_{Th}}$	$\sim 13mV$	$\sim 18mV$	$\sim 26mV$	Tendenz $\nearrow$
V_{DD}	$3,3V$	$2,5V$	$\sim 1,8V$	V_{DD} abnehmend

Die Streuung der Schwellwertspannung von MOS-Transistoren wirkt sich in lokalen Schwankungen von Gatterlaufzeiten aus ($\sigma_{Gatter,lokal} \approx 10\%$ bis 15%; $0,18\mu m$ Technologie [20, 75]) und beeinflusst damit die Laufzeit von Signalpfaden.

Die Untersuchungen an der TU München [20] zeigen, dass die Laufzeitschwankungen von Signalpfaden von verschiedenen Faktoren abhängen. Je mehr Gatter in einem Signalpfad angeordnet sind, was einer zunehmenden Logiktiefe entspricht, desto geringer fallen die relativen Laufzeitschwankungen aus. Die relativen Pfadlaufzeitschwankungen sind als $\frac{\tau_{Pfad,max}-\tau_{Pfad,min}}{\overline{\tau}_{Pfad}}$ definiert. Desweiteren wurde für eine Abnahme des Spannungsverhältnisses von $\frac{V_{DD}}{U_{Th}}$ eine Zunahme der relativen Pfadlaufzeitschwankungen ermittelt. Eine weitere Untersuchung zeigt, dass kleinere Tranistordimensionen ebenfalls zu einem Anstieg der relativen Pfadlaufzeitschwankungen führen.

Übertragen auf „Low-Power" Schaltungen, die zur Vermeidung von Leckströmen und Unterschwellenströmen große Schwellspannungswerte aufweisen, führt die Reduktion der Chipspannung auf eine Zunahme der Laufzeitschwankungen von Signalpfaden. Beim Einsatz der Spannungsregelung in ICs zukünftiger Generationen, welche kleine Bauteilstrukturen und höhere Systemtaktfrequenzen aufweisen, ist durch oben gezeigte Abhängigkeiten eine weitere Zunahme der relativen Pfadlaufzeitschwankungen zu erwarten.

In Tabelle 5.2 sind Laufzeitschwankungen angegeben, die an der TU München durch Messungen an Testchips einer $0,35\mu m$ Technologie ermittelt wurden.

Tabelle 5.2: Relative Pfadlaufzeitschwankungen in Abhängigkeit des Verhältnisses $\frac{V_{DD}}{U_{Th}}$ nach Untersuchungen an der TU München [20].

Verhältnis V_{DD}/U_{Th}	4	3	2,3
Pfadlänge mit 4 Gattern	$\sim 5\%$	$\sim 6\%$	$\geq 10\%$
Pfadlänge mit 8 Gattern	$\sim 3\%$	$\sim 4\%$	$\sim 4\%$ bis 8%

Für die Regelung der Chipspannung zwischen $V_{Chip} \approx 2V \ldots 3,3V$ muss für die verwendete $0,35\mu m$ Technologie mit Schwankungen der Pfadlaufzeiten im Bereich von 5% gerechnet werden. Laufzeitabweichungen von 5% können in der Spannungsregelung auf eine Abweichung vom korrekten Wert der Chipspannung um $\Delta V_{Chip} = 0,2V$ führen.

5.2.1.3 Laufzeitmessung direkt am kritischen Pfad

Eine Laufzeitmessung am tatsächlichen kritischen Pfad auf dem Chip bedingt das Wissen über dessen örtliche Lage auf dem Chip. Mit Hilfe der Software für den Schaltungsentwurf lässt sich aus dem IC-Layout unter Berücksichtigung der Prozess- und Betriebsparameterschwankungen der kritische Signalpfad der gesamten Schaltung extrahieren. Allerdings muss dieses Extraktionsergebnis kritisch betrachtet werden, wenn man die Aussagen in den beiden vorhergehenden Unterkapiteln mit berücksichtigt. Wie in Tabelle 5.2 gezeigt, kann ein Signalpfad aufgrund der lokalen Parameterschwankungen erhebliche Laufzeitschwankungen aufweisen. Weist die entworfene Schaltung zudem eine Pfadlängenverteilung annähernd wie in Bild 5.4b) auf, bei der viele Signalpfade Laufzeiten nahe der kritischen Pfadlaufzeit haben, so ist es durchaus möglich, dass der tatsächliche kritische Pfad des ICs nach der Herstellung nicht mit dem mittels der Software extrahierten Pfad übereinstimmt. Ein Messverfahren, welches Laufzeitmessungen

am extrahierten kritischen Pfad ausführt, könnte unter Umständen nicht die Laufzeit des tatsächlichen kritischen Pfads aufnehmen. Eine Laufzeitabweichung zwischen dem gemessenen Signalpfad und dem tatsächlichen kritischen Pfad kann sich unter Umständen noch vergrößern. Das Absenken der chipinternen Versorgungsspannung durch die Spannungsregelung führt auf ein kleineres Verhältnis von $\frac{V_{DD}}{U_{Th}}$. Mit den Ausführungen in vorigem Unterkapitel wirkt sich somit ein Absenken der Versorgungsspannung in einer Zunahme der Pfadlaufzeitschwankungen aus.

Zusätzlich kann man vor allem bei größeren Chips nicht davon ausgehen, dass die Chiptemperatur über die gesamte Chipfläche gleich ist. Durch erhöhte lokale Schaltaktivitäten von einzelnen Komponenten oder in Systemen mit „Power Management"-Funktionen, in denen einzelne Module in verschiedene Betriebsmodi geschaltet werden können, sind Regionen mit erhöhten Temperaturen auf dem Chip möglich. Das dynamische Verhalten des Systems kann während des Schaltungsbetriebs dazu führen, dass diese heißen Temperaturzonen („hot spots") wechseln. Da der Temperatureinfluss auf die Signallaufzeit von Logikpfaden nicht unwesentlich ist (siehe Abbildung 3.4) kann eine Voraussage, welcher Signalpfad eindeutig die längste Laufzeit aufweist, nur schwer erfolgen.

Unter der Annahme, dass der Schaltungsentwickler absichtlich einen Signalpfad wesentlich länger ausführt, der unter Berücksichtigung der beschriebenen Effekte immer die längste Signallaufzeit des Systems aufweist, ist eine Laufzeitmessung an diesem kritischen Pfad dennoch nicht wünschenswert. Durch Einfügen zusätzlicher Strukturen am kritischen Pfad wie aus Delay-Fault-Tests [76, 77] bekannt, wäre eine Laufzeitmessung neben dem normalen Betrieb der Schaltung möglich. Das Ausführen einer Laufzeitmessung würde jedoch den Datenfluss der Schaltung beeinträchtigen bzw. unterbrechen, was zu Konflikten mit umgebenden Schaltungskomponenten führen kann.

Die Unsicherheit, an dem betrachtenden Signalpfad die tatsächlich längste Signallaufzeit des Chips zu messen und evtl. eine Störung des Datenflusses in diesem Signalpfad während der Laufzeitmessung zu verursachen, führen zur Überlegung, Laufzeitmessungen an einem eigenständigen Messpfad durchzuführen. Dieser Messpfad wird als Nachbildung des kritischen Pfads ausgeführt, dessen Laufzeitverhalten dem kritischen Pfad im System gleicht.

5.2.1.4 Nachbildung eines kritischen Pfads

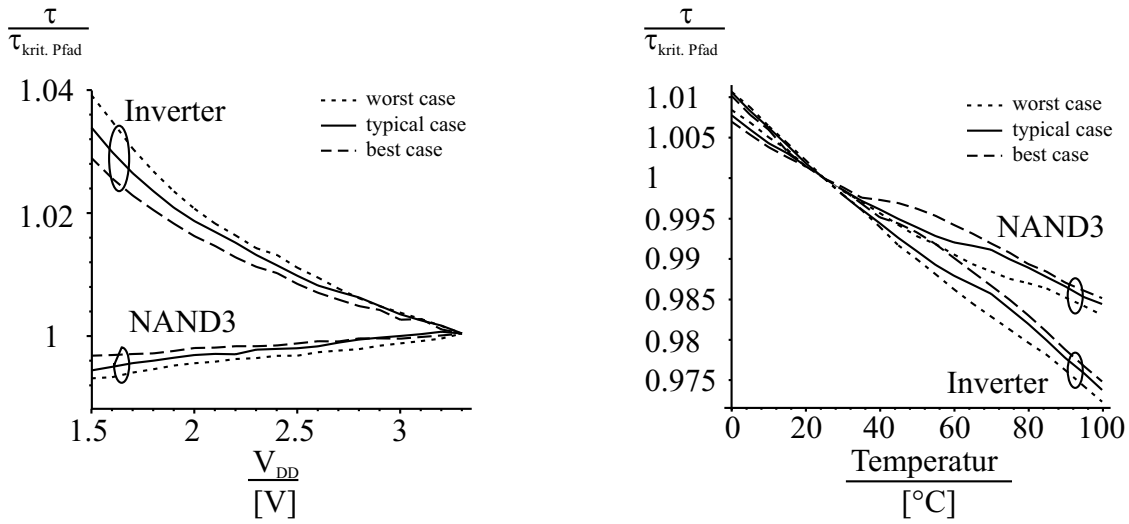
Eine Modellschaltung des kritischen Pfads könnte in einfachster Weise ein Duplikat des kritischen Signalpfads sein. Da jedoch wie in vorigem Abschnitt erläutert, der kritische Pfad eines Systems oftmals aufgrund der lokalen Parametervariationen und der Temperaturänderungen auf dem Chip nicht eindeutig zu bestimmen ist bzw. während des Betriebs wechseln kann, ist eine Übereinstimmung von erstelltem Duplikat und tatsächlichem kritischen Pfad nicht zu garantieren.

Untersuchungen, welche von verschiedenen Forschergruppen veröffentlicht wurden [62, 74], zeigen, dass sich längere Signalpfade wie sie bei kritischen Pfaden auftreten durch eine Aneinanderschaltung von Grundgattern nachbilden lassen. Als Elemente dieser Gatterkette können Grundgatter wie Inverter, NAND oder NOR eingesetzt werden. Aufgrund der Vielfältigkeit

im Aufbau des kritischen Pfads ist eine Verhaltensabweichung zwischen kritischem Pfad und Nachbildung in Form einer Gatterkette unumgänglich. Verschiedene Untersuchungen ergaben bei der Verwendung von NAND-Gattern mit einem Fan-Out von drei allgemein eine gute Übereinstimmung des Verhaltens von Gatterkette zu möglichen kritischen Pfaden [78].

Um das Laufzeitverhalten verschiedener Gatterketten im Vergleich zum kritischen Pfad genauer zu studieren, wurde mit der hier verwendeten $0,35\mu m$ Technologie Simulationen angestellt. Die zu untersuchenden Gatterketten wurden zum einen aus Invertern mit einem Fan Out von eins und zum anderen wie in der Literatur empfohlen, aus NAND Gattern mit einem Fan Out von drei aufgebaut.

In Bild 5.5a) ist das Verhalten der beiden Gatterketten in Abhängigkeit der Versorgungsspannung und in Bild 5.5b) über die Chiptemperatur aufgetragen. Die Laufzeit der Gatterketten wurde in Bild 5.5a) bei $V_{DD} = 3,3V$ auf die Laufzeit des kritischen Pfads (am Beispiel des 10 Bit Multiplizierers, siehe Diagramm 3.4) normiert. In Bild 5.5b) wurde die Laufzeitnormierung bei $T = 25°C$ vorgenommen.



(a) Laufzeitverhältnis $\frac{\tau_{Gatterkette}}{\tau_{Krit.Pfad}}$ über der Spannung.

(b) Laufzeitverhältnis $\frac{\tau_{Gatterkette}}{\tau_{Krit.Pfad}}$ über die Temperatur des Chips.

Abbildung 5.5: Laufzeitverhalten zweier Gatterketten mit Invertern und NAND-Gattern im Vergleich zur Laufzeit des kritischen Pfads am Beispiel des 10 Bit Multiplizierer in Abb. 3.3.

Betrachtet man den Absolutwert der Laufzeitabweichung von Gatterkette zu kritischem Pfad, so ist mit der NAND-Gatterkette eine bessere Übereinstimmung zu erkennen. Allerdings weist diese Gatterkette bei kleinerer Spannung eine kürzere Laufzeit als der kritische Pfad auf. Um Funktionsausfälle in dem zu versorgenden System mit der Spannungsregelung zu vermeiden, sollte der Messpfad mindestens die Laufzeit des kritischen Pfads aufweisen. Das Einfügen von zusätzlichen Verzögerungselementen bei der NAND-Gatterkette wäre nötig. Die Gatterkette aus Invertern zeigt die Tendenz einer zunehmenden Laufzeitabweichung mit kleinerer Versorgungsspannung. Diese sich vergrößernde Laufzeitabweichung kann beim Aufbau der

Spannungsregelung (siehe Kapitel 6) als Sicherheit für eine robuste Spannungsregelung genutzt werden. Das Laufzeitverhalten der beiden Gatterketten in Abhängigkeit von der Temperatur ist ähnlich. Die Laufzeitabweichung zum kritischen Pfad werden beim Abgleich der Gatterketten, welcher in folgendem Abschnitt näher erläutert wird, berücksichtigt.

5.2.1.5 Abgleich der Nachbildung mit kritischem Pfad

Um eine Gatterkette als Messpfad für die Spannungsregelung zu nutzen, muss deren Laufzeit an die des kritischen Pfads angepasst werden. Die Dimensionierung der Gatterkette beim Schaltungsentwurf auf der Grundlage von Laufzeitsimulationen des durch Extraktionswerkzeuge ermittelten kritischen Pfad im System führt zur gleichen Problematik wie bei Verwendung eines Duplikats des kritischen Pfads. Die lokalen Parameterschwankungen können nach der Herstellung des Chips zu einer Fehlanpassung zwischen Gatterkette und kritischem Pfad führen. Die Ungenauigkeit in der Vorhersage von Pfadlaufzeiten aufgrund von stochastischen Parameterverteilungen lässt sich vermeiden, wenn nach dem Herstellungsprozess ein Abgleich zwischen Messpfad und kritischem Pfad vorgenommen wird. Die Prozessparameter der einzelnen Strukturen auf dem Chip sind nach dessen Herstellung festgelegt. Lediglich durch Alterungsprozesse sind geringe Veränderungen der Prozessparameter möglich.

Wie kann ein Abgleich des Messpfades bewerkstelligt werden?

Die stetige Strukturverkleinerung lässt die Entwicklung von immer komplexeren Schaltungen auf der gleichen Chipfläche zu. Für den Schaltungsentwurf bedeutet dies ein stetig steigender Aufwand bei der Durchführung von Verhaltenssimulationen an der zunehmenden Anzahl von Signalpfaden und die Platzierung einer hohen Anzahl von Transistoren [5] auf einem Chip.

Tests an gefertigten Chips zeigen mit zunehmender Komplextität der integrierten Schaltungen eine erhöhte Abweichung des Schaltungsverhaltens im Chip zum simulierten Verhalten. Gründe hierfür sind „Deep submicron"-Effekte, die wegen der Simulationszeit nicht berücksichtigt werden, und herstellungsbedingte Parameterschwankungen. Eine Überprüfung der integrierten Schaltung nach der Fertigung auf Funktionsfehler und Laufzeitfehler ist deshalb unverzichtbar [79]. Hierzu wird ein Produktionstest am Chip durchgeführt.

Die ansteigende Komplexität auf den Chips und die stetige Erhöhung der Pin-Anzahl am IC-Gehäuse führen desweiteren zu einer gewaltigen Zunahme von notwendigen Testdaten, um einen Chiptest mit maximaler Fehlerabdeckung durchzuführen. Damit einhergehend wird ein Anstieg der Testzeit um den Faktor 20 im Jahre 2005 bis zu einem Faktor 100 im Jahre 2014 und steigende Kosten für die Testgeräte erwartet [80].

Betrachtet man andererseits die Kosten für einen einzelnen Transistor auf dem Chip, so nehmen diese stetig ab und fallen kaum ins Gewicht (2001: $\sim \$\,0,000005/Trans.$; 2011: $\sim \$\,0,0000002/Trans.$ [5]). Zur Vermeidung der langen Testzeiten und der erheblichen Testkosten, wird die Integration von Testverfahren auf dem Chip verfolgt. Es sind eine Reihe von Testmethoden zum Erfassen verschiedener Fehlerarten bekannt [76, 81]. Unter anderem werden „Delay-Fault-Tests", welche Laufzeitfehler von Signalpfaden auffinden, in komplexen ICs immer wichtiger [82, 77]. „Delay-Fault-Tests" sind heute nur vereinzelt anzufinden, doch in

Zukunft werden diese laut ITRS[1] aufgrund der hohen Taktfrequenzen, den unterschiedlichen Taktregionen auf dem Chip, dem „clock skew" und der zunehmenden Signalverzögerung auf den Leitungen unverzichtbar werden [5]. Um die große Anzahl von Signalpfaden mit Laufzeiten nahe der kritischen Pfadlaufzeit zu testen, werden automatischen Testmustergeneratoren notwendig. Für das Erreichen einer hohen Abdeckung von möglichen Laufzeitfehlern auf dem Chip müssen Testverfahren als BIST[2] in die integrierte Schaltung auf dem Chip eingebunden werden [83, 77].

Die in den ICs implementierten Testverfahren, im speziellen „Delay-Fault-Tests", die in zukünftigen IC-Generationen wie oben beschrieben unausweichlich sind, werden für den Abgleich der Laufzeit des Messpfads zur kritischen Pfad-Laufzeit genutzt. Der Messpfad, als Gatterkette aufgebaut, ist programmierbar gestaltet. Entsprechend einem von extern angelegten Digitalwert $p_{Abgleich}$ kann die Laufzeit am Messpfad zu $\tau_{Messpfad} = p_{Abgleich} \cdot \tau_{init}$ eingestellt werden. τ_{init} ist dabei die Laufzeit des kleinsten Verzögerungselements in der Gatterkette.

Beim Produktionstest wird mit den implementierten Testverfahren unter Berücksichtigung von worst case Betriebsbedingungen die fehlerfreie Funktion des ICs überprüft [2]. Unter gleichen Testbedingungen wird im Anschluss die Abgleichroutine durchgeführt. Hierzu werden die im Chip vorhandenen Teststrukturen, im Besonderen „Delay-Fault-Test", genutzt, um an einer Auswahl von Signalpfaden, in denen der kritische Pfad vermutet wird Laufzeittests durchzuführen. Der Laufzeittest an diesen Signalpfaden wird mit veränderter Systemtaktfrequenz so lange wiederholt, bis ein Fehler auftritt. Auf die ermittelte Grenzfrequenz des Systems wird in einem anschließenden Zyklus der Messpfad durch Variieren des Programmierwerts $p_{Abgleich}$ abgeglichen.

Da die Ermittlung der Grenzfrequenz des Systems und der Abgleich des Messpfads für worst case Betriebsparameter, welche u. a. die größte spezifizierte Chiptemperatur einschließen, durchgeführt wurden, führen temperaturbedingte Laufzeitänderungen des Messpfads beim Betrieb der Spannungsregelung nicht zu einem Fehlverhalten des digitalen Systems. Wie in Abbildung 5.5b) zu sehen ist, weist der Messpfad für kleine Chiptemperaturen als bei worst case Bedingung gegenüber dem kritischen Pfad eine größere Signallaufzeit auf.

Der zusätzliche Aufwand für die Abgleichroutine wird gegenüber dem Produktionstest als geringfügig eingeschätzt. Durch die Vorauswahl der Signalpfade, an denen Laufzeittests zur Ermittlung der kritischen Pfad Laufzeit durchgeführt werden ist im Verhältnis zum chipumfassenden Test nur ein geringer Aufwand nötig. Das Durchstimmen der Frequenz des Systemtakts für die einzelnen Testdurchläufe kann mit einem Intervallschachtelungsverfahren zur schnellen Ermittlung der kritischen Pfad Laufzeit erfolgen. Taktfrequenzänderungen an den Testgeräten sind in kürzester Zeit möglich.

5.2.2 Chiptemperatur

Die Laufzeit und die örtliche Lage des kritischen Pfads auf dem Chip sind nicht nur abhängig von den Prozessparametern, sondern auch von dem Temperaturverhalten auf dem Chip. Un-

[1] ITRS = International Technology Roadmap for Semiconductors.
[2] BIST = Built in Self Test.

tersuchungen des Wärmeflusses auf dem Chip und Infrarotaufnahmen der Chipoberfläche [84] zeigen Temperaturgradienten von mehreren Dekaden über der Chipfläche von Mikroprozessoren. Im allgemeinen ensteht durch den hohen Leistungsbedarf der Takttreiber (bis zu 40% der gesamten Verlustleistung des Chips) [8] lokal eine hohe Wärmeentwicklung. In einem IC mit H-Taktbaum, dessen Takttreiber in der Mitte des Chips platziert sind, ist eine etwa kreisförmige Temperaturverteilung von der Mitte zum Rand des Chips zu beobachten [84]. Lokale Wärmequellen („hot spots") sind auch durch unterschiedliche Schaltaktivitäten von Modulen auf dem Chip möglich.

Durch die zunehmende Integrationsdichte nimmt allgemein die Betriebstemperatur in den ICs zu [85]. Für Aussagen zur Zuverlässigkeit von ICs, werden zunehmend Temperatursimulationen eingesetzt. Anhand von Wärmequellen-Modelle, die Schaltungsaktivitäten, Gatterdichte usw. berücksichtigen, kann ein Temperaturprofil bei Normalbetrieb der Schaltung über dem Chip simuliert werden [86]. Die Temperaturprofile werden für exakte Laufzeitsimulationen verwendet [86, 85]. Die Ergebnisse der vorgestellten Temperatursimulationen zeigen, dass aufgrund des dynamischen Verhaltens der Schaltung eine Änderung der Temperaturverteilung möglich ist, so dass der kritische Pfad zwischen einzelnen Signalpfaden [86] wechseln kann.

Eine auftretende Temperaturdifferenz zwischen Messpfad und kritischem Pfad führt wegen der Temperaturabhängigkeit der Signallaufzeit zu einer Abweichung zwischen der Laufzeit vom Messsignal zum kritischem Pfad. Eine durchaus realistische Temperaturdifferenz von $\Delta T = 20°C$ zwischen Temperaturumgebung des kritischen Pfads (mögliche Chiptemperatur z.B. $T = 70°C$) zur Region mit dem Messpfad (z.B. am Rand des Chips mit $T = 50°C$) [87] kann zu einer fehlerhaften Regelung der chipinternen Spannung um $\Delta V_{Chip} = 0,2V$ (am Beispiel des kritischen Pfads von Bild 3.4) führen.

Dieser temperaturbedingte Fehler der Spannungsregelung ist zu vermeiden, wenn die Laufzeitabweichung für maximal auftretende Temperaturunterschiede auf dem Chip als Sicherheitszuschlag dem Messpfad zugeführt wird. Als Folge würde jedoch der Bereich der möglichen Verlustleistungsreduktion geschmälert werden. Es wird daher der Ansatz gewählt, verteilte Temperatursensoren auf dem Chip einzusetzen. Diese sollen die maximal vorherrschende Temperaturdifferenz zur Temperatur am Messpfad detektieren. Die Laufzeit des Messpfads wird entsprechend der ermittelten Temperaturdifferenz durch eine Korrektur des digitalen Programmierwerts $p_{Abgleich}$ aus dem Abgleich des Messpfads verändert. Aus $p_{Abgleich}$ und der Temperaturkorrektur berechnet sich der Programmierwert p, mit dem die Laufzeiteinstellung am Messpfad erfolgt (siehe hierzu Kapitel 6.8).

5.3 Aufwärts-Wandler

5.3.1 Funktionsbeschreibung und Spezifikation

In Kapitel 4.3.2.3 wurde bereits die Funktionsweise eines Boost-Konverters in Grundzügen erklärt. Hier soll die Boost-Konverter-Schaltung etwas detailierter mit formelmäßiger Belegung der schaltungstechnischen Zusammenhänge erklärt werden. Bei den Betrachtungen wird der Einsatz des Boost-Konverters als chipinterner Spannungsregler berücksichtigt.

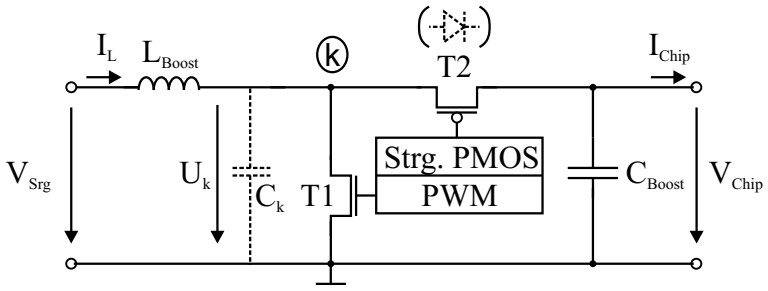
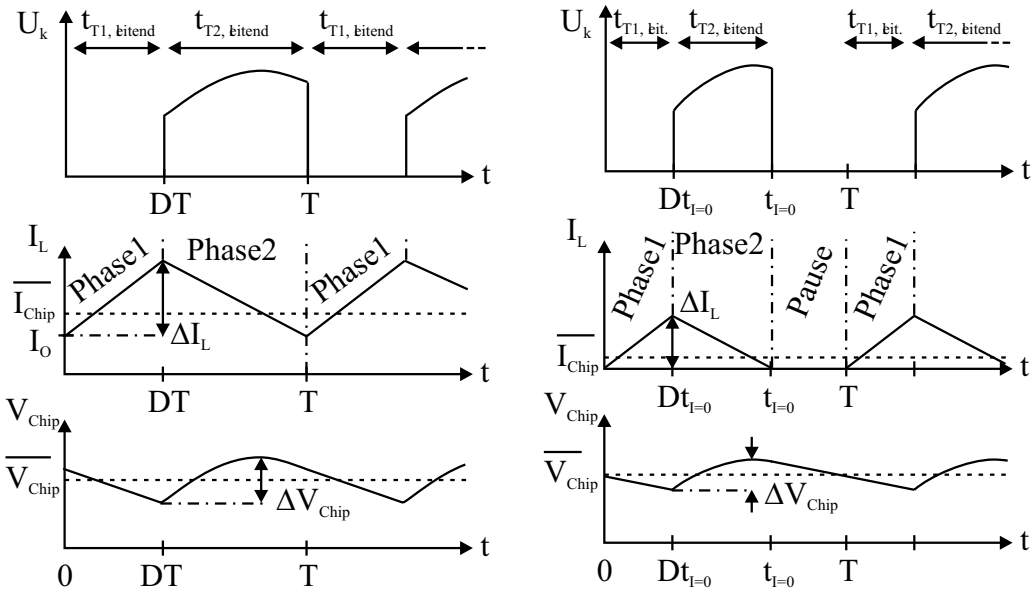


Abbildung 5.6: Schaltung des Boost-Konverters.

Die zwei schaltenden Elemente T1 und T2, welche als MOS-Transistoren ausgeführt sind, werden komplementär angesteuert, so dass sich entweder ein Strompfad vom Eingang über T1 nach GND oder über T2 zur Ausgangskapazität ausbildet. In der 1. Phase (T1 leitet, T2 sperrt) ergibt sich wegen der näherungsweise konstant anliegenden Spannung über der Spule $U_L \approx V_{Srg}$ ein linearer Stromanstieg von I_L (siehe Bild 5.7a).



(a) (b)

Abbildung 5.7: Verhalten des Boost-Konverters mit typischen Strom- und Spannungskurven für den a) kontinuierlichen Betrieb und b) diskontinuierlichen Betrieb.

Schalten die beiden Transistoren ideal bei $t = DT$ unter Vernachlässigung der Knotenkapazität C_k um, so liegt in der 2. Phase die negative Spannung $U_L = V_{Srg} - V_{Chip}$ ($V_{Chip} > V_{Srg}$) über der Spule an. Es folgt in Phase 2 dann mit der Näherung $V_{Chip} \approx konst.$ ein linearer Stromrückgang. Im kontinuierlichen Betrieb (Diagramm 5.7a) schließt sich nach $t = T$ nun sofort wieder die Phase 1 an, wohingegen im diskontinuierlichen Betrieb während des Zeitintervalls $t_{I=0} \leq t \leq T$ der Boost-Konverter in einer Art Leerlauf (beide Transistoren sind gesperrt) verharrt, bevor

wiederum Phase 1 startet.

Der Transistor T2 wird aus Verlustleistungsgründen als Ersatz für eine Diode eingesetzt. Eine PN-Diode auf Siliziumbasis hat üblicherweise eine Durchlassspannung von etwa $U_{Diode} \approx 0,7V$ [88]. Mit einer Auslegung des Transistors für eine Drain-Source-Spannung von $U_{DS} = 0,1V$ bei maximal vorkommendem Stromfluss ergibt sich ein Verhältnis der Verlustleistungen an der Diode zum MOS-Transistor von $\frac{P_{Diode}}{P_{MOS}} \approx \frac{0,7V \cdot I}{0,1V \cdot I} = 7$. Dieses Verhältnis wird sich unter Einbezug der dynamischen Verlustleistung für die notwendigen Treiberstufen am Gateanschluss etwas reduzieren. Dennoch wird der Einsatz eines PMOS-Transistors gegenüber einer Diode eine geringere Verlustleistung aufweisen. Um das Verhalten einer Diode nachzubilden muss zur Vermeidung eines zurückfließenden Stromes vom Ausgang zum Eingang des Boost-Konverters eine automatische Abschaltung des MOS-Transistors entworfen werden.

Kontinuierlicher Betrieb:

Über das Zeitintervall $0 \leq t \leq DT$ in Phase 1 (siehe Diagramm 5.7a), in welcher der Transistor T1 leitet, wird der Energieübertrag zum Ausgang gesteuert. Der stattfindende Stromfluss führt zum Aufbau des Magnetfeldes in der Spule L. Die magnetische Energie wird anschließend in der Phase 2 teilweise oder komplett in elektrische Energie auf dem Kondensator C_{Boost} übertragen. Im eingeschwungenen Zustand stellt sich der Spannungswert am Ausgang des Boost-Konverters in Abhängigkeit des Tastverhältnisses $D = \frac{t_{T1\,leitend}}{T}$ mit folgender Beziehung

$$\overline{V}_{Chip} = \frac{V_{Srg}}{1-D} \tag{5.2}$$

ein (Herleitung siehe Anhang A.1). Der mittlere Ausgangsstrom $\overline{I}_{Chip}$ für eine Ausgangsleistung $P_{Chip} = \overline{V}_{Chip} \cdot \overline{I}_{Chip}$ bildet sich aus einem Offset-Anteil I_0 und dem Mittel der darüberliegenden Stromwelligkeit ΔI_L . Für einen näherungsweise stetigen Anstieg und Abfall des Stromes in Phase 1 und 2 erhält man damit für den kontinuierlichen Betrieb in Abbildung 5.7a)

$$\overline{I}_{Srg} = \overline{I}_L = I_0 + \frac{1}{2}\Delta I_L; \quad \text{bzw.} \quad \overline{I}_{Chip} = \left[I_0 + \frac{1}{2}\Delta I_L\right](1-D) \tag{5.3}$$

Die auftretende Stromwelligkeit ΔI_L lässt sich mit dem Ausdruck (siehe hierzu auch Anhang A.1)

$$\Delta I_L = \frac{V_{Srg}}{L_{Boost}} DT \tag{5.4}$$

bzw. mit Gl. 5.2 auch zu

$$\Delta I_L = \frac{\overline{V}_{Chip}}{L_{Boost}} D(1-D)T \tag{5.5}$$

bestimmen.

Die Ausgangswelligkeit kann unter Annahme eines konstanten mittleren Stromflusses $\overline{I}_{Chip}$ am Ausgang abgeleitet werden (siehe Anhang A.1) zu

$$\Delta V_{Chip} = \frac{\overline{I}_{Chip}}{C_{Boost}} DT \tag{5.6}$$

Ist während des Zeitintervalls T ein konstanter Offsetstrom I_0 wie in Abbildung 5.7a) vorhanden, so befindet sich der Boost-Konverter in einem kontinuierlichen Betrieb. Der Stromfluss durch die Spule wird nicht unterbrochen und nimmt zu keiner Zeit einen Stromwert von $I_L = 0$ an. Verringert sich die Schaltaktivität des zu versorgenden Systems auf dem Chip oder werden durch „Power Down"-Strategien einzelne Schaltungsmodule abgeschaltet, so nimmt der Strom $\overline{I}_{Chip}$ ab. Unterhalb eines Ausgangsstroms von $\overline{I}_{Chip} = \frac{1}{2}\Delta I_L\,(1-D)$ (siehe Gl. 5.3) setzt der diskontinuierliche Betrieb wie beispielhaft in Diagramm 5.7b) gezeigt, ein. Der Spulenstrom geht bei diesem Betrieb des Boost-Konverters in Phase 2 auf $I_L = 0$ zurück. Durch die Funktionsweise des Transistors T2 als Diode wird eine Umkehr der Stromrichtung unterbunden. Zwischen dem Zeitpunkt $t_{I=0}$ und dem Beginn der nächsten Phase $t = nT$ (n=ganzzahlig) ist der Boost-Konverter im „Leerlauf".

Diskontinuierlicher Betrieb:

Die Gleichungen des kontinuierlichen Betriebs haben beim diskontinuierlichen Betrieb nur eingeschränkt Gültigkeit. Wird die Periodenzeit T durch den Zeitpunkt $t_{I=0}$ ersetzt, so sind die Gleichungen 5.2, 5.4 und 5.5 weiterhin gültig.

Der Boost-Konverter wird bei der Spannungsregelung nur im diskontinuierlichen Betrieb eingesetzt. Die Auslegung der Bauelmente des Boost-Konverters erfolgt derart, dass der Boost-Konverter bei maximaler Ausgangsleistung gerade noch im diskontinuierlichen Betrieb arbeitet.

Die Ansteuerung des Boost-Konverters geschieht über das Gate-Signal von Transistor T1, da T2 als Diode beschaltet wird. Die Regelung der Ausgangsspannung erfolgt durch Variation des Tastverhältnisses von $D = \frac{t_{T1\,leitend}}{T}$.

Für eine konstante Regelungsfrequenz $f_{Regelung} = \frac{1}{T_{Regelung}}$ bietet sich eine Impulsbreitensteuerung an. Desweiteren ist eine Impulsfrequenzsteuerung denkbar, bei der die Zeitdauer des leitenden Zustands von T1 konstant gehalten wird und entsprechend die Regelungsfrequenz $f_{Regelung}$ variiert wird [48]. Aus Gründen einfacherer Entstörmöglichkeit bei konstanter Regelungsfrequenz und der einfacheren Generierung des PWM-Signals für die Impulsbreitensteuerung aus dem Systemtakt wird diese bevorzugt. Die Zeit T in den Diagrammen 5.7a) und b) ist mit der Einführung der Regelungsfrequenz $f_{Regelung}$ mit der Taktperiode $T_{Regelung}$ gleich zu setzen ($T = T_{Regelung}$).

Die Auslegung des Boost-Konverters soll unter Berücksichtigung der Randbedingungen und Leistungswerte von Tabelle 5.3 erfolgen:

Diese aufgestellten Vorgaben leiten sich zum Teil aus den Überlegungen der vorhergehenden Kapitel ab. Der minimal zu regelnde Spannungswert wird bei etwa $V_{Chip} \approx 2V$ erwartet. Für eine einwandfreie Funktion der digitalen Schaltung müssen Spannungseinbrüche und Sicherheiten bei der Spannungsregelung berücksichtigt werden. Die Festlegung eines maximal zulässigen Spannungseinbruchs am Ausgang des Boost-Konverters von $\Delta V_{Chip} = 5\% V_{Chip}$ erfolgte aus der Zielsetzung, eine möglichst große Verlustleistungsreduktion des ICs zu erreichen. Ein größerer zulässiger Spannungseinbruch vermindert das mögliche Absenken der chipinternen Versorgungsspannung.

Tabelle 5.3: Randbedingungen und Leistungswerte für den Boost-Konverter.

Bezeichnung	Wert
Typische Spannung der $0,35\mu m$ Alcatel CMOS Technologie, $V_{DD,nom}$	$3,3V$
Maximal zulässige Spannung der Technologie $V_{DD,max.}$	$3,6V$
Regelbereich der Ausgangsspannung (s. Kapitel 3.5)	$\sim 2V$ bis $3,3V$
Zulässiger Spannungseinbruch am Ausgangs des Boost-Konverters	$5\%V_{Chip}$
Maximale Leistung am Ausgang des Boost-Konverters (Einsatz für "handheld"-Geräte)	$1,5W$ bei $3,3V$
Taktfrequenz des zu versorgenden Systems auf dem Chip (digital)	$50MHz$ bis $500MHz$

Im Hinblick auf den Einsatz in tragbaren Geräten wird für das zu versorgende digitale System im Chip eine Systemtaktfrequenz im Bereich von $50MHz$ bis $500MHz$ betrachtet.

Für den Boost-Konverter wurde die Zielvorgabe der vollständigen Integration des Spannungsreglers aufgestellt, die aus erklärten Gründen (siehe Kapitel 4.1, 4.2 und 5.1) hervorging. Ein wesentliches Problem stellen hierbei die passiven Bauelemente dar, deren Integrationsfähigkeit nicht mit den Fortschritten der Halbleiterbauelemente (MOS-Transistoren, Diode) einhergehen [89].

Im folgenden werden Möglichkeiten für die Realisierung einer Induktivität aufgezeigt. Da die Induktivität für den Betrieb des Boost-Konverters notwendig ist und ein hoher Wirkungsgrad des Spannungsreglers erwünscht ist, sollen vor allem Verlustleistungsüberlegungen bei den einzelnen Realisierungsmöglichkeiten in Betracht gezogen werden.

5.3.2 Realisierung einer Induktivität

Bei der Erzeugung einer Induktivität in Form einer Spule oder als Leitungsstück sind neben dem Induktivitätswert parasitäre Elemente nicht zu vermeiden. Ein einfaches Ersatzschaltbild hierzu zeigt Bild 5.8.

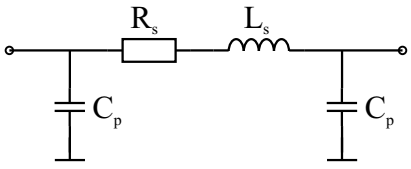


Abbildung 5.8: Serielles Erstatzschaltbild einer Spule.

Um geringe Verluste an der Spule zu erhalten wird $R_S \rightarrow 0$ und $C_P \rightarrow 0$ angestrebt.

Realisierung großer Induktivitätswerte

Für Induktivtätswerte von $L > \sim 100nH$, die bei kleinem Bauteilvolumen erreicht werden sollen, findet im allgemeinen ein ferromagnetisches Kernmaterial Verwendung. Als ferromagnetische Stoffe stehen verschiedene Zusammensetzungen wie NiFe, MnZn, NiZn u.a. zur Verfügung, die unterschiedliche Eigenschaften bzgl. Permeabilitätszahl, Leitfähigkeit, Hystereseverhalten, Temperaturverhalten u.a. aufweisen [90, 91, 40].

Am Beispiel einer Zylinderspule werden im folgenden verschiedene Effekte aufgezeigt:

Induktivität einer Zylinderspule [35, 92]:

$$L = \mu_0 \mu_r \frac{n^2 A}{l} \tag{5.7}$$

Gl. 5.7 lässt deutlich erkennen, dass sich der Induktivitätswert einer Spule mit einem ferromagnetischen Material z.B. NiZn, $\mu_r \approx 100$ gegenüber einer Spule ohne Kernmaterial (Luft: $\mu_r = 1$) erheblich steigern lässt[3]. Die Verwendung eines ferromagnetischen Kernmaterials bringt allerdings Effekte mit sich, die hier berücksichtigt werden müssen.

Im Innern der Spule baut sich ein magnetisches Feld der Stärke

$$H = \frac{nI}{l} \tag{5.8}$$

auf [92]. Diese führt über die Beziehung

$$B = \mu_0 \mu_r H \tag{5.9}$$

zur magnetischen Induktion B. Da sich die Permeabilitätszahl mit dem Wert der magnetischen Feldstärke H ändert, zeigt die magnetische Induktion B eine nichtlineare Abhängigkeit von H. Änderungen der magnetischen Feldstärke H führen dadurch zu einer Hystereseschleife, welche zu magnetischen Verlusten führt. Diese Hystereseverluste sind besonders groß, wenn die magnetische Induktion B den Sättigungswert erreicht. Zur Vermeidung der Hystereseverluste muss die magnetische Feldstärke klein gehalten werden, was z.B. eine große Spulenbauform erfordert.

Weitere magnetische Verluste werden durch Wirbelströme im ferromagnetischen Kernmaterial verursacht. Wechselnde Magnetfelder, hervorgerufen durch Wechselströme im Spulenleiter, induzieren Ströme im Kernmaterial. Abhängig von der Leitfähigkeit des Kernmaterials entstehen entsprechend Verluste durch Wirbelströme. Die Leitfähigkeit der Kernmateralien kann stark varriieren und weist zudem eine Abhängigkeit von der Frequenz des wechselnden Magnetfeldes auf. Als Beispiel sind für ein konstantes Magnetfeld Leitfähigkeitswerte von MnZn: $\rho_{MnZn} \approx 2\Omega m$ und NiZn: $\rho_{NiZn} \approx 10^5 \Omega m$ zu beobachten [90]. Bei einer Frequenz von $100MHz$ nimmt die Leitfähigkeit um ein bis zwei Zehnerpotenzen ab. Die Verluste durch Wirbelströme kommen daher vor allem bei hohen Frequenzen zum Tragen.

[3] μ_r kann abhängig von der Materialzusammensetzung stark variieren [91, 93].

Die Gesamtverlustleistung von Spulen $P_{V,ges.}$ setzt sich aus den magnetischen Verlusten im Kernmaterial und den Verlusten der Spulenleitung zusammen.

$$P_{V,ges.} = P_{V,Spulenkern} + P_{V,Spulenleitung} \tag{5.10}$$

Zu den Verlusten in der Spulenleitung tragen der Leitungswiderstand und Nachbarschaftseffekte bei [93]. Für höhere Frequenzen muss zusätzlich der Skineffekt mit berücksichtigt werden. Mit den in Tabelle 5.3 gegebenen Daten für die zu entwerfende Spannungsregelung sollte zur Vermeidung von allzu großen Leitungsverlusten der Leitungswiderstand $R_{Leitung} < 0,1\Omega$ betragen.

Unter Beachtung der beschriebenen Eigenschaften von ferromagnetischen Materialien und den Leistungswerten aus der Tabelle 5.3 muss für Induktivitätswerte von $L > \sim 100nH$ unter Berücksichtigung verträglicher Verluste $P_{V,ges.}$ (Gl. 5.10) mit einer Spulengröße der Mindestabmessungen $L \times B \times H = 2,5mm \times 2,5mm \times 2,0mm$ gerechnet werden. Für größere Induktivitätswerte kann eine größere Bauform notwendig sein. Die Betriebsfrequenz hat ebenfalls einen gewichtigen Einfluss in der Wahl der Spulengröße.

Realisierungsmöglichkeiten für mittlere bis kleinere Induktivitätswerte

Um magnetische Verluste in Spulen zu umgehen, kann bei der Spulenrealisierung auf Kernmateralien verzichtet werden. Spulen, welche im Innern Luft oder Materalien wie SiO_2 oder Hartpapier bei Leiterplatten enthalten, weisen aufgrund der Permeabilitätszahl dieser Füllstoffe von $\mu_r \approx 1$ geringere Induktivitätswerte auf. Als Vorteil profitieren diese Spulen neben dem Wegfall der magnetischen Verluste von einer idealerweise unbeschränkten magnetischen Induktion. Spulen ohne ferromagnetische Kerne haben im wesentlichen nur Verluste durch Leitungswiderstände und parasitäre Komponenten der Leitungen. Das Fehlen der ferromagnetischen Kernmaterialien führt jedoch zu einer großen Ausdehnung des magnetischen Felds, welches Einfluss auf benachbarte Strukturen hat. Diese Effekte müssen bei Verwendung der Spulen ohne ferromagnetische Kerne während des Schaltungsentwurfs im Rahmen von EMI[4]-Untersuchungen in Betracht gezogen werden.

Spulen ohne magnetische Kernmaterialien lassen sich in verschiedenen Formen wie Zylinder, Spirale oder Meander aufbauen. Zudem weist bereits ein Leitungsstück einen Induktivitätswert auf, welcher allerdings im Vergleich zu Spulen klein ist. Die Realisierungen der einzelnen Möglichkeiten kann sowohl außerhalb als auch innerhalb des IC-Gehäuses erfolgen. Außerhalb des IC-Gehäuses ist der Einsatz von kleinsten SMD-Bauteilen denkbar oder das Formen der verschiedenen Geometrien mittels der Leiterbahnen auf der Leiterplatte.

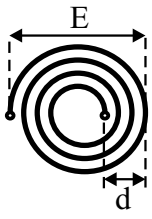
Auf dem Chip werden als gängige Realisierungsarten mit Hilfe der Metallagen Spiralen oder meanderförmige Gebilde erzeugt [54, 94, 95, 57]. Ein derartiger Aufbau lässt sich in einem CMOS-Prozess ohne zusätzlichen Aufwand bewerkstelligen. Verschiedene Forschergruppen stellten als weitere Möglichkeit das Aufbringen von Strukturen auf der Passivierungsschicht

[4] Electromagnetic Interference; deutsch: elektromagnetische Störung.

der Chips vor. So wurden z.B. Spulen in Meanderform, welche einen Streifenkern zur Erhöhung der Induktivität enthalten können, oder horizontal ausgerichtete Zylinderspulen realisiert [58, 56, 59, 60]. Die Herstellung dieser auf der Passivierungsschicht aufgebrachten Spulenformen erfolgt über galvanische Prozesse. Neben der Chipherstellung z.B. mit einer CMOS-Technologie bedarf es hierzu zusätzlicher Verfahrensschritte. Auf der Chipoberfläche lassen sich so Induktivitätswerte bis zu $L < \sim 20nH$ für Spulen ohne magnetisches Kernmaterial herstellen [96, 97, 54, 98, 99, 94]. Mit magnetischem Kernmaterial sind flächenbezogene Induktivitätswerte von etwa $\frac{L}{A} \approx 20 \ldots 50 \frac{nH}{mm^2}$ erreichbar [56, 58, 59]. Da die Querschnittsfläche dieser Spulenkerne jedoch sehr klein ist, wird bei der Anwendung dieser Spulen mit den in Tabelle 5.3 gegebenen Leistungsdaten eine starke Sättigung der magnetischen Induktion auftreten. Große magnetische Verluste sind die Folge. Desweiteren werden für die angestrebten Ströme Verluste durch den Serienwiderstand der Spulenleitung erwartet. Berechnungen anhand von Daten zur Spulengeometrie aus den Veröffentlichungen ergeben für den Leitungswiderstand näherungsweise Werte im Bereich von $R_s \approx 0,5\Omega \ldots mehreren\,\Omega$. Durch den kompakten Aufbau der Spulen auf dem Chip sind zwischen den Spulenleitungen sowie zum Chipsubstrat parasitäre Kapazitäten zu berücksichtigen, an denen bei höheren Betriebsfrequenzen nicht zu vernachlässigende Verlustleisungsbeiträge entstehen.

Resume: Für den Entwurf des Boost-Konverters mit einem erwünschten hohen Wirkungsgrad sind Realisierungen von zylinder-, spiral- oder meanderförmigen Spulen auf dem Chip aufgrund der großen Leitungswiderstände und -kapazitäten nicht geeignet. Desweiteren muss bei diesen auf dem Chip aufgebrachten Spulen der Einfluss des magnetischen Felds auf die darunterliegenden Schaltkreise beachtet werden, da zwischen der Halbleiterbauelementebene und den Spulen auf der Chipoberfläche lediglich ein Abstand von etwa $10\mu m$ [100, 5] vorhanden ist.

Im Gegensatz zu den dargelegten Spulenrealisierungen auf dem Chip lassen sich mit den Leiterbahnen auf der Leiterplatte Spulenaufbauten schaffen, welche aufgrund der größeren Leiterbahndimensionen und -abstände wesentlich geringere elektrische Verluste aufweisen. Die Induktivität einer Spiralspule beispielsweise kann mit folgendem Ausdruck berechnet werden [35]:



$$L \approx \frac{21,5 \cdot n^2 \cdot D}{1 + 2.72 \cdot \frac{d}{D} \cdot (cm)} \cdot (nH); \quad \text{mit}\, D = E - d;$$

$$C_S \approx 0,15 + \frac{0,44}{n} \cdot (pF) \qquad \text{(Schwingkreiskapazität)}$$

Die Leiterbahndicke beträgt bei heute üblichen Leiterplattentechnologien etwa $d_{Leiterbahn} \approx 20 \ldots 50\mu m$ [101]. Als Leiterplattenmaterial werden sogenannte Hartpapiere verwendet, welche je nach Anwendung auf der Basis von Phenolharz, Epoxydharz, Epoxydharzglasseidengewebe u.a. [101, 35] hergestellt werden. Die Dielektrizitätskonstante dieser Hartpapiere liegt im Bereich von $\varepsilon_r = 2 \ldots 8$ [101]. Übliche Dicken der Hartpapiere bewegen sich im Bereich von $0,25mm$ bis $2,4mm$.

Eine Spiralspule auf der Leiterplatte beispielsweise mit einem Durchmesser von $\varnothing_{Spirale} \approx 1cm$ und 2 bis 3 Windungen weist einen Induktivitätswert von etwa $L \approx 100nH$ auf. Der Leitungswiderstand ist $R_s < 0,002\Omega$. Die parasitären Kapazitäten der Leiterbahnen (siehe Anhang A.4) bewegen sich im Bereich *weniger pF*.

Bei kleinen erforderlichen Induktivitätswerten ist eine Spule mit mehreren Wicklungen wie bei der Spirale oder Meanderform evtl. nicht nötig. Bereits ein Leiterstück auf der Leiterplatte weist eine Induktivität pro Länge von $\frac{L}{l} \approx 5 \ldots 8\frac{nH}{cm}$ auf (Näherung gilt für Bandleiter der Dicke $d_{Leiterbahn} \approx 35 \ldots 100\mu m$ und einer Breite von $b \approx 1 \ldots 5mm$ [35]). Mit der Wahl von $d_{Leiterbahn} = 50\mu m$ und $b \approx 1mm$ hat das Leitungsstück aus Kupfer einen Widerstand pro Länge von $\frac{R}{l} = 3,5m\Omega$ (siehe Anhang A.4).

Für Stromwerte, wie sie bei der betrachtenden Spannungsregelung auftreten können bietet sich die Erzeugung der Induktivität als Spule oder Bandleiter auf der Leiterplatte an. Die kleinen parasitären Leitungswiderstände und -kapazitäten führen zu geringen Verlustleistungswerten. Durch die größeren Abstände von Leiterbahnen sowie der etwas entspannteren Platzierungsdichte von Strukturen auf der Leiterplatte als im Vergleich zu einem Spulenaufbau in einem Chip, können die Störeinflüsse der magnetischen Felder besser kontrolliert werden.

5.3.3 Realisierung einer Kapazität

Neben der Induktivität ist im Boost-Konverter an dessen Ausgang eine Kapazität notwendig, welche ebenfalls schwierig zu integrieren ist. In einem CMOS-IC lässt sich am effektivsten eine Kapazität zwischen Polysilizium und der n- bzw. p-Wanne herstellen. Durch die geringe Gateoxiddicke von etwa $7nm$ ($0,35\mu m$ Prozess) ist ein flächenbezogener Kapazitätswert von $\frac{C_{Poly-Wanne}}{A} \approx 0,1\frac{fF}{\mu m^2}$ zu erreichen. Auf einer Chipfläche mit je $1cm$ Kantenlänge ist damit beispielsweise ein Kapazitätswert von etwa $C_{Poly-Wanne} \approx 10nF$ möglich [100]. Alle darüberliegenden Metallagen hinzugezogen lässt sich ein Kapazitätswert von $C \approx 30nF$ erreichen. Der Aufbau einer Kapazität mit vorhandenen Strukturen auf dem Chip führt jedoch zu folgenden Problemen:

1. Es sind nur kleine Kapazitätswerte zu erzeugen.
2. Die Nutzung der Chipfläche für die Herstellung einer Kapazität ist unter Kostengesichtspunkten nicht sinnvoll, da die z.B. für eine Poly-Wannen-Kapazität genutzte Fläche nicht für weitere Schaltkreise zur Verfügung steht [37].
3. Durch den Widerstandsbelag der Diffusionsgebiete und der leitenden Schicht im Substrat unterhalb des Polysiliziums sind für die benötigten Stromwerte merkliche Verlustleistungswerte zu erwarten. Desweiteren hätte die impulsförmige Strombelastung einer solchen Kapazität am Versorgungsnetz im Chip widerstandsbedingte Spannungseinbrüche zur Folge.

Aus genannten Gründen richtet sich deshalb der Blick auf spezielle für die Kapazitätsherstellung optimierte Verfahren. Diese Technologien ermöglichen große Kapazitätswerte mit kleinsten Bauteilen, wie bei SMD-Bauteilen zu sehen ist.

Der erzielbare Kapazitätswert für ein SMD-Bauteil bestimmter Größe ist vom verwendeten Dielektrikum abhängig. Die Dielektrikas sind in verschiedenen Klassen eingeteilt. In Klasse 1 zeigen die Komponenten vor allem thermisch stabile Eigenschaften und geringe elektrische Verluste. Die Dielektrikas in Klasse 2 und 3 werden aufgrund ihres hohen Dielektrizitätswerts besonders für große Kapazitätswerte verwendet. Allerdings weisen diese eine höhere Temperaturempfindlichkeit auf, so dass für einen Temperaturbereich von $T = -55\ldots+125°C$ die Kapazitätswerte um $> \pm 15\%$ variieren können.

Eine Aufstellung der größt möglichen Kapazitätswerte für verschiedene Baugrößen der SMD-Kapazitäten (Multilayer Chip Kapazitäten) nach EIA[5]-Norm zeigt Tabelle 5.4.

Tabelle 5.4: Größte verfügbare Kapazitätswerte, welche mit den verschiedenen SMD-Bauteilen nach EIA Norm erreicht werden [102, 103]. Die Abmessungen der SMD-Bauteile mit Länge $\times$Weite $\times$Tiefe in *mm* sind in der rechten Tabelle zu sehen.

Baugröße (EIA)	0402	0603	0805	1206
Klasse 1	$390pF$	$2,7nF$	$2,7nF$	$5,6nF$
Klasse 2 und 3	$100nF$	$1\mu F$	$4,7\mu F$	$10\mu F$

	L	W	T
0402	1	0,5	0,5
0603	1,6	0,8	0,8
0805	2	1,25	1,35
1206	3,2	1,6	1,8

Die SMD-Kapazitäten weisen, wie das Ersatzschaltbild (ESB) in Abb. 5.9 zeigt, neben dem Kapazitätswert eine induktive und eine resistive Komponente in Serie auf. Die beiden parasitären Komponenten treten aufrund der SMD-Anschlüsse und der inneren Multlilayer-Struktur auf. Gewöhnlich ist im Ersatzschaltbild parallel zur Kapazität C ein Widerstand R_p eingefügt, welcher die Verluste im Dielektrikum und an der Isolierung erfasst. Im allgemeinen sind diese Anteile jedoch sehr gering, weswegen R_p vernachlässigt wird [104].

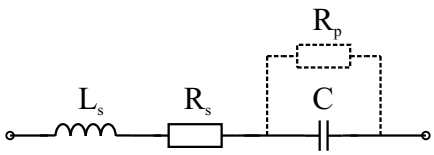


Abbildung 5.9: Ersatzschaltbild (ESB) einer Kapazität.

Die Impedanz einer SMD-Kapazität lässt sich aus dem Ersatzschaltbild zu

$$\overline{Z} = j\omega L_s + R_s + \frac{1}{j\omega C} \tag{5.11}$$

angeben. Die Resonanzfrequenz der SMD-Kapazität liegt bei $\omega = \frac{1}{\sqrt{L_s C}}$.

[5]EIA = Electronics Industries Association.

Beim Einsatz einer SMD-Kapazität am Ausgang des Boost-Konverters wird auf einen kleinen Serienwiderstand R_s für geringe Verluste und auf eine kleine Induktivität L_s zur Vermeidung von Spannungseinbrüchen bei impulsförmiger Strombelastung Wert gelegt. Ein Studium der verfügbaren SMD-Kapazitäten der verschiedenen Hersteller ergab für die parasitären Induktivitäten Werte im Bereich von $L = 0,8nH \ldots \sim 2nH$ und für den Serienwiederstand R_s Werte zwischen $R_s = 10m\Omega \ldots 250m\Omega$. Die Werte sind u.a. abhängig von der Größe und den Geometrieverhältnissen der Bauelemente sowie von deren Aufbau [105].

Um möglichst geringe Werte für die Induktivität L_s und den Widerstand R_s im ESB von Bild 5.9 zu erhalten, könnte gegebenenfalls die Parallelschaltung gleicher SMD-Bauteile als Lösung dienen. Eine Parallelschaltung von n identischen SMD-Kapazitäten mit der Impedanz $\overline{Z}$ (siehe Gl. 5.11) führt zu folgendem Ausdruck

$$\frac{1}{\overline{\overline{Z_{ges}}}} = \frac{1}{\overline{\overline{Z}}} + \frac{1}{\overline{\overline{Z}}} + \ldots + \frac{1}{\overline{\overline{Z}}} = \frac{n}{\overline{\overline{Z}}} \tag{5.12}$$

Mit Gleichung 5.11 ergibt sich somit für $\overline{Z_{ges}}$:

$$\overline{Z_{ges}} = \frac{\overline{Z}}{n} = j\omega\frac{L_s}{n} + \frac{R_s}{n} + \frac{1}{j\omega nC} \tag{5.13}$$

Die einzelnen Terme lassen erkennen, dass sich der Induktivitätswert und der Wert des Serienwiderstands mit der Parallelschaltung um den Faktor $\frac{1}{n}$ verringern lassen, wohingegen der Kapazitätswert um den Faktor n erhöht wird. Der Einfluss der störenden Elemente kann durch eine Parallelschaltung stark reduziert werden und die Kapazität als Nutzelement nimmt an Wert zu, was einer Stabilisierung der Versorgungsspannung im Chip entgegen kommt.

Die Verbindung der SMD-Kapazität an das Versorgungsnetz im Chip kann z.B. über Bonddrähte oder durch Aufkleben der Bauteile auf das Chip mit einem leitfähigen Kleber geschehen. An passivierungsfreien Stellen, ähnlich wie bei den Pad-Zellen, lässt sich ein Bonddraht durch heute übliche Thermosonic-Verfahren [2] anbringen. Mit gleichem Verfahren ist der Kontakt des Bonddrahts an den Anschlussflächen des SMD-Bauteils möglich. Das Bauteil selbst kann auf dem Chip platziert werden, oder bei genügendem Freiraum auf der Plattform des Chipträgers (siehe [2]) neben dem Chip untergebracht sein. Der Bonddraht, welcher einen Durchmesser von etwa $\varnothing = 25\mu m$ hat, weist selbst, abhängig von dessen Länge, eine Leitungsinduktivität und einen -widerstand auf. Die Kontaktierungen von Bonddraht zum Chip bzw. zum Anschluss der SMD-Kapazität tragen zusätzlich mit einem Kontaktwiderstand von jeweils $R_{Kontakt} \approx 25m\Omega$ bei [106]. Der Widerstand als auch der induktive Anteil in der Verbindung von Kapazität zum Chip sollen wegen elektrischer Verluste und Spannungsabfällen vermieden werden.

Als Alternative hierzu kann das SMD-Bauteil mittels eines leitfähigen Klebstoffs auf die Kontaktflächen des Chips angebracht werden [106]. Diese Klebstoffe z.B. auf Epoxydharzbasis enthalten feinste Metallteilchen (z.B. Gold, Silber, Palladium usw.) [93] und weisen etwa eine Leitfähigkeit von $\rho \approx 0,0005 \ldots 0,001\Omega cm$ auf [107]. Da das SMD-Bauteil direkt über den Kontaktflächen platziert ist, ergibt sich ein geringer Verbindungswiderstand im Bereich von $R < 10m\Omega$. Unter der Voraussetzung, dass oberhalb des Chips im Gehäuse die Möglichkeit für das Unterbringen von SMD-Kapazitäten vorhanden ist, wird das Aufbringen der

SMD-Kapazitäten auf der Chipoberseite und das Kontaktieren mit einem leitfähigen Klebstoff vorgeschlagen.

5.3.4 Bestimmung der Bauteilwerte für die Induktivität und Kapazität

Für die Integration der gesamten Spannungsregelung ist es zwingend erforderlich, kleine Werte für die notwendigen passiven Bauelemente anzustreben. Im Abschnitt 5.3.1 sind über die angegebenen Gleichungen zum Boost-Konverter die Zusammenhänge zwischen den Bauteilwerten zu anderen schaltungsbedingten Parametern gegeben. Da die geforderten Leistungsdaten bereits festgelegt sind, bleibt als beweglicher Parameter die Frequenz, mit der die gesamte Spannungsregelung getaktet wird. Eine kurze Taktperiode, gleichbedeutend einer hohen Frequenz, ermöglicht ein schnelles Ausregeln von Störungen. Die Zeitspanne, welche die Ausgangskapazität des Boost-Konverters als Energielieferant überbrücken muss, ist gering, so dass wie in Gleichung 5.6 ersichtlich, mit größerer Frequenz ein kleinerer Wert der Ausgangskapazität bei einem festgelegten maximalen Spannungseinbruch ΔV_{Chip} notwendig ist. Gleichzeitig gilt für die Induktivität ebenfalls, je größer die Frequenz, desto kleiner der benötigte Induktivitätswert. Eine hohe Regelungsfrequenz $f_{Regelung}$ kommt demnach allgemein der Miniaturisierung der passiven Bauelemente entgegen. Allerdings führt eine Frequenzerhöhung an anderen Stellen zu schlechteren Bedingungen. Aufgrund der großen Ströme im Chip, muss die Regelung des Boost-Konverters sehr exakt erfolgen. Kleine Abweichungen der Steuergrößen vom korrekten Wert wirken sich wesentlich drastischer auf Spannungsschwankungen im Chip aus als bei groß dimensionierten Bauteilen (L und C). An den Regelungsalgorithmus werden somit höhere Anforderungen betreffend der Genauigkeit von Berechnungen gestellt. Eine Erhöhung der Regelungsfrequenz bringt desweiteren einen Anstieg der Verlustleistung bei der Ansteuerung der Schalttransistoren ($T1$ und $T2$ in Bild 5.6) mit sich. Die Ansteuerung mit dem PWM-Signal der Regelungsfrequenz $f_{Regelung}$ führt zu Umladevorgänge an den parasitären Anschlusskapazitäten der Transistoren. Die dynamische Verlustleistung an den parasitären Kapazitäten ist proportional zur Regelungsfrequenz. Bei der Wahl der Regelungsfrequenz muss somit ein Optimum zwischen niedriger bzw. akzeptierbarer Verlustleistung und möglichst kleinen Bauelementwerten unter Berücksichtigung eines hohen Gesamtwirkungsgrads des Boost-Konverters gefunden werden. Hierzu wurden sämtliche Verlustleistungsquellen der Boost-Konverter-Schaltung analysiert. Es ergeben sich vier Terme, die einen wesentlichen Beitrag zur Gesamtverlustleistung liefern (siehe hierzu die Boost-Konverter-Schaltung von Bild 5.6).

1. Dynamische Verlustleistung durch Umladen der Gatekapazitäten.

2. Das komplementäre Schalten der beiden Transistoren $T1$ und $T2$ führt zu Spannungsänderungen am Knoten k zwischen $U_k = 0V$ und $U_k \approx V_{Chip}$. Das Umladen der parasitären Knotenkapazitäten, welche vor allem aus den Diffusionskapazitäten der beiden Schalttransistoren besteht, führt zu einer dynamischen Verlustleistung.

3. Durch die Transistoren $T1$ und $T2$ fließt der Strom zur Versorgung des digitalen Systems im Chip (Last). Die Leitfähigkeit des Transistorkanals ist abhängig vom Arbeitspunkt

und den Transistordimensionen. Die endliche Leitfähigkeit führt zur Verlustleistung über dem Transistorkanal.

4. Wie in vorherigen Abschnitten erläutert, kann eine Spule abhängig von ihrer Realisierung einen beträchtlichen Serienwiderstand aufweisen. Der Widerstand ist tendenziell u.a. direkt von dem Induktivitätswert abhängig. Die elektrischen Verluste werden mit berücksichtigt.

In Anhang A.2 ist die Herleitung der einzelnen Verlustleistungsausdrücke ausführlich gezeigt. Es ergibt sich für die Gesamtverlustleistung im Boost-Konverter näherungsweise

$$P_{Ges} \approx P_{Gate} + P_{Knoten} + P_{Kanal} + P_{Spule} \tag{5.14}$$

Nach dem Aufstellen der einzelnen Verlustleistungsterme mit typischen Daten einer $0,35\mu m$ Technologie (siehe Anhang A.2) verbleiben als frei wählbare Variablen die Drain-Source-Spannung U_{DS} und die Regelungsfrequenz $f_{Regelung}$. Die Regelungsfrequenz und die Drain-Source-Spannung sollen so gewählt werden, dass der Boost-Konverter bei einer Chipspannung von $V_{Chip} = 3,3V$ ($P_{max} = 1,5W$) einen Wirkungsgrad von $\eta > 90\%$ aufweist.

Nach Abwägen der Verlustleistungsanteile in Gleichung 5.14 wurden die Werte der freien Variablen auf $U_{DS} = 0,1V$ und $f_{Regelung} = 10MHz$ festgelegt.

Die Drain-Source-Spannung sollte aus zwei Gründen einen Wert $U_{DS} \leq 0,1V$ aufweisen:

Zum einen, um die Verluste über dem leitenden Kanal der Transistoren gering zu halten.

Zum anderen muss beachtet werden, dass am Knoten k der Boost-Konverter-Schaltung (Bild 5.6) mit der Drain-Source-Spannung von Transistor $T2$ ein Spannungswert von $U_k = V_{Chip} + |U_{DS}|$ entstehen kann. Die Knotenspannung darf die maximal zulässige Technologiespannung (hier $3,6V$) nicht überschreiten.

Mit den Berechnungen zur Aufstellung der Verlustleistungsanteile von Gleichung 5.14 wurden erste Abschätzungen der Bauteildimensionen vorgenommen (siehe hierzu auch Anhang A.2). Aufgrund notwendiger Näherungen in den Verlustleistungsbetrachtungen müssen die ermittelten Bauteilwerte durch Simulationen beim Entwurf der Spannungsregelung überprüft und angepasst werden.

Eine maximale Drain-Source-Spannung von $U_{DS} \leq 0,1V$ führt nach den Berechnungen zu einer mittleren Kanalweite von $W \approx 11,6cm$ für die Schalttransistoren. Die Kanallänge der Transistoren beträgt $L_{Kanal} = 0,35\mu m$. Die Verlustleistungsberechnungen wurde anhand eines mittleren Werts für den Verstärkungsfaktor β des NMOS- und PMOS-Transistors durchgeführt. Die Auswirkungen der unterschiedlichen Verstärkungsfaktoren von beiden Transistortypen werden beim Schaltungsentwurf untersucht und deren Kanalweiten entsprechend den Simulationsergebnissen angepasst.

Die Dimensionierung der passiven Bauelemente L und C erfolgt derart, dass der Boost-Konverter stets im diskontinuierlichen Betrieb arbeitet. Die notwendige Induktivität am Eingang des

Boost-Konverters berechnet sich mit der maximalen Ausgangsleistung von $P_{max} = 1,5W$ bei $V_{Chip} = 3,3V$ und den Gleichungen 5.2, 5.3 und 5.5 zu

$$L_{Boost} < \frac{\overline{V}_{Chip,max}}{2\overline{I}_{Chip,max}} D(1-D)^2 T_{Regelung} = \frac{V_{Srg}^2}{2P_{max}} \left(1 - \frac{V_{Srg}}{\overline{V}_{Chip,max}}\right) T_{Regelung} \tag{5.15}$$

Die Regelungsfrequenz von $f_{Regelung} = 10MHz$ führt zu einem Induktivitätswert von $L_{Spule} < 49nH$. Wie Berechnung zur Erzeugung von Induktivitäten mittels Leiterbahnen auf der Schaltungsplatine zeigen, lässt sich dieser Induktivitätswert bereits mit einem geraden Leiterstück der Länge von *mehreren cm* erzielen.

Die Integration der Induktivität kann somit in der Weise erfolgen, dass die Zuleitungen auf der Schaltungsplatine für die Eingangsspannung des Boost-Konverters bereits für den Induktivitätsbeitrag genutzt werden.

Die maximale Welligkeit der Chipspannung tritt bei maximaler Ausgangsleistung $P_{max} = 1,5W$ des Boost-Konverters auf. Nach den Forderungen in Tabelle 5.3 dürfen Spannungseinbrüche von maximal $\Delta V_{Chip} = 5\% V_{Chip}$ auftreten. Dies führt mit Gleichung 5.2 und 5.6 zur Bedingung:

$$C_{Boost} > \frac{\overline{I}_{Chip}}{5\%\overline{V}_{Chip}} D T_{Regelung} = \frac{P_{max}}{5\%\overline{V}_{Chip,max}^2} \left(1 - \frac{V_{Srg}}{\overline{V}_{Chip,max}}\right) T_{Regelung} \tag{5.16}$$

Mit der Regelungsfrequenz von $f_{Regelung} = 10MHz$ ist somit ein Kapazitätswert von $C_{Boost} > 125nF$ notwendig.

5.4 Entwurf der Regelung

Die Regelung der chipinternen Versorgungsspannung besteht im wesentlichen aus den Komponenten:

- Boost-Konverter, als spannungswandelndes Modul (siehe Kapitel 5.3).
- Laufzeitmessung des kritischen Pfads anhand einer Nachbildung (siehe Kapitel 5.2.1.4) und anschließendem Vergleich mit der Systemtaktperiode.
- Regler, dessen Ausgangssignal zur Ansteuerung des Boost-Konverters dient.
- Verbraucher (Last), welches ein digitales System auf dem Chip ist.

In vorherigen Unterkapiteln wurden bereits die ersten beiden aufgeführten Komponenten behandelt und ihr Funktionsprinzip erklärt. Es verbleibt somit noch der Regler. Für den Entwurf eines geeigneten Reglers ist die Verhaltensbeschreibung aller Komponenten im Regelkreis notwendig.

5.4.1 Boost-Konverter

Die Beziehung zwischen dem PWM-Signal und der Ausgangsspannung des Boost-Konverters (siehe Bild 5.6) wird im folgenden mathematisch beschrieben. Hierzu soll der Ladungstransport in einem Regelungstakt beim diskontinuierlichen Betrieb des Konverters betrachtet werden. Der kontinuierliche Betrieb des Konverters wird wegen der aufwendigen Verhaltensbeschreibung vermieden. Zudem geht der Boost-Konverter bei einem abnehmenden Chipstrom immer in den diskontinuierlichen Betrieb über, weswegen dieser unumgänglich ist.

Der Stromfluss durch die Spule am Eingang des Boost-Konverters kann in zwei Phasen, wie in Bild 5.6 zu sehen ist, aufgeteilt werden. Eine zeitdiskrete Betrachtung des Stromflusses in den beiden Phasen lässt eine Interpretation als Transport von Ladungspaketen zu. Die an die Ausgangskapazität zugeführte Ladung kann in Abhängigkeit des Zeitintervalls $t_s = t_{T1,leitend}$ und der Näherung, dass die Spannung V_{Chip} nahezu konstant bleibt, mit dem Ausdruck

$$Q_{zu} = \frac{t_s^2}{2 \cdot L} \cdot \frac{V_{Srg}^2}{V_{Chip} - V_{Srg}} \tag{5.17}$$

angegeben werden (Herleitung siehe Anhang A.3). Im eingeschwungenen Zustand wird sich, über eine Taktperiode gemittelt, an der Ausgangskapazität des Boost-Konverters zwischen zugeführter Ladung und an den Verbraucher (digitales System) abgegebene Ladung ein Gleichgewicht mit $Q_{zu} = Q_{ab}$ einstellen. Lastwechsel im Verbraucher führen zu Stromänderungen am Ausgang des Boost-Konverters, welche bei unverändertem PWM-Signal zu Änderungen der Chipspannung führen. Diese Spannungsänderungen müssen mit der Stellzeit t_s ausgeregelt werden. Da die Regelung zeitdiskret in Intervallen von $T_{Regelung} = \frac{1}{f_{Regelung}}$ ausgeführt wird, ergibt sich für die Stellzeit der Ausdruck (Herleitung siehe Anhang A.3)

$$t_s[k] = \sqrt{t_s^2[k-1] + \Delta V_{Chip}[k] \frac{2LC_{Boost} \cdot \left(V_{Chip} - V_{Srg}\right)}{V_{Srg}^2}} \tag{5.18}$$

5.4.2 Laufzeitmessung und Generierung der Laufzeitdifferenz zum Taktsignal des digitalen Systems

Das Verhalten der Nachbildung des kritischen Pfads (siehe Kapitel 5.2.1.4) in Form einer Gatterkette und einer möglichen Schaltung für den Vergleich der kritischen Pfadlaufzeit zur Systemtaktperiode wurde untersucht. Die Laufzeit der kritischen Pfad Nachbildung sowie der Wert der Laufzeitdifferenzmessung zeigen eine nichtlineare Abhängigkeit von der chipinternen Versorgungsspannung (siehe Kapitel 6.2 und 6.3).

5.4.3 Digitale Signale am Ein- und Ausgang des Reglers

Da der Regler als Digitalschaltung entworfen wird, muss das Messsignal, welches die Laufzeitdifferenz von Nachbildung des kritischen Pfads zur Systemtaktperiode ist, in digitaler Form vor-

liegen. Die Erzeugung des digitalen Messsignals lässt sich mit einer Komparatorschaltung bewerkstelligen, welche diesen Laufzeitunterschied mit Hilfe von Verzögerungselementen quantisiert. Die Quantisierung des Messsignals hängt von der Laufzeit der Verzögerungselemente ab (Details hierzu im Kapitel 6.3). Das digitale Messsignal erhält die Bezeichnung D_{Mess}.

Am Ausgang des Reglers wird ein Digitalsignal D_t ausgegeben, welches als die Stellzeit $t_s = t_{T1\,leitend}$ für den leitenden Zustand von Transistor $T1$ im Boost-Konverter (siehe Bild 5.6) zu interpretieren ist. Diese Zeit wurde bereits in vorherigem Unterkapitel als Stellzeit t_s eingeführt. Das zur Ansteuerung der Transistoren benötigte PWM-Signal wird mittels einer digital programmierbaren Verzögerungsleitung erzeugt. Zwischen dem Digitalwert aus der Regelung D_t und der Stellzeit t_s besteht somit die Beziehung

$$t_s = D_t \cdot \Delta t_s \tag{5.19}$$

Δt_s gibt hierbei die Grundverzögerung an, welche von der gewünschten zeitlichen Auflösung des PWM-Signals abhängt.

Die digitalen Ein- und Ausgangssignale der digitalen Regelungsschaltung sind somit D_{Mess} für das Messsignal und D_t für die Generierung des PWM-Signals.

5.4.4 Reglerentwurf

Mit dem Ausdruck von Gleichung 5.19 kann die Stellzeit t_s in Gleichung 5.18 ersetzt werden und für den Digitalwert D_t am Reglerausgang ergibt sich

$$D_t[k] = \sqrt{D_t^2[k-1] + \Delta V_{Chip}[k] \frac{2LC_{Boost} \cdot \left(V_{Chip} - V_{Srg}\right)}{\Delta t_s^2 \cdot V_{Srg}^2}} \tag{5.20}$$

Der zweite Term in der Wurzel wird mit $\tilde{\Delta}[k]$ abgekürzt, so dass sich Gleichung 5.20 vereinfacht zu

$$D_t[k] = \sqrt{D_t^2[k-1] + \tilde{\Delta}[k]} \tag{5.21}$$

$$\tilde{\Delta}[k] = \Delta V_{Chip}[k] \frac{2LC_{Boost} \cdot \left(V_{Chip} - V_{Srg}\right)}{\Delta t_s^2 \cdot V_{Srg}^2} \tag{5.22}$$

Die Funktion von Gleichung 5.21 enthält eine Rückkopplung des digitalen Ausgangssignals D_t, aus dem zusammen mit dem berechneten Signal $\tilde{\Delta}$ und der Wurzelfunktion über diese Summe das neue Ausgangssignal gebildet wird. Durch die Rückkopplung des Ausgangssignals besitzt der Ausdruck in Gleichung 5.21 ein integrierendes Verhalten.

Mit der Näherung, dass für kleine Spannungsänderungen die Ausgangsspannung des Boost-Konverters nahezu konstant bleibt ($V_{Chip} \approx konstant$), berechnet sich $\tilde{\Delta}$ aus der Abweichung der Ausgangsspannung ΔV_{Chip}. Eine Abweichung der Ausgangsspannung von der optimalen

Einstellung äußert sich im kritischen Pfad sowie in dessen Nachbildung in einer Laufzeitänderung. Diese Laufzeitänderung wird von der Messschaltung detektiert und entsprechend der Laufzeitabweichung zur Systemtaktperiode ein Messsignal D_{Mess} ausgegeben. Aus dem Wert des Messsignals kann somit auf eine Spannungsabweichung zurück geschlossen werden. Hier kommt nun der eigentliche Regler zum Einsatz, der aus dem digital zugeführten Messwert D_{Mess} den Wert des Signals $\tilde{\Delta}$ berechnen soll. Um die nichtlineare Abhängigkeit des Messsignals vom Ausgangsspannungswert zu berücksichtigen, ohne jedoch die Reglerfaktoren während des Betriebs der Spannungsregelung ständig zu modifizieren, soll parallel zum Algorithmus des Reglers der zughörige Verstärkungsfaktor V errechnet werden. Das Signal $\tilde{\Delta}$ ist somit das Ergebnis aus dem Produkt

$$\tilde{\Delta}[k] = V \cdot \Delta[k] \tag{5.23}$$

Das Signal Δ wird aus dem Messwert D_{Mess} berechnet.

Zur besseren Verständlichkeit wird die zu Beginn des Kapitels abgegrenzte Reglerschaltung (siehe Bild 5.3) etwas unterteilt. Die Bildung des Ausgangswertes D_t wie in Gleichung 5.21 angegeben soll in einem Modul mit dem Namen „Berechnung Reglerausgang" innerhalb des Reglerblocks stattfinden. Als weiteres wurde bereits auf die Berechnung des Verstärkungsfaktors V als eigenständiger Block hingewiesen, welcher den Namen „Regelverstärkung" (siehe Bild 5.10) erhält.

Die eigentlichen Reglergleichungen zur Berechnung des Signals Δ, welches im folgenden vorgestellt wird, sollen mit dem Überbegriff „Regleralgorithmus" zusammengefasst werden.

Obwohl die Verhaltensbeschreibungen der Regelkreisglieder linearisiert wurden, erweist sich ein Reglerentwurf mit gängigen Entwurfsmethoden schwierig, da zu viele Abhänigkeiten zwischen den Regelkreisgliedern vorhanden sind. Der offene Regelkreis ohne Reglerschaltung zeigt allgemein bereits ein stabiles Verhalten. Aus diesem Grund wird für den Regler der Ansatz eines PID-Reglers gewählt. Da innerhalb der Reglerschaltung (Bild 5.10) bereits das Modul „Berechnung Reglerausgang", mit der Funktion von Gl. 5.21 integrierendes Verhalten aufweist, kann im Regelalgorithmus auf das I-Glied verzichtet werden. Der Regelalgorithmus wird mit einem Proportional- und Differenzierglied aufgestellt und weist allgemein die Form

$$\begin{aligned} \Delta[k] &= p_R \cdot D_{Mess}[k] + d_R \cdot (D_{Mess}[k] - D_{Mess}[k-1]) \\ &= (p_R + d_R) \cdot D_{Mess}[k] - d_R \cdot D_{Mess}[k-1] \end{aligned} \tag{5.24}$$

auf. Die Bestimmung der Reglerfaktoren p_R und d_R erfolgt anhand einer Untersuchung des Systemverhaltens bei einem Lastsprung ($\hat{=}$ Stromanstieg aufgrund einer Aktivitätänderung im digitalen System). Dem hierbei auftretenden Spannungsabfall ΔV_{Chip} soll schnell entgegengewirkt werden. Über eine entsprechende Ansteuerung des Boost-Konverters in nachfolgenden Taktperioden wird eine Verringerung der Spannungsabweichung ΔV_{Chip} um den Faktor $0,875$ angestrebt. Dieser Faktor wird < 1 gewählt, um ein Überschwingen von V_{Chip} bei der Regelung zu vermeiden. Für die obige Gleichung 5.24 ergeben sich damit Werte für die Faktoren $(p_R + d_R)$ und d_R zu

$$d_R = 0,875 = 2^{-1} + 2^{-2} + 2^{-3} \tag{5.25}$$

$$p_R + d_R = 1,125 = 2^0 + 2^{-3}. \tag{5.26}$$

Die Wahl der Faktorwerte erfolgte unter den Aspekten einer einfachen Realisierung der Multiplikationen und einem schnellen Regelverhalten. Die günstigen Werte der Faktoren lassen einfache „Shift & Add”-Operationen für die Multiplikation zu.

5.5 Gesamter Regelkreis auf dem Chip

Nachdem sämtliche Komponenten des Regelkreises vorgestellt wurden und auf dessen Verhalten eingegangen wurde, ist der gesamte Regelkreis in Bild 5.10 anschaulich als Blockschaltbild abgebildet [33].

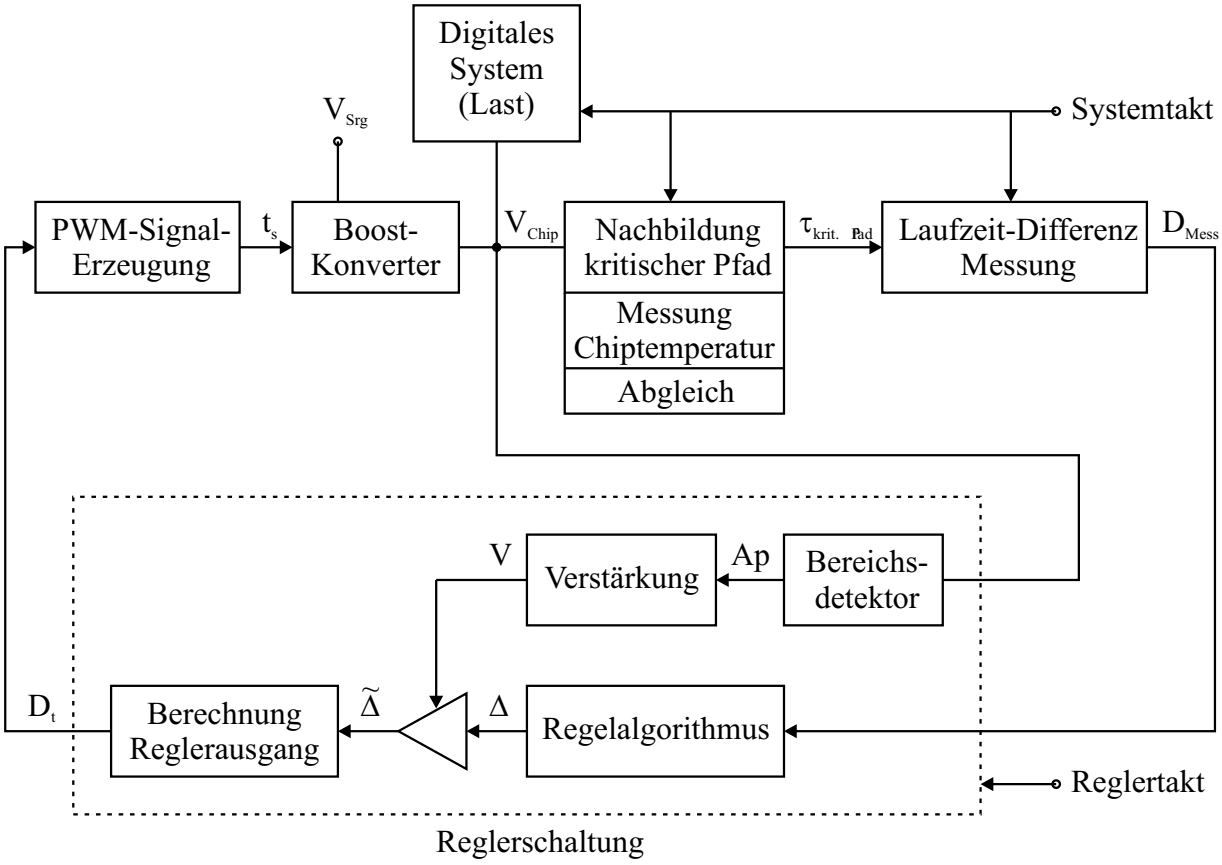


Abbildung 5.10: Blockschaltbild des Regelkreises.

Das Bild 5.10 soll die einzelnen Zusammenhänge graphisch verdeutlichen und dient als Grundlage für die Realisierung der Spannungsregelung im folgenden Kapitel.

Für tiefergehende Betrachtungen wird auf die Diplomarbeit mit Ergänzung von Markus Tahedl verwiesen [108].

Kapitel 6

Schaltungsentwurf

Nach den grundlegenden Betrachtungen und Erklärungen zur Spannungsregelung in vorherigen Kapiteln, wird in diesem Kapitel die Realisierung der einzelnen Komponenten der Spannungsregelung, wie sie im Regelkreis (siehe Bild 5.10) enthalten sind, dargestellt. Die gesamte Spannungsregelung wurde auf der Basis einer $0,35\mu m$ Technologie unter Berücksichtigung von parasitären Elementen, welche bei einem IC-Layout zu erwarten sind, simuliert. Auf die Herstellung eines Testchips musste verzichtet werden, da der in der Abteilung üblicherweise verwendete Herstellungsprozess von Europractice nicht mehr angeboten wurde. Aufgrund zeitlicher Rahmenbedingungen wurde deshalb von einem Testchip Abstand genommen.

Wie aus der Beschreibung zu den einzelnen Regelkreiskomponenten in vorherigen Kapiteln zu erkennen ist, enthält die gesamte Spannungsregelung analoge als auch digitale Komponenten. Die Analogschaltungen sind als Transistorschaltungen ausgeführt, wohingegen die Digitalschaltungen als VHDL-Kode beschrieben sind, aus denen Gatternetzlisten synthetisiert wurden. Die einzelnen Gatternetzlisten der Digitalschaltungen wurden bei zeitkritischen Signalpfaden mit Einbindung der Technologiedaten ebenfalls analog simuliert. Bei zeitunkritischen Schaltungsblöcken wurde wegen kürzerer Simulationszeiten ein Digitalsimulator verwendet. Für die Simulation der gesamten Spannungsregelung kommt somit eine Mixed-Signal-Simulationsumgebung zum Einsatz. Als Simulator wurde Spectre für Analogschaltungen und Verilog für Digitalschaltungen verwendet.

Bevor die Schaltungsblöcke im Einzelnen betrachtet werden, wird auf die Diplomarbeit mit Ergänzung [108] hingewiesen. Dort können detailierte Schaltungsentwürfe und Bauteildimensionierungen nachgesehen werden.

6.1 Boost-Konverter

Beim Schaltungsentwurf der Spannungsregelung mit dem Boost-Konverter als Spannungswandler erfolgte entsprechend den Simulationsergebnissen eine Korrektur der in Kapitel 5.3.4 abgeschätzten Bauteilwerte. Die Abweichungen der Bauteile sind durch die Näherungen bei den Verlustleistungsabschätzungen in Kapitel 5.3.4 zu begründen.

Die Verhaltenssimulationen des Boost-Konverters führten auf einen Induktivitätswert von $L = 30nH$. Um durch den NMOS-Transistor beim Anstieg des Spulenstroms $\frac{dI_L}{dt}$ in Phase 1 geringe Verluste zu erhalten, wurde dessen Kanalweite zu $W_{NMOS} = 20cm$ bestimmt. Die Dimensionierung des PMOS-Transistors erfolgte für eine möglichst kleine Drain-Source-Spannung U_{DS} bei maximalem Chipstrom. Mit einer Kanalweite des PMOS-Transistors von $W_{PMOS} = 20cm$ konnte $U_{DS} < 0,06V$ erreicht werden, wodurch die Spannungsdifferenz zwischen der Knotenspannung U_k zur maximal zulässigen Technologiespannung auf den Wert $\Delta U = V_{Technol.,max} - \left(V_{Chip} + U_{DS}\right) \approx 3,6V - 3,36V = 0,24V$ verbessert wurde.

Der Wert der Ausgangskapazität des Boost-Konverters wurde auf $C = 600nF$ erhöht. Der Hauptgrund für die starke Erhöhung gegenüber der Abschätzung liegt im Verhalten der Spannungsregelung. Zwischen der Detektion einer Spannungsabweichung ΔV_{Chip} und der erkennbaren Reduzierung dieser Abweichung können 2 Regelungstakte ($T_{Regelung} = 100ns$) vergehen. Um eine korrekte Funktion des digitalen Systems zu gewährleisten, darf ein Spannungsabfall von maximal $5\%V_{Chip}$ auftreten; dies hat eine große Kapazität von $600nF$ zur Folge [32, 33].

In Bild 6.1 ist die Ausführung des Boost-Konverters dargestellt. In folgenden Unterkapiteln wird auf die einzelnen Schaltungsmodule eingegangen.

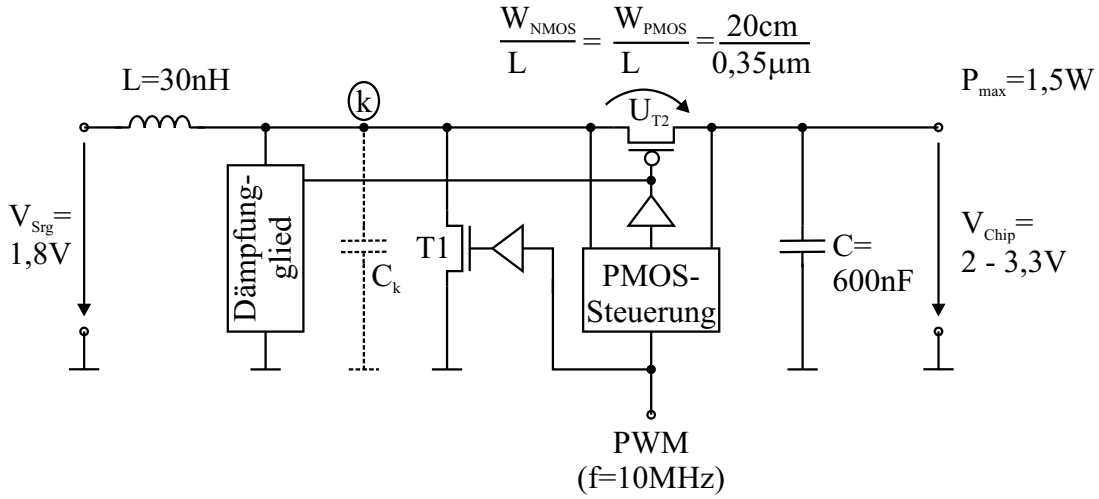


Abbildung 6.1: Schaltung des Boost-Konverters mit Dimensionierung der Bauelemente.

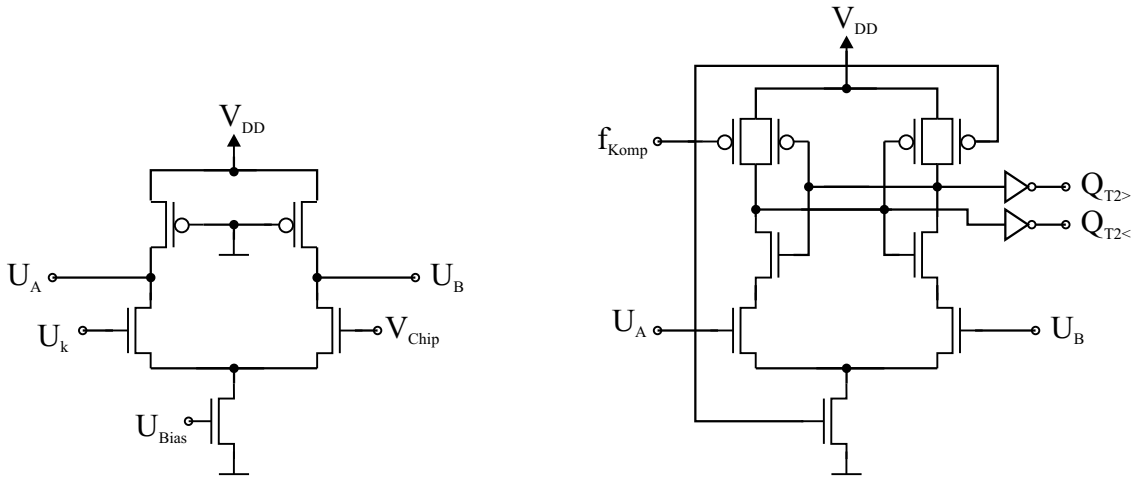
6.1.1 PMOS-Steuerung

Um im diskontinuierlichen Betrieb eine Umkehr des Spulenstroms von der Ausgangskapazität zur Spule am Eingang des Boost-Konverters zu vermeiden, soll der PMOS-Transistor $T2$ die Funktion einer Diode annehmen. Hierzu ist das Modul „PMOS-Steuerung" notwendig.

Mit der Signalflanke des PWM-Signals von $'1' \searrow '0'$ sperrt der NMOS-Transistor und der PMOS-Transistor beginnt zu leiten. Aufgrund der gespeicherten magnetischen Energie in der Spule fließt ein Strom über den PMOS-Transistor zur Ausgangskapazität C_{Boost}. Der Stromflusse über $T2$ führt zur Spannung $U_{T2} = -U_{DS,PMOS} > 0V$. Sinkt der Strom wegen $V_{Srg} < V_{Chip}$

ab und kehrt seine Stromrichtung um, wird sich am PMOS-Transistor eine negative Spannng $U_{T2} < 0V$ einstellen.

Für die Realisierung einer automatischen Abschaltung des PMOS-Transistors zum Zeitpunkt der Stromumkehr von I_L wird eine Komparatorschaltung zur Detektion des Vorzeichenwechsels von U_{T2} eingesetzt. Aufgrund der geringen Drain-Source-Spannung des PMOS-Transistors von $|U_{DS}| < 0,1V$ bei maximaler Ausgangsleistung P_{max} des Boost-Konverters, muss die Komparatorschaltung eine hohe Spannungsempfindlichkeit aufweisen. Desweiteren ist auf eine möglichst geringe Verlustleistung der Schaltung Wert zu legen, weswegen eine dynamische Komparatorschaltung (Bild 6.2b) eingesetzt wird. Die Taktfrequenz dieser dynamischen Schaltung



(a) Differenzverstärker

(b) Komparator (dynamisch)

Abbildung 6.2: Schaltbilder des Differenzverstärkers und des dynamischen Komparators. Für die PMOS-Steuerung wird der Differenzverstärker dem Komparator vorgeschaltet.

wird zu $f_{Komp} \approx 500MHz$ gewählt, was einer Auswertung von U_{T2} in Zeitschritten von $2ns$ entspricht. Die Komparatorschaltung zeigt im oberen Teil ein mit rückgekoppelten Inverten aufgebautes Flipflop. Entsprechend den Werten der Eingangsspannungen U_A und U_B werden die Ausgangsknoten der Inverter unterschiedlich schnell entladen bis bei Erreichen der logischen Schwellspannung das Flipflop aus dem labilen in den stabilen Zustand kippt.

Da die Spannungsempfindlichkeit der Komparatorschaltung für große Eingangsspannungen U_A und U_B abnimmt, wird der Komparatorschaltung ein Differenzverstärker (siehe Bild 6.2a) vorgeschaltet. Dieser Differenzverstärker bewirkt ein Absenken des Gleichspannungswertes und eine zusätzliche Verstärkung der Spannungsdifferenz zwischen beiden Eingängen U_A und U_B. Der Differenzverstärker zusammen mit dem Komparator liefert somit für $U_{T2} = U_k - V_{Chip} > 0V$ an den Komparatorausgängen die logischen Signale $Q_{T2>} = '1'$ und $Q_{T2<} = '0'$. Für $U_{T2} < 0$ entsprechend umgekehrt.

Die Ausgänge des Komparators werden durch eine nachgeschaltete Logik (siehe Bild 6.3) ausgewertet, so dass nach der Detektion der Stromumkehr das Signal S_{PMOS} an den Gateanschluss des PMOS-Transistors auf $S_{PMOS} = V_{DD} = 3,3V$ übergeht und der Transistor sperrt.

Mit dem Wechsel des PWM-Signals von $'1' \searrow '0'$ gehen die beiden Flipflops vom Reset-Zustand in einen sensitiven Zustand über. Der Aufladevorgang an der Knotenkapazität C_k (siehe Bild 6.1) direkt nach dem PWM-Signalwechsel führt bereits zu einem Vorzeichenwechsel von U_{T2} über dem Transistorkanal. Dieser Vorzeichenwechsel wird von dem Flipflop FF1 gepuffert, so dass der durch die Stromumkehr folgende Vorzeichenwechsel von U_{T2} an FF2 ausgewertet wird. Nach erfolgter Detektion wird über das *ena*-Signal der Frequenzgenerator für die dynamische Komparatorschaltung abgeschaltet um unnötige Verlustleistung zu vermeiden.

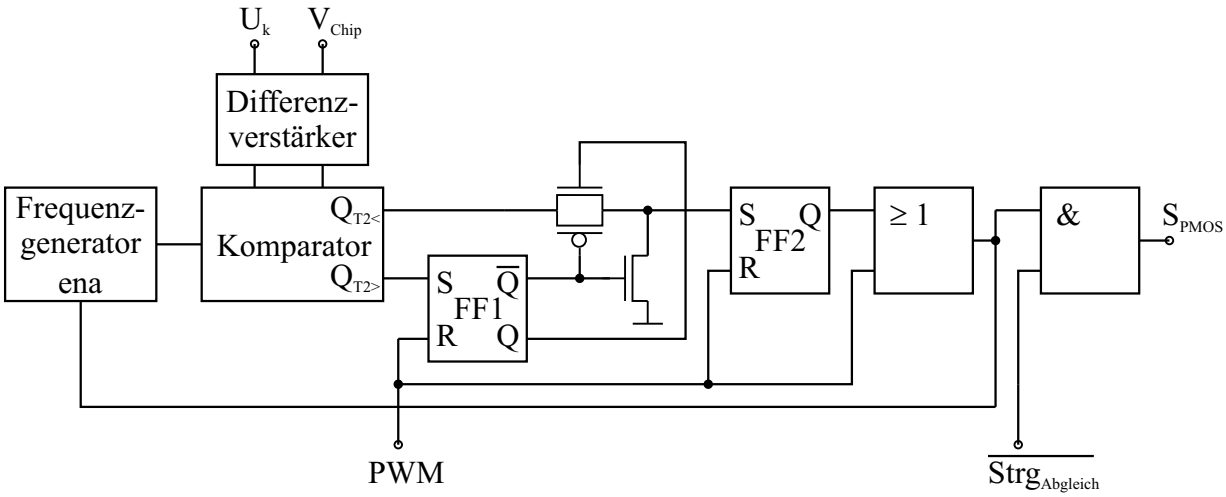


Abbildung 6.3: Gesamte Schaltung der PMOS-Steuerung.

6.1.2 Treiber

Die Schalttransistoren des Boost-Konverters weisen aufgrund ihrer Weitendimensionierungen große Gatekapazitäten auf. Diese Gatekapazitäten müssen bei einem Signalwechsel des PWM-Signals ge- bzw. entladen werden, wodurch eine Zeitverzögerung entsteht. Für schnelle Schaltzeiten bei derart großen MOS-Transistoren sind Signaltreiber an den Gateanschlüssen zwingend notwendig. Zwischen der Gatekapazität dieser MOS-Schalttransistoren und der Eingangskapazität eines minimal dimensionierten Inverters liegt etwa ein Faktor von $F_C = 10^4$. Die Ansteuerung der MOS-Schalttransistoren erfogt deshalb über mehrere Inverterstufen. Idealerweise wählt man für eine geringste Schaltverzögerung eine Abstufung der Inverter-Eingangskapazitäten mit dem Faktor $F = e$ (e = Euler'sche Zahl) [109]. Dies würde nach folgender Gleichung

$$N = \left\lceil \frac{\ln F_C}{\ln F} \right\rceil \tag{6.1}$$

auf 10 Inverterstufen führen. Jede einzelne Inverterstufe erzeugt durch das PWM-Signal der Frequenz $f_{Regelung} = 10MHz$ eine dynamische Verlustleistung. Da die Schaltverzögerung für

Dimensionierungsfaktoren $F > e$ nur mäßig zunimmt, werden aus Verlustleistungsgründen 4 Inverterstufen gewählt ($\hat{=} F = 10$). Simulationen zeigen an den Schalttransistoren mit den Treiberstufen eine maximale Verzögerungszeit von $t_{Schaltverz.} < 1,6ns$. Zwischen dem Ausgang der PMOS-Steuerung und dem Gateanschluss des PMOS-Transistors erfolgt durch die gerade Anzahl von Treiberstufen keine Invertierung des Signals S_{PMOS}.

6.1.3 Dämpfungsglied

Die parasitären Kapazitäten C_k am Knoten k (siehe Bild 6.1), hauptsächlich bestehend aus den Diffusionskapazitäten der MOS-Transistoranschlüsse bilden mit der Spule einen Schwingkreis. Die PMOS-Steuerung schaltet bei einem Wechsel der Stromrichtung (Kapitel 6.5) den PMOS-Transistor ab. Die Knotenkapazität C_k ist zu diesem Zeitpunkt auf den Spannungswert $U_k \approx V_{Chip}$ geladen.

Über der Spule verbleibt ein Spannungsgefälle von $\Delta U_{k \to Srg} = U_k - V_{Srg}$, wodurch Spannungsoszillationen an der Spule und der Knotenkapazität entstehen. Zusätzlich ist aufgrund einer Abweichung in der Detektion des Strom-Nulldurchgangs ein magnetischer Energiebeitrag in der Spule möglich, der zu einer Erhöhung der obigen Oszillationsamplitude $\Delta U_{k \to Srg}$ führen kann. Der Chip eines $0,35\mu m$ Prozesses darf mit einer maximalen Spannung von $V_{DD,max} \approx 3,6V$ betrieben werden [100]. Größere Spannungen können zu Spannungsdurchbrüchen am Oxid führen. Die Aufgabe des Dämpfungsglieds ist somit, die Amplitude der Spannungsoszillationen schnell wirksam zu reduzieren, so dass die maximale Chipspannung $V_{DD,max}$ nicht überschritten wird. Dies wird, wie die Schaltung in Bild 6.4 zeigt, zum einen durch einen steuerbaren Strompfad vom Knoten k nach GND erreicht. Zum anderen wird nach dem Schalten des Transistors $T1$ die Kapazität $C1$ des Dämpfungsglieds parallel zur Knotenkapazität C_k geschaltet, welche innerhalb kurzer Zeit eine Teilladung von C_k aufnimmt und somit eine Spannungsreduktion am Knoten k bewirkt.

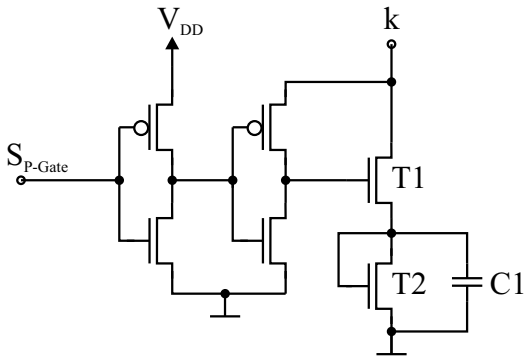


Abbildung 6.4: Schaltbild des Dämpfungsglieds.

Die Kapazität $C1$ in Verbindung mit $T1$ dient kurz nach dem Einschalten des Dämpfungsglieds über das Gatesignal S_{P-Gate} einer großen Anfangsdämpfung, wohingegen der statische Stromfluss über den in Sättigung betriebenen Transistor $T2$ eine zeitlich stetige Dämpfung erbringt. Ein großer Kapazitätswert von $C1$ ist für die Dämpfung am wirkungsvollsten, benötigt jedoch

Chipfläche. Zwischen aufwendbarer Chipfläche und vertretbarer statischer Verlustleistung des Dämpfungsglieds muss ein Kompromis geschlossen werden. Die Daten zum Verhalten und die Dimensionierung des Dämpfungsglieds sind in Tabelle 6.1 gegeben.

Tabelle 6.1: Einstellungen des Dämpfungsglieds.

$L/W\|_{T1}$	$0,35\,\mu m\,/\,10\,mm$
$L/W\|_{T2}$	$0,35\,\mu m\,/\,0,2\,mm$
$C1$	$150\,pF$

Spannungsbegrenzungen	-0,3V; 3,6V
max. stationärer Strom	$16,4\,mA$
Transistorfläche	$0,02\,mm^2$
Kapazitätsfläche	$0,031\,mm^2$

6.1.4 Induktivität am Eingang des Boost-Konverters

Der Induktivitätswert von $L_{Boost} = 30nH$ am Eingang des Boost-Konverters ist mit einem Leiterstück auf der Schaltplatine realisierbar. Eine gerade Leiterbahn der Länge $\approx 4cm$ bis $6cm$ weist bereits diese Induktivität auf (siehe Anhang A.4). Da sich die Induktivität am Eingang des Boost-Konverters befindet, kann die Zuleitung der Versorgungsspannung zur Realisierung dieser Induktivität genutzt werden. Die Integration ist daher einfach ohne zusätzliche Bauelemente und Kosten möglich.

Durch die Nutzung der Zuleitung für die Erzeugung der Induktivität sind magnetische Störungen im Vergleich zu Spulenstrukturen auf der Chipoberfläche weitestgehend für den Chip zu vermeiden. Durch das Platzieren der Versorgungsleitung am Rand der Schaltungsplatine, ist ein gewisser Abstand zu anderen IC-Bauelementen möglich. Störungen aufgrund magnetischer Wechselfelder an dieser Versorgungsleitung sollten damit die Funktion der restlichen Schaltung nicht oder nur unwesentlich beeinflussen. Beim Entwurf der Schaltungsplatine sollten Maßnahmen zur Reduzierung des Magnetfelds berücksichtigt werden.

Bei einer Frequenz von $10MHz$ kann sich der Skin-Effekt bei den Leiterbahnen bemerkbar machen. Für die Dimensionierung der Leiterbahnbreite sollte neben dem maximal auftretenden Stromwert zur Versorgung des ICs auch der Skin-Effekt berücksichtigt werden.

6.1.5 Kapazität am Ausgang des Boost-Konverters

Die Ausgangskapazität des Boost-Konverters, welche einen Wert von $C_{Boost} = 600nF$ hat, soll mit SMD-Kapaziäten auf der Chipoberfläche realisiert werden. Wie in Kapitel 5.3.3 gezeigt, können die parasitären Elemente eines SMD-Bauteils durch eine Parallelschaltung von mehreren SMD-Kapazitäten verringert werden.

Betrachtet man die Auswirkungen der Stromamplituden und -steilheiten im Chip (siehe Kapitel 4.1) an den parasitären Komponenten der SMD-Kapazität, so bewirkt die auftretende Stromflanke von $\frac{dI}{dt} > 1000\frac{A}{\mu s}$ an der parasitären Induktivität den größten Spannungsabfall. Für derartige Stromsteilheiten soll die resultierende parasitäre Induktivität aus der Parallelschaltung

einen Wert von $L_s \approx 200pH$ aufweisen. Mit einem Induktivitätswert von $L_s \approx 1nH$ pro SMD-Bauteil der Größe 0603 (EIA), folgt daraus eine Prallelschaltung mit fünf gleichen Kapazitäten. Der parasitäre Anschlusswiderstand von $R_s \approx 200m\Omega$ pro SMD-Kapazität verringert sich auf $R_s \approx 40m\Omega$ der resultierenden Gesamtkapazität. Zu diesem Widerstandsbetrag muss noch der Anteil des leitfähigen Klebstoffs addiert werden, welcher mit einem Widerstand von $R_{Kleber} \approx 10m\Omega$ pro Kontakt zu einem Gesamtwiderstand der fünf parallelen SMD-Kapazitäten von $R_s \approx 45m\Omega$ führt.

Um die Gesamtkapazität von $C_{Boost} = 600nF$ zu erreichen, ist ein Kapazitätswert von $C \geq 125nF$ pro SMD-Kapazität notwendig. Da dieser Kapazitätswert mit der SMD-Baugröße 0402 (EIA) nicht erhältlich ist, muss auf die Größe 0603 ausgewichen werden.

Um Spannungsschwankungen auf dem Versorgungsnetz im Chip, welche durch die parasitären Elemente der SMD-Kapazitäten verursacht werden, zu reduzieren, sollten alle freien Flächen im Chip für die Bildung von Stützkapazitäten $C_{Stütz,Chip}$ genutzt werden. Mit einer Kapazitätswert von $C_{Stütz,Chip} = 5 - 10nF$ ist eine gute Spannungsstabilität der chipinternen Versorgungsspannung zu erreichen.

Das Bild 6.5 zeigt zur Veranschaulichung die Platzierung von fünf SMD-Kapazitäten der Baugröße 0603 (EIA) auf der Oberfläche eines Chips, der eine Kantenlänge von etwa $1cm$ hat.



(a) (b)

Abbildung 6.5: a) Aufsicht mit fünf SMD-Kapazitäten (Größe 0603) auf der Chipoberfläche angeordnet. Der Chip selbst hat eine Kantenlänge von etwa $1cm$. b) Seitenansicht des Chips mit der SMD-Kapazität auf der Chipoberfläche.

Die Größe der passiven Bauelemente skalierte in Vergangenheit nicht in dem gleichen Maß wie die Halbleiterbauelemente. Da passive Bauelemente nach wie vor im Umfeld der ICs auf der Schaltungsplatine benötigt werden [89], sind in neuesten Veröffentlichungen verstärkt Arbeiten zur Miniaturisierung der passiven Bauelemente zu finden [103, 110]. Darin wird z.B. ein Substrat vorgestellt, welches auf verschiedenen Ebenen spezielle Materialschichten zur Implementierung von Induktivitäten, Kapazitäten sowie Widerstände großer Werte enthält [110]. Auf diese Substrate werden die ICs mittels Flip-Chip Technik aufgebracht. Die neuesten Veröffentlichungen hierzu sind bzgl. der Realisierung großer Bauteilwerte vielversprechend [111].

Die hier vorgestellte Lösung, SMD-Kapazitäten auf der Chipoberfläche aufzukleben, könnte in Zukunft durch verbesserte Technologien ersetzt werden.

6.2 Nachbildung des kritischen Pfads

Die Nachbildung des kritischen Pfads wird aus einer Kette von Gattern aufgebaut. Als Gatter werden Inverter mit einem Fan Out von eins eingesetzt. Die Inverter werden den NAND-Gattern bevorzugt, da diese im Vergleich zum kritischen Pfad bei kleinen Spannungen eine größere Laufzeit aufweisen (siehe Diagramm 5.5). Damit kann gewährleistet werden, dass das digitale System im Chip (= Last) mit der geregelten Chipspannung V_{Chip} fehlerfrei funktioniert.

Als Grundlage für folgende Berechnungen soll das digitale System auf dem Chip mit einer Frequenz von $f_{System} = 50 \ldots 500MHz$ betrieben werden, welches einer Taktperiode von $2ns \leq T_{System} \leq 20ns$ entspricht. Der Regelungstakt wurde in Kapitel 5.3.4 zu $f_{Regelung} = 10MHz$ entsprechend $T_{Regelung} = 100ns$ festgelegt. Laufzeitmessungen des kritischen Pfads bzw. an dessen Nachbildung erfordern wegen der kleinen Systemtaktperiode (bis $2ns$) eine sehr schnelle Messschaltung. Für den einfachen Entwurf einer Messschaltung und um eine höhere Auflösung der Laufzeitabweichung zu erhalten, werden Vielfache der kritischen Pfad-Laufzeit betrachtet.

Innerhalb eines Regelungszykluses findet die Laufzeitmessung und die Berechnung des PWM-Signals statt. Unter Berücksichtigung der Laufzeiten in den verschiedenen Schaltungsblöcken verbleibt für das Vielfache der kritischen Pfad-Laufzeit ein Zeitintervall von $t_{Ges.Nachbildung} = 40ns$. Mit der Bedingung

$$a \cdot T_{System} \leq t_{Ges.Nachbildung} \tag{6.2}$$

berechnet sich das Vielfache $a = \left\lceil \frac{40ns}{T_{Sys}} \right\rceil$ und man erhält damit einen Bereich von $2 \leq a \leq 20$. Zur Ermittlung der Laufzeitabweichung werden damit a Systemtaktperioden betrachtet. Da a eine wertediskrete Funktion ist, ergibt sich für alle möglichen Systemtaktperioden ein Bereich von

$$26,6ns \leq T_{Ref.laufzeit} \leq 40ns \tag{6.3}$$

Das Referenzsignal aus dem Vielfachen $T_{Ref.laufzeit} = a \cdot T_{System}$ wird durch eine Zählung der Systemtaktperioden erzeugt (siehe Bild 6.6).

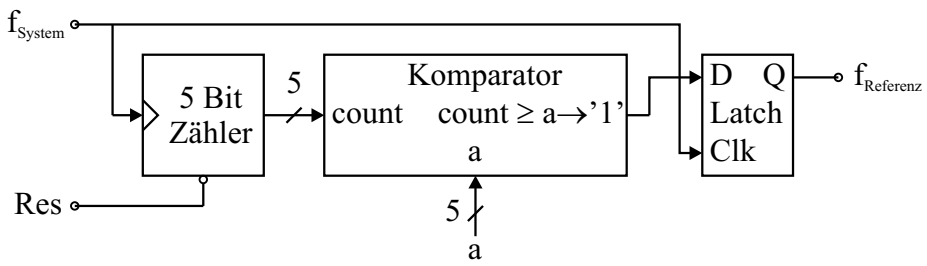


Abbildung 6.6: Erzeugung der Referenzlaufzeit aus dem Systemtakt.

Das entsprechende Vielfache der kritischen Pfad-Laufzeit wird in der Nachbildung nicht durch einen Zählvorgang der Laufzeitzyklen erreicht. Die Nachbildung des kritischen Pfads wird bereits auf die Referenzlaufzeit von $T_{Ref.laufzeit,max} = 40ns = t_{Nachbildung,max}$ (siehe Gl. 6.3) ausgelegt. Um die Laufzeit der Nachbildung an den Bereich der Referenzlaufzeit $26,6ns \leq T_{Ref.laufzeit} \leq 40ns$ anzupassen, ist die Länge der aus Invertern bestehenden Kette entsprechend digital programmierbar gestaltet. Da die Inverter als Verzögerungselemente dienen, wird im folgenden die Kette von Invertern als Verzögerungskette bezeichnet.

Die kritische Pfad-Nachbildung wird aus einer konstanten nicht veränderbaren Verzögerungskette und einer zusätzlichen programmierbaren Verzögerungskette aufgebaut. Die zeitliche Auflösung der Verzögerungskette wird derart gewählt, dass die programmierbare Laufzeit der Nachbildung eine Abweichung zum Referenzsignal $T_{Ref.laufzeit}$ von maximal 1% aufweist. Die einzelnen Verzögerungselemente $\tau_{Verzoeg}$, welche mit 2 Invertern aufgebaut sind, weisen unter worst case Bedingungen eine Grundverzögerung von $\tau_{Verz} = 241ps$ auf. Die Inverter der Verzögerungskette wurden mit einer Kanallänge dimensioniert, welche um den Faktor $1,5$ auf $L_{Kanal} \approx 0,5\mu m$ vergrößert wurde. Damit ist der Einfluss von lokalen Parameterschwankungen auf die Laufzeit der Verzögerungskette weitestgehend zu vermeiden. Die Verlängerung des Transistorkanals in den Invertern führt desweiteren zu einer geringeren Abweichung des Laufzeitverhaltens von Inverterkette zum kritischen Pfad [78].

Durch die Multiplexer und Demultiplexer Strukturen in der Verzögerungskette kann ein bestimmter Signalpfad durch die Verzögerungskette geschaltet werden. Die Steuerung erfolgt durch eine 7 Bit Dualzahl (Programmierwert p). Die Verzögerung zwischen einem Multiplexer und einem Demultiplexer entspricht jeweils der Wertigkeit der Stelle p_i der Dualzahl, wie in Bild 6.7 zu sehen ist [33].

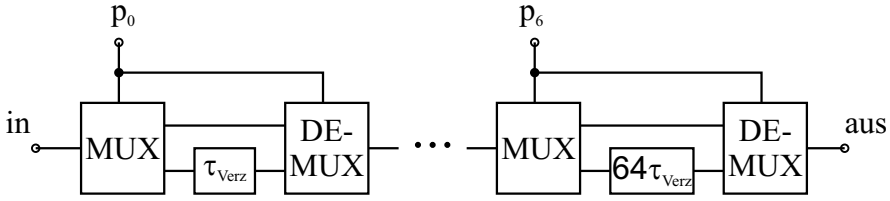


Abbildung 6.7: Programmierbare Verzögerungskette.

Alle Komponenten der Nachbildung des kritischen Pfads werden mit der Chipspannung V_{Chip} versorgt. Die Multiplexer und Demultiplexer wurden derart entworfen, dass sie unabhängig vom Programmierwert immer gleiche Laufzeit aufweisen. Simulationsergebnisse, welche in der Diplomarbeit [108] enthalten sind, zeigen unabhängig vom Wert der Chipspannung einen linearen Zusammenhang zwischen Programmierwert und Laufzeit durch die Verzögerungskette. Die Multiplexer und Demultiplexer zeigen in Abhängigkeit der Chipspannung nahezu gleiches Verhalten wie die Verzögerungselemente.

Ein Vergleich der hier beschriebenen Nachbildung mit einem typischen kritischen Pfad (z.B. aus einem 10 Bit Multiplizierer, siehe Kapitel 3.4) zeigt bei einem Laufzeitabgleich bei $V_{Chip} = 3,3V$ eine kontinuierlich zunehmende Laufzeitabweichung mit geringer werdender Spannung V_{Chip}. Bei $V_{Chip} = 2,0V$ weist die Nachbildung eine um $7,3\%$ größere Laufzeit als $\tau_{Krit.Pfad}$

auf. Die Laufzeitabweichung wird genutzt, um die höhere Empfindlichkeit von $\frac{dt}{dV_{Chip}} = Fkt.(V_{Chip})$ bei kleineren Chipspannungen gegenüber der geringeren Empfindlichkeit bei maximaler Chipspannung= $3,3V$ auszugleichen.

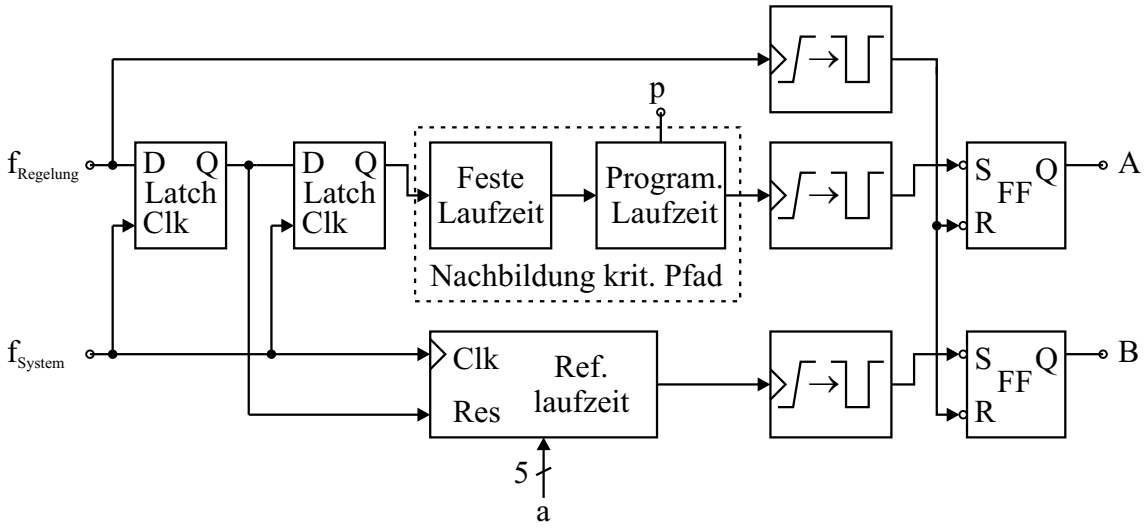


Abbildung 6.8: Impulsgenerierung der zu messenden Signale $t_{Nachbildung}$ an Ausgang A und $T_{Ref.laufzeit}$ an Ausgang B.

Der nicht programmierbare sowie die programmierbare Teil der Verzögerungskette wurden mit den gleichen Verzögerungselementen aufgebaut. Bei einem Programmierwert von $p = (0)_{10}$ ergibt sich bei worst case Parametern durch den nicht programmierbaren Teil der Verzögerungskette und den Multi-/Demultiplexern im programmierbaren Teil eine Laufzeit von $t_{Nachbildung} \approx 21,9ns$. Mit dem digitalen Programmierwert, bestehend aus 7 Bit, kann die Laufzeit der Nachbildung zwischen $21,9ns \leq t_{Nachbildung} \leq 52,5ns$ variiert werden.

Mit der Schaltung von Bild 6.8 werden zwei „low”-Impulse (logischer Zustand=’1’ während der Impulsbreite) generiert. Am Ausgang A erhält man einen Impuls mit der Laufzeit der kritischen Pfad-Nachbildung. Am Ausgang B entspricht die Impulsbreite der Referenzlaufzeit $T_{Ref.laufzeit} = a \cdot T_{System}$.

6.3 Laufzeit-Differenz-Messung

Die Laufzeitsignale A und B aus der Schaltung von Bild 6.8 werden an die Laufzeit-Differenz-Bildung von Bild 6.9 angelegt. Mit dieser Schaltung wird die Laufzeitdifferenz zwischen der Referenzlaufzeit $T_{Ref.laufzeit} = a \cdot T_{System}$ und der Nachbildung $t_{Nachbildung}$ ermittelt. Die Laufzeit der Nachbildung entspricht $t_{Nachbildung} = a \cdot \tau_{Krit.Pfad}$ mit dem gleichen Vielfachen a der Referenzlaufzeit.

Beide Signale A und B durchlaufen in entgegengesetzter Richtung eine Strecke aus gleich aufgebauten Verzögerungsgliedern τ_{Mess}, die ebenfalls wie die Verzögerungselemente der Nachbildung jeweils zwei Inverter enthalten. Die Inverter der Verzögerungselemente werden mit der

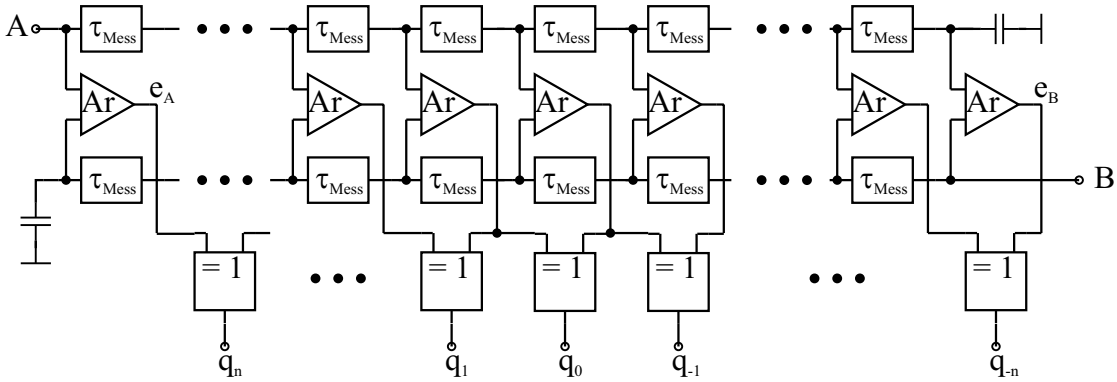
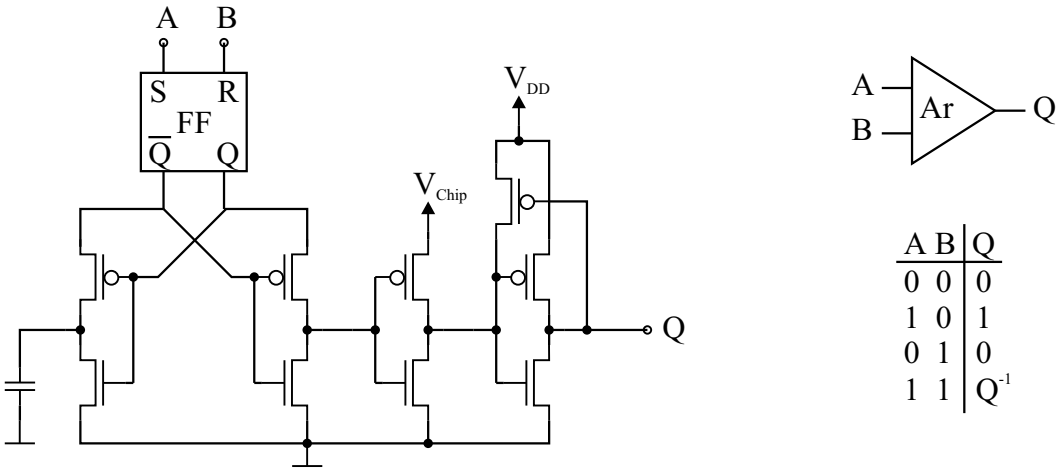


Abbildung 6.9: Schaltung der Laufzeit-Differenz-Bildung.

chipinternen Spannung betrieben. Dadurch weisen sie bei optimal eingestellter Chipspannung in jedem IC dieselbe Verögerungszeit auf[1].

Sogenannte Schiedsrichter (engl.: Arbiter) zwischen den beiden Verzögerungsstrecken vergleichen die Signalpegel und werten diese entsprechend der Wahrheitstabelle in Bild 6.10 aus. Die Arbiter sind aus einem RS-Flipflop und zwei gekoppelten Invertern aufgebaut. Ein Ausgang der Inverter wird über einen Levelshifter zur Anpassung des Ausgangs mit $V_{High} = 3,3V$ und $V_{Low} = 0V$ an nachfolgendes Antivalenzgatter (Bild 6.9) geführt.



A	B	Q
0	0	0
1	0	1
0	1	0
1	1	Q^{-1}

Abbildung 6.10: Schaltung des Arbiters und Wahrheitstabelle von dessen Funktion.

Weisen beide Eingangssignale *A* und *B* gleiche Laufzeiten auf, so treffen sich die Signalflanken ($'0' \nearrow '1'$) beider Signale genau in der Mitte der Verzögerungsketten. Die Arbiterausgänge links

[1] Der Grund hierfür liegt in der Funktion der Spannungsregelung, welche unabhängig von den Betriebs- und Prozessparametern die Laufzeit des kritischen Pfads an die Taktperiode T_{System} regelt. Damit weist ein mit derselben Spannung betriebenes Gatter ebenfalls parameterunabhängig die gleiche Laufzeit auf.

davon würden eine logische '1' ausgeben und entsprechend rechts davon eine logische '0'. Hat in einem Arbiter, durch einen Signalwechsel an einem Eingang, eine Auswertung stattgefunden, bleibt der Ausgangszustand erhalten und wird nur durch eine logische '0' an beiden Eingängen zurückgesetzt. Die nachfolgenden Antivalenzgatter wandeln die Arbiterausgänge. So wird für gleiche Laufzeiten der Signale A und B ein Signal '1' an Ausgang $q_0 = '1'$ ausgegeben. Ist die Laufzeit von Signal A kleiner als von Signal B ($t_A < t_B$), so folgt an einem Ausgang $q_n|_{n\geq 1}$ die Ausgabe einer logischen '1'. Für $t_B < t_A$ wird konträr dazu ein Ausgangssignal $q_n|_{n\leq -1}$ auf den Wert '1' wechseln.

Die Grundverzögerung der Elemente τ_{Mess} in der Schaltung der Laufzeit-Differenz-Bildung (Bild 6.9) soll derart gewählt werden, dass eine Abweichung der chipinternen Versorungsspannung vom optimalen Wert $V_{Chip,opt.}$ (bei der Bedingung $\tau_{Krit.Pfad} \cong T_{System}$) mit $0,05V$ aufgelöst werden soll und eine maximale Abweichung von $\pm 0,2V$ noch im Messbereich liegt.

Um den Einfluss von Spannungsänderungen auf Laufzeitänderungen der kritischen Pfad Nachbildung mathematisch zu erfassen wird auf das Alpha-Power-Modell [112] zur Beschreibung der Gatterlaufzeit in Abhängigkeit der Versorgungsspannung zurückgegriffen. Die Laufzeit kann zu

$$t_d = \frac{V_{DD}}{(V_{DD} - U_{Th})^{\alpha}} \cdot K_d \tag{6.4}$$

beschrieben werden, wobei in K_d die umzuladende Lastkapazität und die notwendigen Transistorparameter zusammengefasst sind. Anhand von Untersuchungen wurde für einen Wert von $\alpha = 1,6$ eine gute Übereinstimmung der Gleichung 6.4 zum Verhalten von Logikgattern der $0,35\mu m$ Technologie bzw. langen Signalpfaden festgestellt. Über eine Taylor-Reihen-Entwicklung um den Spannungswert V_{Chip} mit Abbruch nach dem 2. Glied erhält man den Ausdruck

$$t_d = t_{d,V_{Chip}} + \Delta V_{Chip} \frac{K_d \cdot \left((\alpha - 1) V_{Chip} + U_{Th}\right)}{\left(V_{Chip} - U_{Th}\right)^{\alpha+1}} \tag{6.5}$$

Mit K_d eingesetzt aus Gleichung 6.4 erhält man für die Laufzeitabweichung

$$\Delta t_d = -\Delta V_{Chip} \cdot \frac{t_{d,V_{Chip}} \left((\alpha - 1) V_{Chip} + U_{Th}\right)}{V_{Chip} \left(V_{Chip} - U_{Th}\right)} \tag{6.6}$$

Wie aus dem Laufzeitverhalten in Abhängigkeit der Versorgungsspannung in Bild 3.4 ersichtlich, ist bei kleineren Werten von V_{Chip} für ein festgelegtes ΔV_{Chip} eine größere Abweichung der Laufzeit Δt_d zu erwarten als bei großen Spannungen $V_{Chip} = 3,3V$. Mit der Berücksichtigung der Extremwerte können die in Tabelle 6.2 angegebenen Laufzeitabweichungen ermittelt werden.

Die Unterteilung der maximal zu detektierenden Laufzeitabweichung von $\Delta t_{d,ges.} = \pm 5,41ns$ (für Spannungsänderungen von $\Delta V_{Chip} = \pm 0,2V$) mit der geforderten Laufzeit eines Verzögerungselements von $\Delta t_{d,Element} = 396,97ps$ führt auf 28 Verzögerungselemente pro Signalpfad (A und B). Die Dimensionierung der Inverter in den Verzögerungselementen ergab für worst case Parameter eine Inverterlaufzeit von $\tau_{Inv.,Mess} = 193ps$. Ein Verzögerungselement enthält zwei seriell geschaltete Inverter.

Tabelle 6.2: Grenzwerte für Laufzeit-Differenz-Bildung.

Verzögerungszeit:	$\lvert\Delta U_a\rvert$	t_{d0}	U_0	$\lvert\Delta t_d\rvert$
Ges. Verzögerungskette	$0,2V$	$40ns$	$2,0V$	$5,411\ldots ns$
Verzögerungselement	$0,05V$	$26,6ns$	$3,3V$	$396,969\ldots ps$

Das Ausgangsdatum der Laufzeit-Differenz-Bildung '$q_n,\ldots,q_1,q_0,q_{-1},\ldots,q_{-n}$' wird für die Weiterverarbeitung in der digitalen Reglerschaltung binär kodiert. Unter Berücksichtigung der minimal geforderten 28 Verzögerungselemente τ_{Mess} wird auf eine 5 Bit Quantisierung entschieden. Aus Symmetriegründen wird auf den Digitalwert '-16' verzichtet, so dass der digitale Messwert einen Wertebereich von $-15 \leq D_{Mess} \leq 15$ aufweist. Dementsprechend enthält die Laufzeit-Differenz-Bildung (Bild 6.9) 31 Antivalenzgatter mit den Ausgängen '$q_{15},\ldots,q_1,q_0,q_{-1},\ldots,q_{-1}$

Der Messbereich der Laufzeit-Differenz-Messung ergibt sich zu $\Delta t_{Mess} = \pm 15 \cdot 2 \cdot \tau_{Inv.,Mess} \approx \pm 5,8ns$. Übersteigt die Laufzeitdifferenz den Messbereich, so wird aus den Ausgangssignalen des ersten und letzten Arbiters in Bild 6.9 Überlaufsignale mit den logischen Funktionen

$$\begin{aligned} x_{min} &= e_A \wedge e_B \\ x_{max} &= \overline{e_A \vee e_B} \end{aligned}$$

gebildet.

6.4 Reglerschaltung

Nahzu alle Komponenten der Reglerschaltung sind als Digitalschaltungen mit Hilfe von VHDL-Beschreibungen entworfen worden. Einzige Ausnahme bildet der Bereichsdetektor, welcher den Wert der Chipspannung V_{Chip} einem bestimmten Spannungsbereich zuordnet. Zur Erklärung der Notwendigkeit des Bereichsdetektors wird zuerst auf die Verstärkung eingegangen.

6.4.1 Verstärkung und Bereichsdetektor

A. Bestimmung von Werten und Darlegung der Zusammenhänge

Der Entwurf des PD-Reglers erfolgte unter der Vorraussetzung, dass die zu erzielende Wirkung des Ausgangswertes Δ (siehe Bild 5.10) in gleichem Maße an dessen Eingangswert D_{Mess} zu sehen ist. Dies unterstellt der Übertragungsfunktion, welche alle restlichen Regelkreisglieder zwischen Ausgangs Δ und Eingang D_{Mess} des Regelalgorithmus einschließt, eine Verstärkung von eins. Die Betrachtung der Verhaltensbeschreibungen der Regelkreisglieder ergibt jedoch eine weitaus geringere Verstärkung, so dass der Ausgangswert Δ des Regelalgorithmus mit der

Verstärkung V multipliziert werden muss. Der Verstärkungswert zeigt als mathematischen Ausdruck[2] eine Abhängigkeit von der Chipspannung sowie von der Länge der programmierbaren Verzögerungskette in der Nachbildung des kritischen Pfads. Bild 6.11 stellt an drei ausgewählten Programmierwerten p die Kurvenverläufe der Verstärkung V dar.

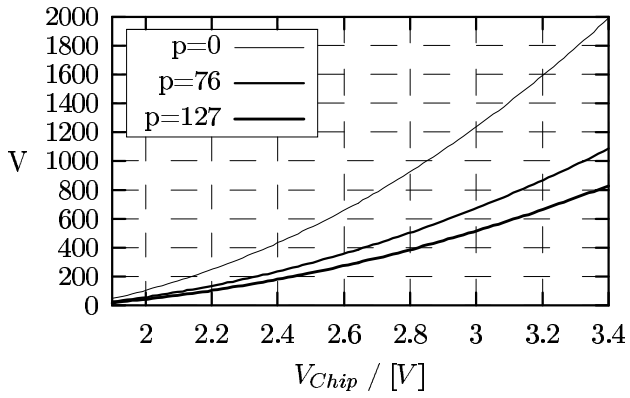


Abbildung 6.11: Verstärkungswert als Funktion der Chipspannung V_{Chip} und des Programmierwerts p der Nachbildung des kritischen Pfads.

Für die Berechnung des Verstärkungswerts wäre eine analog-digital (A/D) Wandlung der Chipspannung V_{Chip} notwendig. Um diese A/D-Wandlung zu vermeiden wurde versucht, über einen Beobachterentwurf aus vorhandenen Regelgrößen auf den Wert der Chipspannung zu schließen. Die Näherungen und Linearisierungen in den Verhaltenbeschreibungen der Regelkreisglieder führen jedoch zu ungenauen Spannungswerten.

Um den Aufwand einer A/D-Wandlung gering zu halten, wird eine grobe Einteilung des Wertebereichs von V_{Chip} vorgeschlagen. Als Entscheiderelemente für die Zuordnung des Spannungswertes an den Bereichsgrenzen kommen dynamische Komparatoren zum Einsatz, wie sie bereits in Kapitel 6.1.1 (PMOS-Steuerung) vorgestellt wurden. Der Vorteil des dynamischen Komparators liegt vor allem in der geringen Verlustleistung. Durch das Takten mit der Frequenz $f_{Regelung}$ wird nur einmal pro Regelungsperiode ein Vergleich der Eingangsspannung mit den Bereichsgrenzen durchgeführt.

Bei einem symmetrisch ausgelegten dynamischen Komparator liegt die Entscheiderschwelle U_S bei $U_S = U_A = U_B$. Verändert man die Kanallängen der Transistoren an den Komparatoreingängen A und B (siehe Bild 6.2b), so kann die Entscheiderschwelle aus der Symmetrie verschoben werden. Die Veränderung der Entscheiderschwelle ist nach folgendem Zusammenhang möglich:

$$U_S = U_A < U_B \quad \text{für} \quad L_B > L_A \tag{6.7}$$

Simulationen des Regelverhaltens führten auf die Einteilung der Spannungswerte von V_{Chip} in 4 Bereiche. Die Grenzen der Spannungsbereiche wurden so gewählt, dass sich zwischen den Verstärkungswerten an der unterern und oberen Bereichsgrenze jeweils ein Verhältnis von etwa 4 ergibt. Bei Untersuchungen des Regelverhaltens stellte sich heraus, dass ein Verstärkungswert

[2] Wegen der Komplexität des Ausdrucks wird hier auf dessen Darstellung verzichtet und auf die begleitende Diplomarbeit [108] verwiesen.

pro Spannungsbereich keine zufriedenstellenden Ergebnisse liefert. Unterschreitet die Chipspannung den optimalen Spannungswert $V_{Chip,opt.}$ ($V_{Chip,opt.}$ bei $\tau_{Krit.Pfad} = T_{System}$), so ist ein schnelles Anheben der Spannung erwünscht, damit eine Fehlfunktion des Systems vermieden wird. Für diese Situation ist somit der größte Verstärkungswert des Spannungsbereichs sinnvoll, um nicht zu schwach der Störung entgegenzuwirken. Bei einem höheren Spannungswert $V_{Chip} > V_{Chip,opt.}$ hingegen soll nur mäßig eingesteuert werden, um nicht ein Unterschwingen der Spannung zu erzeugen. Hierfür ist der Verstärkungswert an der unteren Bereichsgrenze angebracht. Die Bereichseinteilung wird an einer Verstärkungskennlinie V^* durchgeführt, welche unabhängig von dem Programmierwert p ist. Der Verstärkungswert V für den Reglerausgang berechnet sich zu $V = \frac{V^*}{(p+p_0)}$. Der Term $(p+p_0)$ ist die Summe von Verzögerungselementen aus der programmierbaren und nicht programmierbaren Verzögerungskette der kritsichen Pfad Nachbildung.

In Tabelle 6.3 ist die Bereichseinteilung der Chipspannung V_{Chip} angegeben. Die Chipspannung liegt bei den hier verwendenten Komparatoren von Bild 6.2b an Eingang A an. Eingang B ist fest mit der Spannung $V_{DD} = 3,3V$ verbunden. Mit der in Tabelle 6.3 angegebenen Kanallängenvariation von L_B ($L_A = 0,7\mu m$) wurden die angegebenen Bereichsgrenzen erzielt. Abhängig von Betriebs- und Prozessschwankungen können die Bereichsgrenzen etwas variieren. Die Abweichungen wurden bei der Festlegung der Verstärkungen an den unteren und oberen Bereichsgrenzen (V^*_{min} und V^*_{max}) berücksichtigt.

Tabelle 6.3: Bereichseinteilung der Spannung V_{Chip}. Die Transistorparameter an den Komparatoreingängen A und B sind $L_A = 0,7\mu m$, $W_A = W_B = 1,7\mu m$. Mit Variation der Kanallängen des Transistors an Eingang B wurde die Entscheiderschwelle verändert.

$V_{Chip}/[V]$	$L_B/[\mu m]$
$2,1$	$1,75$
$2,23$	$1,55$
$2,52$	$1,20$

V_{Chip}-Bereich $/[V]$	V^*
$1,95-2,1$	$V^*_{1,min}, V^*_{1,max}$
$2,1-2,23$	$V^*_{2,min}, V^*_{2,max}$
$2,23-2,52$	$V^*_{3,min}, V^*_{3,max}$
$2,52-3,3$	$V^*_{4,min}, V^*_{4,max}$

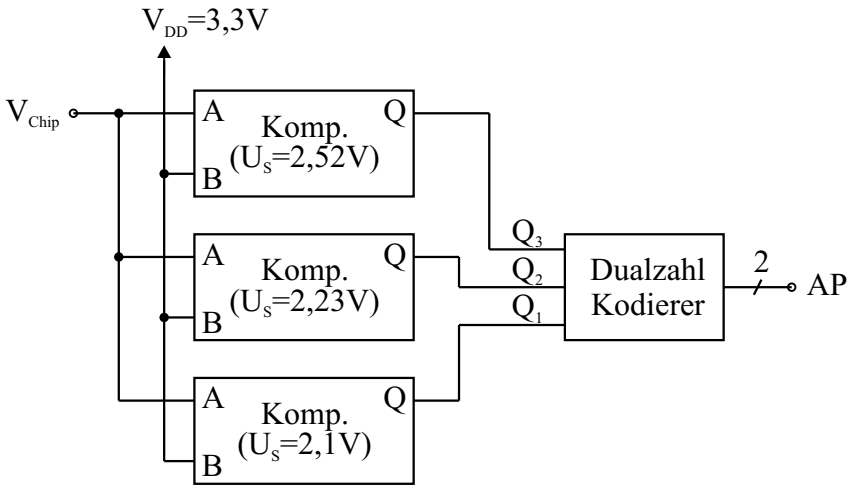
B. Blockschaltbild

Bereichsdetektor Die Bereichsdetektion enthält 3 dynamische Komparatoren, welche die Entscheiderschwellen von Tabelle 6.3 aufweisen. Die Komparatorausgänge folgen der Funktion

$$V_{Chip} < U_S \rightarrow Q = 0V \mathrel{\hat{=}} '0' \quad (6.8)$$

$$V_{Chip} > U_S \rightarrow Q = 3,3V \mathrel{\hat{=}} '1' \quad (6.9)$$

Die 3 Ausgangswerte der Komparatoren werden anschließend in eine 2 Bit Dualzahl kodiert.



Dualzahl Kodierer

Q_3	Q_2	Q_1	AP_1	AP_0
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
1	0	0	1	1

Abbildung 6.12: Blockschaltbild des Bereichsdetektors.

Verstärkung Nach dem Abgleich der kritischen Pfad-Nachbildung ist der Programmierwert p bekannt. Damit kann der Verstärkungswert V aus den in einem ROM abgespeicherten Verstärkungswerten $V^*_{i,min}$, $V^*_{i,max}$ und p berechnet werden. Mit Hilfe des AP-Werts aus der Bereichsdetektion (Bild 6.12) und dem Vorzeichen des Messwerts aus der Laufzeit-Differenz-Messung $VZ_{D_{Mess}}$ erfolgt die entsprechende Auswahl von V^*. In Bild 6.13 ist das Blockschaltbild zur Berechnung des Verstärkungswerts gegeben.

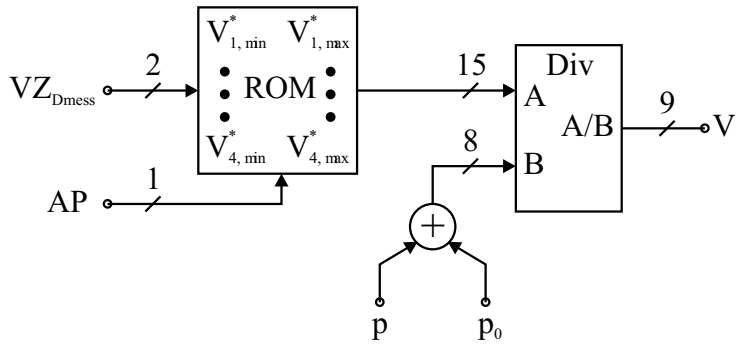


Abbildung 6.13: Blockschaltbild zur Berechnung des Verstärkungswerts V.

6.4.2 Regelalgorithmus

Der Regelalgorithmus, welcher die Gleichung 5.24 des PD-Reglers enthält ist vollständig als Digitalschaltung implementiert. Das Blockschaltbild 6.14 zeigt die Berechnung des digitalen Ausgangswerts Δ aus dem Messwert D_{Mess}. Die 5 Bit breite Eingangszahl D_{Mess} wird durch „Shift & Add"-Operationen mit den Faktoren d_R und $(p_R + d_R)$ (siehe Gleichungen 5.25 und 5.26) multipliziert. Die Verzögerung des Messsignals um einen Takt erfolgt mit dem Register. Der digitale Ausgangs Δ weist eine Wortbreite von 10 Bit auf. Dabei sind die untersten 3 Bit

als Nachkommastellen zu interpretieren. In nachfolgender Multilplikation $\tilde{\Delta} = \Delta \cdot V$ werden die Nachkommastellen als unterste Wertigkeit einer ganzen Zahl betrachtet und entsprechend der Verstärkungswert V um den Faktor $\frac{1}{8}$ reduziert. Die Einsparung von 3 Bit Wortbreite am Ausgang der Multiplikation führt zu kleinerer Verlustleistung und Chipfläche.

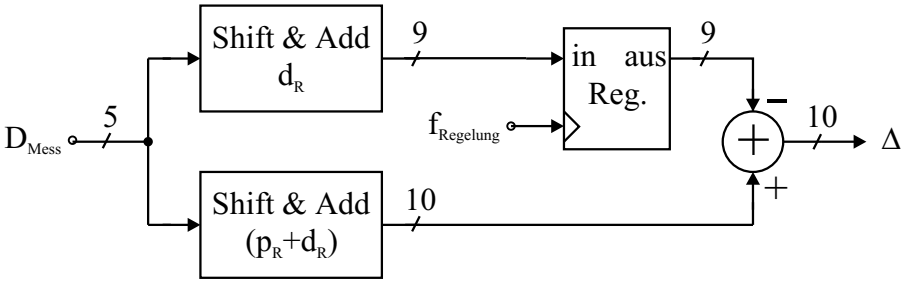


Abbildung 6.14: Blockschaltbild des Regelalgorithmus mit PD-Regler.

6.4.3 Berechnung Reglerausgang

In diesem Modul findet die Berechnung des Ausgangswerts der Relgerschaltung D_t nach Gleichung 5.21 statt. Dieses Modul ist wiederum vollständig als Digitalschaltung entworfen worden und ist in Blockschaltbild 6.15 zu sehen.

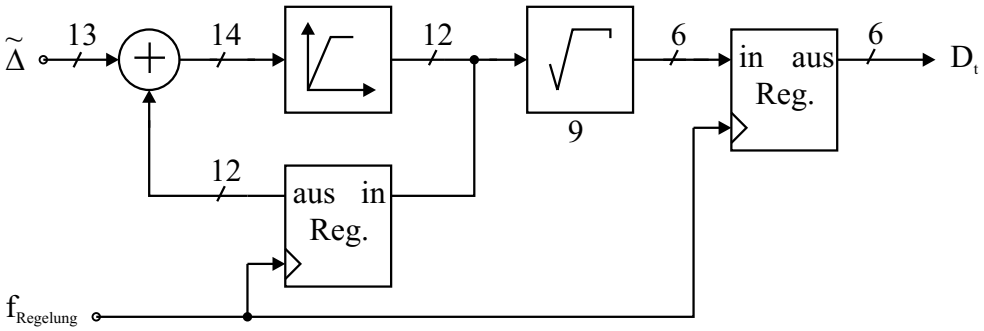


Abbildung 6.15: Blockschaltbild des Moduls „Berechnung Reglerausgang”.

Der Ausgangswert D_t soll nach den Berechnungen in Kapitel 6.5 bzgl. der PWM-Signal-Erzeugung eine Wortbreite von 6 Bit aufweisen. Der Eingang der Wurzelfunktion muss entsprechend mit 12 Bit ausgelegt werden. Ein Sättigungsglied nach dem Addierer dient zur Begrenzung des Addiererausgangs mit einem zulässigen Wertebereich von $0 \ldots (2^{12} - 1)$.

6.5 PWM-Erzeugung

Die digitale Reglerschaltung liefert am Ausgang einen Digitalwert D_t, aus dem das pulsweitenmodulierte Signal zur Ansteuerung des Boost-Konverters generiert wird. Hierzu soll die gleiche

programmierbare Verzögerungskette zum Einsatz kommen wie sie bereits bei der Nachbildung des kritischen Pfads im Kapitel 6.2 vorgestellt wurde. Anhand der programmierbaren Verzögerung kann wie in Bild 6.16 abgebildet, der Impuls des PWM-Signals generiert werden.

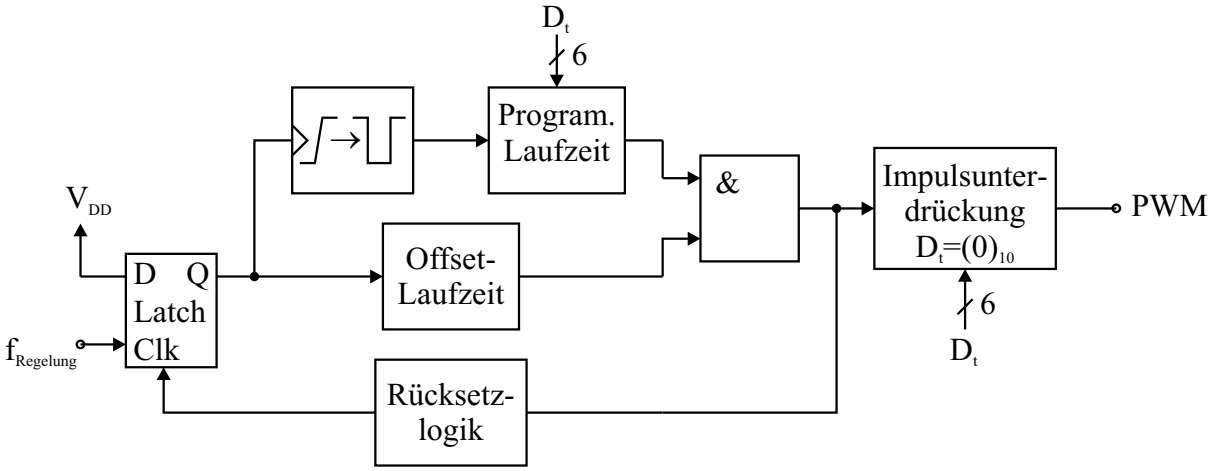


Abbildung 6.16: Blockschaltbild zur PWM-Signal Erzeugung.

Die programmierbare Verzögerungskette hat wie bereits in Kapitel 6.2 erwähnt als besonderen Vorteil ein sehr lineares Verhalten zwischen dem digitalen Programmierwert und der Verzögerungszeit. Die Offset-Zeit, verursacht durch die Multiplexer/Demultiplexer-Blöcke bei einem Programmierwert von $p = (0)_{10}$ kann durch ein weiteres angepasstes Verzögerungselement „Offset-Laufzeit" nahezu vollständig kompensiert werden. Ein restlich verbleibender Offset bei der PWM-Signalerzeugung während der Regelung wird durch das integrierende Verhalten des Reglers kompensiert und wirkt sich deshalb nicht in einer fehlerhaften Ansteuerung des Boost-Konverters aus. Um für einen Digitalwert von $D_t = 0$ keinen Impuls zu erzeugen, wird für diesen speziellen Eingangswert die PWM-Signalerzeugung unterdrückt.

Es ist noch die zeitliche Auflösung und die maximale Impulsbreite für das PWM-Signal zu ermitteln. Mit diesen Angaben kann die Bitbreite des digitalen Reglerausgangs D_t berechnet werden.

Ausgehend vom eingeschwungenen Zustand lässt sich die Betrachtung des Ladungstransports im Boost-Konverter mit $Q_{zu} = Q_{Last} = C_{Last} \cdot V_{Chip}$ und der Gleichung 5.17 die Spannungsempfindlichkeit

$$\frac{\partial V_{Chip}}{\partial t_s} = \frac{t_s}{LC_{Last}} \cdot \frac{V_{Srg}^2}{V_{Chip} - V_{Srg}} \tag{6.10}$$

herleiten (Näherung: $V_{Chip} - V_{Srg} \approx konstant$, mit ΔV_{Chip} klein). Diese Spannungsempfindlichkeit wird am größten für maximale Werte von t_s und kleinster chipinterner Spannung V_{Chip}. Da die Stellzeit über die Abhängigkeit von der Ausgangsleistung des Boost-Konverters mit der Spannung V_{Chip} gekoppelt ist, ergibt sich für die kleinste Chipspannung ($V_{Chip} \approx 2,0V$) die größte Spannungsempfindlichkeit zu

$$\max\left\{\frac{\partial V_{Chip}}{\partial t_s}\right\}\Bigg|_{V_{Chip}=2,0V} \approx 9,1 \cdot 10^6 \frac{V}{s}. \tag{6.11}$$

Andererseits beträgt die minimal messbare Spannungsänderung bei der Laufzeit-Differenz-Messung (siehe Diplomarbeit [108])

$$\min\left\{\frac{\Delta V_{Chip}}{\tilde{x}\left(\Delta V_{Chip}\right)}\right\} \approx 10,861\,mV \tag{6.12}$$

Durch die Division der Gl. 6.11 mit Gl. 6.12 erhält man somit eine detektierbare Stellzeitänderung von $\Delta t_s = 1,195ns$.

Um kleinere Spannungsänderungen als durch die Quantisierungsstufen der Messschaltung detektierbar sind, ausführen zu können, wird eine Stellzeitänderung von etwa $\Delta t_s \approx \frac{2}{3}\Delta t_{s,detektierbar}$ zu $\Delta t_s \approx 742ps$ gewählt.

Maximale Impulsbreite des PWM-Signals

Die maximale Breite des PWM-Impulses wird bei einer Versorgung des Chip mit maximaler Leistung $P_{max} = 1,5W$ bei $V_{Chip} = 3,3V$ zustande kommen. Aus den Angaben kann der mittlere Laststrom von $\overline{I}_{L,max} = \frac{P_{max}}{3,3V}$ abgeleitet werden, für den im Boost-Konverter pro Regelungstakt ein Ladungstransport von $Q_{zu} = \frac{\overline{I}_{L,max}}{f_{Regelung}} = 45 \cdot 10^{-9}C$ notwendig ist. Über Gleichung 5.17 lässt sich für diesen Ladungstransport eine Stellzeit von $t_{s,I_{L,max}} = 35,355ns$ berechnen.

Die Wortbreite des digitalen Reglerausgangs zur Erzeugung einer Impulsbreite von $t_s = 35,355ns$ mit einer Auflösung von $\Delta t_s \approx 742ps$ lässt sich angeben zu

$$D_t\big|_{Wortbreite} = \left\lceil \log_2\left(\frac{t_{s,I_{L,max}}}{\Delta t_s}\right)\right\rceil = 6\,Bit. \tag{6.13}$$

Die gesamte einstellbare Stellzeit mit einem 6 Bit Wort beträgt $t_{s,max} = 2^6 \cdot \Delta t_s = 46,73ns$. Die Differenz von $t_{s,max}$ zu $t_{s,I_{L,max}}$ ist für die Regelung von Nutzen, da dieser erweiterte Bereich zur Erzeugung des PWM-Impulses bei maximaler Ausgangsleistung des Boost-Konverters einen zusätzlichen Dynamikbereich zur Regelung von Spannungsabweichungen erlaubt.

6.6 Einschaltvorgang

Beim Anlegen der beiden Versorgungsspannung $V_{DD} = 3,3V$ und $V_{Srg} = 1,8V$ an das IC ergibt sich das Problem, dass die Chipspannung V_{Chip} kleiner als die Eingangsspannung des Boost-Konverters ist. Der Boost-Konverter funktikoniert in der Weise wie in Kapitel 5.3 erklärt jedoch nur für Chipspannungen $V_{Chip} > V_{Srg}$. Um die Schaltzustände im IC und die chipinterne Versorgungsspannung auf einen definierten Anfangszustand zu bringen, wird eine Starterschaltung (Bild 6.17) eingesetzt.

Mit dem Anlegen der Versorgungsspannungen wird gleichzeitig im bzw. außerhalb des ICs üblicherweise ein Reset-Signal für das Setzen der Registerausgänge generiert. Dieses Signal

wird ebenfalls zum Start des Einschaltvorgangs benutzt. Ein logischer Zustand $'1'$ an diesem *Reset*-Signal setzt in der Starterschaltung die internen Reset-Signale für die Regelung und das digitale System auf $Reset_{Regelung} = Reset_{System} =' 1'$. Damit wird die Aktivität dieser Schaltungen unterbunden. Desweiteren geht das „low"-aktive Signal $\overline{Strg_{Abgleich}}$ auf $'0'$ und bewirkt über die Schaltung der PMOS-Steuerung ein Leiten des PMOS-Transistors im Boost-Konverter. Der Stromfluss vom Eingang des Boost-Konverters über den PMOS-Transistor führt zum Laden der Ausgangskapazität C_{Boost}. Solange das Signal $\overline{Strg_{Abgleich}}$ auf $'0'$ liegt, wird gleichzeitig die Zuführung des PWM-Signals unterbrochen.

Mit dem Rückgang des Reset-Signals (*Reset*) wird das Schieberegister aktiviert. Gleichzeitig erfolgt eine Auswertung der Chipspannung über den Bereichsdetektor. Ist V_{Chip} unterhalb der Schwelle $U_S = 2,23V$ ($AP_1 = '0'$), so bleibt der PMOS-Transistor eine bestimmte Anzahl von Taktperioden $T_{Regelung}$ leitenden, die über das Schieberegister definiert werden. Anschließend wird, solange $AP = '0'$ ist, das Taktsignal der Regelung $f_{Regelung}$ mit dem Tastverhältnis von $D = 50\%$ als PWM-Signal an den Boost-Konverter gegeben. Mit dem PWM-Signal werden nun beide Schalttransistoren wie beim Betrieb der Spannngsregelung angesteuert. Es folgt eine weitere Erhöhung der Chipspannung. Mit dem Übergang des Signals $AP_1 =_{'0'} \nearrow {}^{'1'}$ wird in den Regelungsbetrieb umgeschalten, wobei gleichzeitig das Reset-Signal der Regelung $Reset_{Regelung}$ zurückgesetzt wird. Die Anzahl der Elemente im Schieberegister richtet sich nach der Dauer des Reset-Signals und dem zu versorgenden digitalen System. Das Schieberegister muss individuell auf das jeweilige digitale System angepasst werden.

Anhand des Vorzeichens des Messsignals aus der Laufzeit-Differenz-Messung wird entschieden, wann die Chipspannung für den Betrieb des digitalen Systems im Chip erreicht ist. Bei einem Vorzeichenwechsel an D_{Mess} ($VZ_{D_{Mess}} =_{'0'} \nearrow {}^{'1'}$) wird das Reset-Signal des digitalen Systems $Reset_{System}$ zurückgesetzt und der normale Betrieb des ICs kann beginnen.

Für den Abgleich der Nachbildung des kritischen Pfads (siehe Kapitel 6.7) muss die Chipspannung $V_{Chip} = 3,3V$ betragen. Hierzu wird über die Aktivierung des „Test"-Eingangs ($Test = '1'$) der PMOS-Transistor des Boost-Konverters konstant leitend ($\overline{Strg_{Abgleich}} = '0'$). Die Spannungsregelung wird gleichzeitig über das Signal $Reset_{Regelung} = '1'$ blockiert. Das Resetsignal des digitalen Systems ist inaktiv ($Reset_{System} = '0'$), so dass der Betrieb des digitalen Systems ohne Einschränkung für die Abgleichroutine möglich ist.

Liegt während des Produktionstests am Eingang des Boost-Konverters die Spannung $V_{Srg} = 3,3V$ an, so wird sich auf dem Versorgungsnetz im Chip ebenfalls die Spannung $V_{Chip} = 3,3V$ einstellen.

6.7 Abgleich

Der Laufzeitabgleich der Nachbildung des kritischen Pfads zum tatsächlichen kritischen Pfad im digitalen System findet im Rahmen des Produktionstests statt. Anhand von „Delay-Fault-Tests" (siehe Kapitel 5.2.1.5) wird für worst case Betriebsbedingungen (hier: $V_{Chip} = 3,3V$ und $T_{Chip} = 100°C$) die Grenzfrequenz f_G des digitalen Systems im Chip ermittelt. Um den

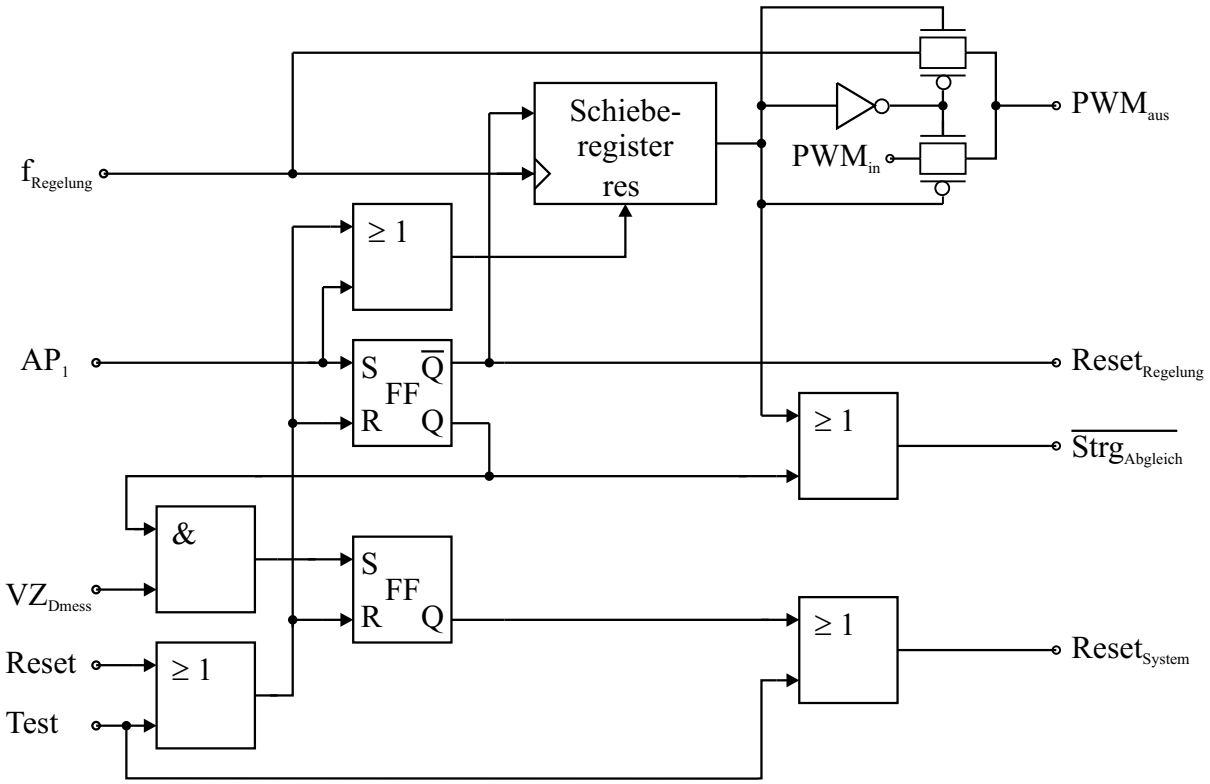


Abbildung 6.17: Schaltbild der Starterschaltung für den Einschaltvorgang.

Spannungswert von $V_{Chip} = 3,3V$ für den Chiptest sowie für den Abgleich stabil auf dem Versorgungsnetz des ICs zu erhalten, wird am „Test"-Pin der Starterschaltung (Bild 6.17) die Spannung V_{DD} und am Boost-Konverter die Eingangsspannung $V_{Srg} = 3,3V = V_{DD}$ angelegt. Über die Starterschaltung von Bild 6.17 wird der PMOS-Transistor des Boost-Konverters leitend und es stellt sich im Chip die Spannung $V_{Chip} = V_{DD}$ ein.

Der Abgleich der Nachbildung des kritischen Pfads erfolgt unter Nutzung der Komponenten „Nachbildung kritischer Pfad" und „Laufzeit-Differenz-Messung" aus dem Regelkreis. Anstatt der für den Normalbetrieb des ICs vorgesehen Systemtaktfrequenz wird die ermittelte Grenzfrequenz f_G der digitalen Schaltung für $V_{Chip} = 3,3V$ von außen angelegt ($f_{System} = f_G$). Die Verzögerungskette der Nachbildung des kritischen Pfads kann während des Abgleichs durch einen über die Gehäusepins des ICs zugeführten Programmierwert gesteuert werden. In Zeitzyklen des Regelungstakts $f_{Regelung}$ lässt sich für den jeweils eingestellten Programmierwert p die resultierende Laufzeitabweichung am Ausgang der Laufzeit-Differenz-Messung auslesen. Durch eine sukzessive Anpassung des Programmierwerts kann somit die Laufzeit der Nachbildung mit der Referenzlaufzeit $t_{Ref.laufzeit} = a \cdot \tau_{Krit.Pfad} = a \cdot \frac{1}{f_G}$ (siehe Kapitel 6.2) in Übereinstimmung gebracht werden.

Die Regelung der chipinternen Spannung mit der so abgeglichenen kritischen Pfad-Nachbildung würde die minimale Spannung $V_{Chip,opt.}$ für eine fehlerfreie Funktion des digitalen Systems im Chip ergeben. Für eine robuste Spannungsregelung müssen jedoch zulässige Spannungseinbrüche von 5%$V_{Chip,opt.}$ berücksichtigt werden und dementsprechend muss die Spannung $V_{Chip,opt.}$

um den Wert der Spannungseinbrüche erhöht werden. Dies lässt sich bewerkstelligen, indem die abgeglichene Laufzeit der Nachbildung $t_{Nachb.,Abgleich}$ um einen Sicherheitszuschlag erhöht wird. Die Korrektur erfolgt mit dem Faktor $1,053$, so dass sich die Laufzeit der Nachbildung des kritischen Pfads zu $t_{Nachb.,Korrektur} = 1,053 \cdot t_{Nachb.,Abgleich}$ ergibt. Der korrigierte Programmierwert lässt sich aus folgender Beziehung ableiten:

$$\frac{t_{Nachb.,Korrektur}}{t_{Nachb.,Abgleich}} = 1,053 = \frac{p_{Korrektur} + p_0}{p_{Abgleich} + p_0}$$

p_0 gibt die Anzahl der Verzögerungselemente an, die zusammen der Laufzeit des nicht programmierbaren Verzögerungsblocks entsprechen (siehe Bild6.8).

Der korrigierte Programmierwert $p_{Korrektur}$ wird am Ende des Abgleichvorgangs nicht flüchtig in ein PROM auf dem Chip gespeichert. Von diesem PROM aus wird der Programmierwert aus dem Abgleich $p_{Prog.,Abgelich} = p_{Korrektur}$ an die Nachbildung des kritischen Pfads geführt. Zur Veranschaulichung wird auf das Bild 6.18 in folgendem Unterkapitel 6.8 verwiesen. Für die Ausführung von PROM-Zellen sind mehrere Möglichkeiten bekannt [15]. Die Realisierung der PROM-Zellen ist von den Möglichkeiten der verwendeten Technologie abhängig.

6.8 Temperaturmessung auf dem Chip

Durch sogenannte „hot spots” (siehe Kapitel 5.2.2) können auf dem Chip lokale Temperaturunterschiede auftreten. Um eine Laufzeitabweichung der kritischen Pfad-Nachbildung zum tatsächlichen kritischen Pfad aufgrund einer ungünstigen Temperaturverteilung auf dem Chip zum vermeiden , werden verteilte Temperatursensoren zur Erfassung von Temperaturschwankungen eingesetzt.

Als Temperatursensor bietet sich ein Ringoszillator an, welcher eine lineare Abhängigkeit der Oszillatorfrequenz zur Temperatur zeigt. Der Ringoszillator ist aus mehreren Inverterstufen aufgebaut. Um bei identisch aufgebauten Ringoszillatoren größere Frequenzunterschiede durch den Einfluss lokaler Parameterschwankungen zu vermeiden, wurden die Transistoren der Inverter mit einer Kanallänge von etwa $0,5\mu m$ dimensioniert.

Die rechteckförmigen Impulse am Ausgang der temperaturgesteuerten Oszillatoren (=TCO) werden in einem Zeitintervall von $t_{Temp.messung} = N \cdot a \cdot T_{System} = N \cdot t_{Nachbildung}$ gezählt. Mit einer Periodenzeit t_{TCO} der Oszillatorfrequenz erhält man am Zählerausgang den Zählwert $m = \frac{t_{Temp.messung}}{t_{TCO}}$. Unterscheidet sich die Chiptemperatur an den verteilten Temperatursensoren, so erhält man aufgrund unterschiedlicher Oszillatorfrequenzen unterschiedliche Zählwerte.

Nahe der Nachbildung des kritischen Pfads wird ein Temperatursensor als Referenzsensor angebracht, welcher einen Zählwert m_{Ref} liefert. Aus dem Unterschied der Zählwerte von dem Referenzsensor (m_{Ref}) zu den restlichen verteilten Temperatursensoren (Zählwerte m_i) kann auf einen temperaturbedingten maximal auftretenden Laufzeitunterschied zwischen der Nachbildung des kritischen Pfads und dem tatsächlichen kritischen Pfad geschlossen werden.

Zeigt die Differenz der Zählwerte, dass die Laufzeit des kritischen Pfads größer als die der Nachbildung ist, so erfolgt eine Laufzeitanpassung der kritischen Pfad-Nachbildung durch eine Änderung des digitalen Programmierwerts p (siehe Kapitel 6.2).

Die Änderung des Programmierwerts ergibt sich zu:

$$\Delta p = \left(m_{Ref} - \min\{m_i\}\right) \frac{\tau_{TCO}}{\tau_{Verz.}} \tag{6.14}$$

τ_{TCO} und $\tau_{Verz.}$ geben die Laufzeit von zwei Inverterstufen im Ringoszillator (TCO) und in einem Verzögerungselement der Nachbildung des kritischen Pfads an. Bei geeingeter Dimensionierung der Inverter im Ringoszillator (siehe Diplomarbeit mit Ergänzung [108]) erhält man für die im Chip auftretenden Temperaturunterschiede ein Verhältnis von $\frac{\tau_{TCO}}{\tau_{Verz.}} \leq 1$. Wird eine Ungenauigkeit bei den Temperatursensoren von einer Zählerstufe berücksichtigt, so ergibt sich für die Korrektur des Programmierwerts an der Nachbildung des kritischen Pfads folgende Vorschrift:

$$\Delta p_{Temp.} = \begin{cases} m_{Ref} - \min\{m_i\} + 1 & m_{Ref} > \min\{m_i\} \\ 1 & sonst \end{cases} \tag{6.15}$$

Eine Temperaturmessung und der Vergleich der Zählwerte wird in Zeitintervallen von $6,4\mu s$ wiederholt. Das entspricht 156 Temperaturmessungen pro Millisekunde. Damit werden Änderungen der Temperaturen auf dem Chip ausreichend schnell erfasst.

Das Bild 6.18 soll veranschaulichen, wie der digitale Programmierwert p an der Nachbildung des kritischen Pfads aus dem Wert des Abgleichs $p_{Korrektur}$ (siehe Kapitel 6.7) und dem Änderungswert $\Delta p_{Temp.}$ aus der Chiptemperaturmessung gebildet wird.

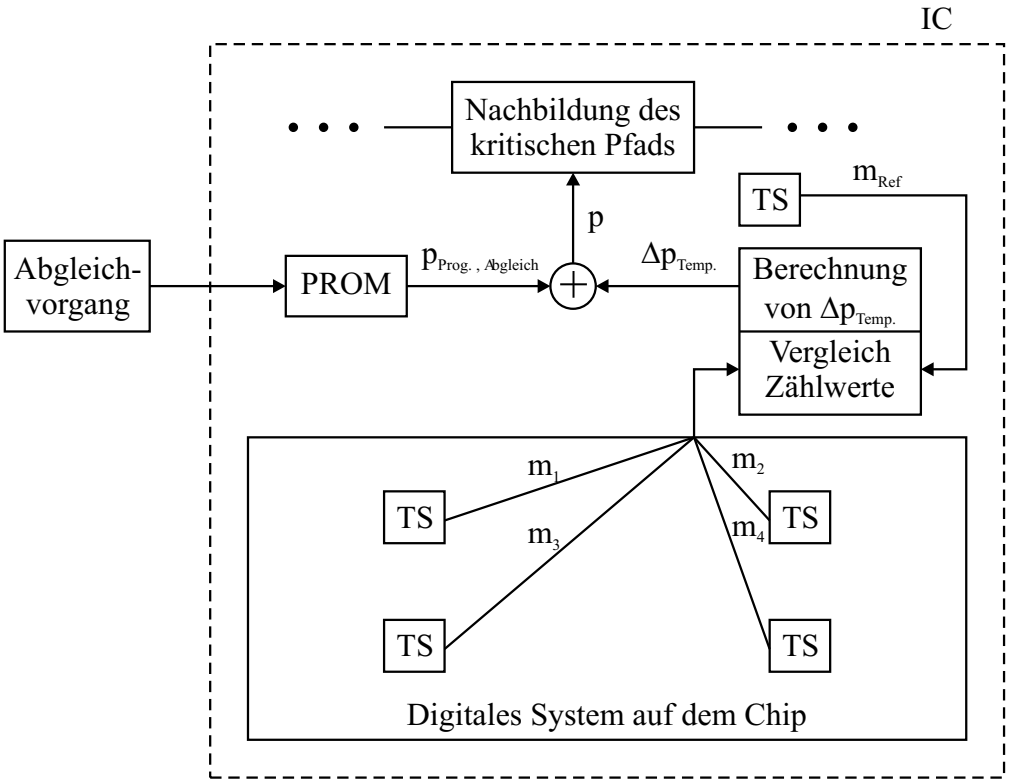


Abbildung 6.18: Programmierung der Nachbildung des kritischen Pfads mit dem digitalen Wert p , welcher sich aus dem Wert des Abgleichs $p_{Prog.,Abgleich}$ und der Änderung aus der Chiptemperaturmessung $\Delta p_{Temp.}$ zusammensetzt. Als Beispiel sind im Bild 4 verteilte Temperatursonsoren auf dem Chip gezeigt.

Kapitel 7

Simulationsergebnisse

7.1 Regelverhalten

Das digitale System (Last) auf dem Chip kann Wechsel der Schaltaktivität aufweisen. Dies ist z.B. durch ankommende Datenströme an den Eingangspins des Chips möglich oder durch Wechsel des Betriebsmodus bei Verwendung von „Power Management"-Systemen im IC [13, 113]. In folgenden Abschnitten wird das Verhalten der Spannungsregelung auf einen sprungförmigen Anstieg bzw. Abfall des Stromes aufgrund einer Änderung der Schaltaktivität von $\alpha = 18\%$ auf $\alpha = 100\%$ gezeigt.

7.1.1 Regelverhalten bei worst case Paramtern

Bei worst case Betriebs- und Prozessparameter weisen die Logikgatter im IC ein langsames Schaltverhalten auf. Entsprechend bildet sich eine größere Laufzeit in den Signalpfaden aus. Für die Einhaltung der Laufzeitbedingung $\tau_{Krit.Pfad} < T_{System}$ wird eine große Chipspannung erwartet. Bei einer Chiptemperatur von $T_{Chip} = 100°C$ und worst case Prozessparameter stellt sich etwa eine Spannung von $V_{Chip} = 3,3V$ ein. Bild 7.1 zeigt bei $t = 3\mu s$ einen sprunghaften Anstieg des Stroms auf $I_{Chip} \approx 450mA$ ($\triangleq$ 100% Aktivität der Schaltung). Für diesen Stromwert bei der Chipspannung $V_{Chip} = 3,3V$ wird die maximale Ausgangsleistung des Boost-Konverters von $P_{max} = 1,5W$ erreicht.

Der zeitliche Ausschnitt in Bild 7.1 zeigt deutlich die Änderung des PWM-Signals am Boost-Konverter als Reaktion auf einen Spannungsabfall von V_{Chip}. Nach der Detektion einer Spannungsabweichung von V_{Chip} liegt im folgenden Regelungstakt das geänderte PWM-Signal am Boost-Konverter an (hier bei $3,1\mu s$). Daraufhin ändert sich der Ladungstransport zur Ausgangskapazität des Boost-Konverters. Bis jedoch eine merkliche Umkehr vom Absinken der Chipspannung zu einem Anstieg des Spannungswerts eintritt, vergehen etwa zwei Regelungstakte. Anschließend wird V_{Chip} wieder bis zum ursprünglichen Wert erhöht.

Der gleiche sprungförmige Stromanstieg von Bild 7.1 ist in Bild 7.2 zu erkennen, allerdings über einen größeren zeitlichen Bereich. Diese Betrachtung zeigt vor allem das dynamische

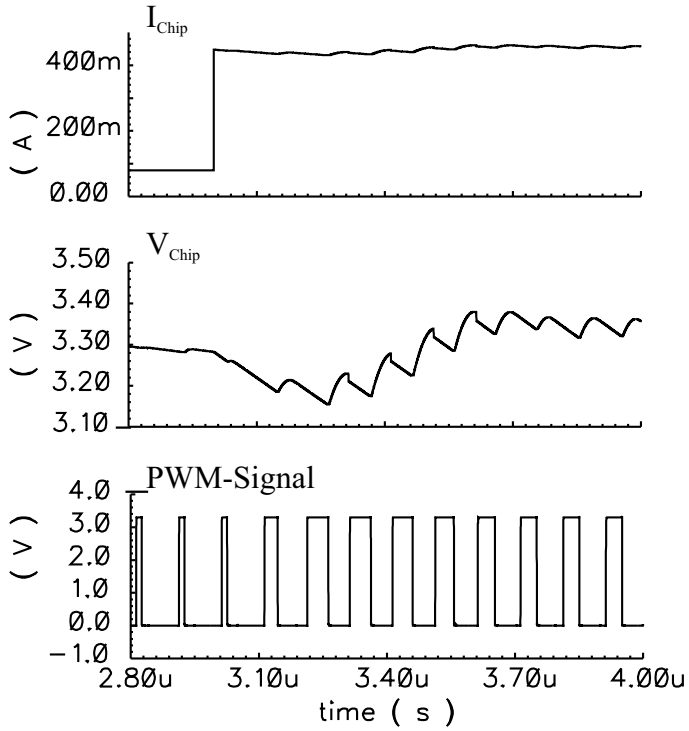


Abbildung 7.1: Änderung des PWM-Signals als Reaktion eines detektierten Spannungsabfalls von V_{Chip}.

Verhalten der Spannungsregelung bei einem plötzlichen Stromanstieg bzw. -abfall. Für ein Chip mit worst case Betriebs- und Prozessparameter zeigt die entworfene Spannungsregelung mit dem Boost-Konverter ein schnelles Regelverhalten. Bei starken Lastwechseln des digitalen

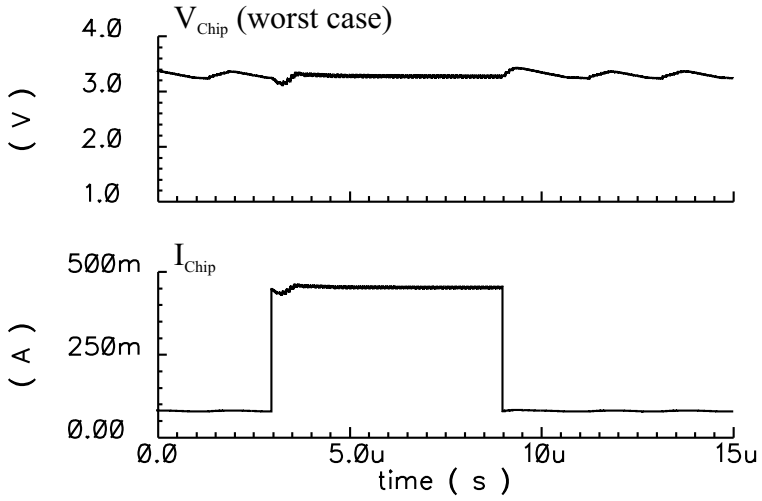


Abbildung 7.2: Regelung der Chipspannung bei worst case Betriebs- und Prozessparameter. Betrachtung des Regelverhaltens bei Stromänderungen durch Aktivitätswechsel des digitalen Systems im Chip [32, 33].

Systems im Chip ist ein Spannungseinbruch bzw. -überschwingen von maximal $\pm 5\% V_{Chip}$ zu beobachten. Nach dem Ausregeln der Störung wird der Spannungswert bei großen Lastströmen stabil gehalten. Bei kleinen Lastströmen sind leichte Spannungsschwingungen der Amplitude $\Delta V_{Chip} \approx 3\% V_{Chip}$ oberhalb der einzustellenden Chipspannung zu beobachten. Der Hauptgrund hierfür liegt in der Regelverstärkung, welche aufgrund der Bereichseinteilung der Chipspannung (siehe Kapitel 6.4.1) für diese Spannungssituation nicht optimal ist.

7.1.2 Regelverhalten bei best case Parametern

Als weiteres wird das Verhalten der Spannungsregelung bei einem Chip mit best case Betriebs- und Prozessparameter dargestellt. Bild 7.3 zeigt wieder einen Wechsel des Laststroms I_{Chip} aufgrund einer Änderung der Schaltaktivität von $\alpha = 18\%$ auf $\alpha = 100\%$ im digitalen System. Einem dadurch verursachten Einbruch der Chipspannung wirkt die Spannungsregelung schnell entgegen. Es wurde wiederum ein maximaler Spannungsabfall von $\Delta V_{Chip} = 5\% V_{Chip}$ beobachtet. Bei konstanter Schaltkativität des digitalen Systems ist allerdings für eine Aktivität von

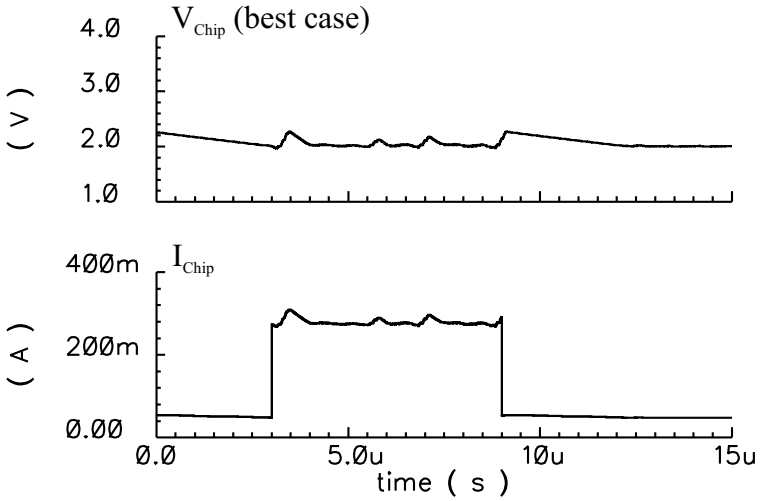


Abbildung 7.3: Regelung der Chipspannung bei best case Betriebs- und Prozessparameter und auftretenden Stromänderungen des digitalen Systems [32, 33].

$\alpha = 100\%$ ($\hat{=} I_{Chip} \approx 275mA$) ein etwas „nervöses" Verhalten der Spannungsregelung zu sehen. Es kommt desöfteren zu Überschwingern der Chipspannung ohne erkennbare Störung im Chip. Die Ursache wird in der Quantisierung des Messsignals und des PWM-Signals gesehen sowie in einem zu großen Verstärkungsfaktor.

Das PWM-Signal weist für diese Spannungs- bzw. Stromwerte kleine Impulsbreiten auf. Eine Änderung der Impulsbreite wirkt sich in dieser Situation stärker auf eine Spannungsänderung aus, als bei der Spannungsregelung mit worst case Parameter (Bild 7.2). Bei der Festlegung des Verstärkungswerts werden für die eingeteilten Spannungsbereiche jeweils zwei Werte an den Bereichsgrenzen ermittelt (siehe Kapitel 6.4.1). Unterschreitet die Spannung den optimalen Spannungswert, so geht der größere Verstärkungswert des Spannungsbereichs in die Spannungsregelung ein, um einen starken Spannungsabfall zu verhindern. Da die Chipspannung in

Bild 7.3 nicht an einer Bereichsgrenze liegt, ist der Verstärkungswert für diese Situation etwas zu groß. Eine Übersteuerung kann auftreten.

Das Schwingungsverhalten in Bild 7.2 sowie die Spannungsüberhöhungen in Bild 7.3 lassen sich reduzieren, wenn mehr Spannungsbereiche für die Bestimmung des Verstärkungswerts genutzt werden. Dies hat jedoch einen höheren Schaltungsaufwand zur Folge.

7.2 Einschaltvorgang

Beim Anlegen der externen Versorgungsspannungen $V_{DD} = 3,3V$ und $V_{Srg} = 1,8V$ am IC stellt sich zu Beginn das Problem, mit dem Boost-Konverter eine Chipspannung $V_{Chip} > V_{Srg}$ zu erzeugen. Hierfür wird die Starterschaltung von Kapitel 6.6, Bild 6.17 benötigt.

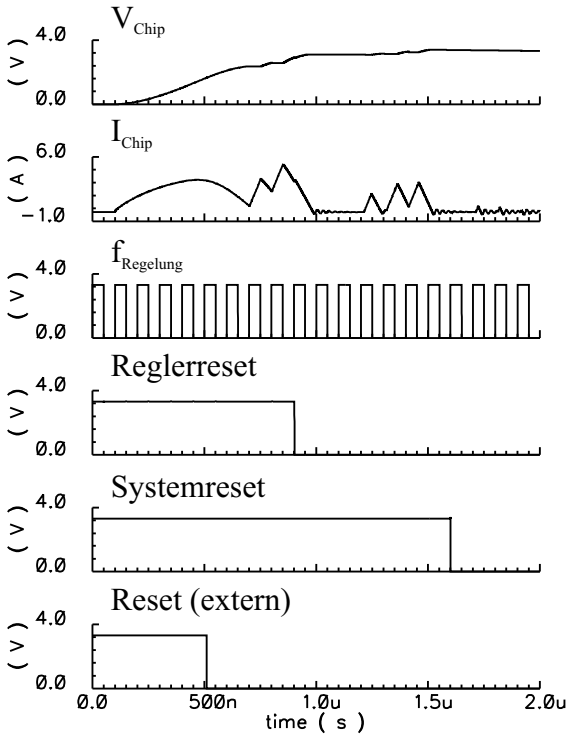


Abbildung 7.4: Nach dem Anlegen der Versorgungsspannungen am IC wird die Chipspannung auf den erforderlichen Spannungswert zur Versorgung des digitalen System im Chip geregelt. Betrachtung bei worst case Betriebs- und Prozessparametern.

Mit dem Anlegen der Versorgungsspannung an ein Bauteil wird üblicherweise gleichzeitig ein Reset-Signal generiert. Dieses Signal setzt die integrierte Schaltung auf dem Chip in einen definierten Grundzustand, von dem aus der normale Betrieb gestartet wird. Dieses Reset-Signal steuert ebenfalls den Einschaltvorgang am Boost-Konverter. Der Regelbetrieb wird unterdrückt und der PMOS-Transistor des Boost-Konverters (Bild 6.1) wird eine gewisse Zeit leitend, so dass sich die Kapazität am Ausgang des Konverters auf eine Spannung im Bereich $2V \ldots 3,3V$

auflädt. Diese Zeitdauer wird abhängig von dem digitalen System (Last) im Chip in der Starterschaltung festgelegt. Anschließend setzt die Laufzeitmessung der Spannungsregelung ein. Ist die Chipspannung für den Betrieb des ICs zu klein, wird über die Reglung und das PWM-Signal der Spannungswert erhöht. Wenn die Chipspannung den korrekten Spannungswert erreicht hat bzw. etwas darüber liegt, wird das intern erzeugte Reset-Signal (Systemreset) für das digitale System im Chip zurückgesetzt.

7.3 Wirkungsgrad

Ziel der Spannungsregelung ist die Reduzierung der Verlustleistung im IC durch Verringerung der chipinternen Versorgungsspannung. Die hierfür implementierte Spannungsregelung erzeugt in deren Schaltungskomponenten ebenfalls Verlustleistung. Für eine effektive Reduzierung der Gesamtverlustleistung des ICs soll die Spannungsregelung selbst eine geringe Eigenverlustleistung aufweisen. Um ein Maß für die Verlustleistung der Spannungsregelung zu erhalten, wird der Wirkungsgrad

$$\eta = \frac{P_{digitales\,System}}{P_{Spannungsregelung} + P_{digitales\,System}} \tag{7.1}$$

ermittelt. Das Diagramm in Bild 7.5 zeigt den Wirkungsgrad η der Spannungsregelung in Abhängigkeit der Schaltaktivität α des digitalen Systems [32, 33]. Die Schaltaktivität korreliert mit dem Stromfluss I_{Chip}, welcher zusammen mit der Chipspannung V_{Chip} die Verlustleistung des digitalen Systems angibt (siehe Bild 7.5). Für hohe Schaltaktivitäten weist die Spannungsrege-

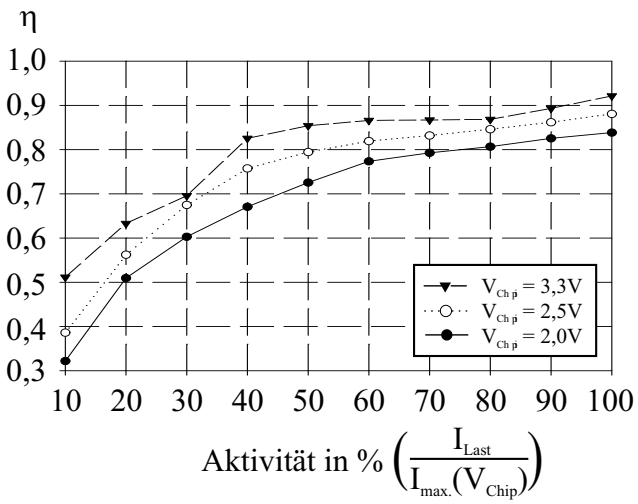


Abbildung 7.5: Wirkungsgrad η der Spannungsregelung in Abhängigkeit der Schaltaktivität des digitalen Systems im Chip.

lung mit dem Boost-Konverter einen guten Wirkungsgrad von etwa $\eta \geq 85\%$ auf. Bei kleinen Schaltaktivitäten von $\alpha = 10\%$ geht der Wirkungsgrad auf Werte zwischen $\eta = 30\% \ldots 50\%$ zurück. Die Ursache liegt in der dynamischen Verlustleistung an den parasitären Kapazitäten

der Schalttransistoren des Boost-Konverters. Durch die Ansteuerung der Schalttransistoren mit dem PWM-Signal werden diese mit der konstanten Frequenz von $f_{Regelung} = 10MHz$ umgeladen.

Die Verlustleistung der Spannungsregelung ist nahezu konstant und nur geringfügig von der Verlustleistung des digitalen Systems $P_{digitales\,System}$ abhängig. Für kleine Werte von $P_{digitales\,System}$ geht der Anteil $P_{Spannungsregelung}$ zunehmend in den Ausdruck von η (Gl. 7.1) ein und führt zur Verschlechterung des Wirkungsgrads.

Bei geringen Strömen I_{Chip} des digitalen Systems im Chip könnte ein Wechsel von der Impulsbreitensteuerung (PWM) zur Impulsfrequenzsteuerung (PFM) [48, 114] am Boost-Konverter zu einem verbesserten Wirkungsgrad führen.

Die Verlustleistung der gesamten Spannungsregelung wurde analysiert. In Tabelle 7.1 ist die Verlustleistung der einzelnen Schaltungsblöcke der Spannungsregelung aufgelistet. Hierbei wurde die Regelung der Chipspannung für worst case Parameter ($V_{Chip} = 3,3V$) betrachtet.

Tabelle 7.1: Verlustleistung der einzelnen Schaltungsblöcke der Spannungsregelung (siehe Regelkreis von Bild 5.10). Die Verlustleistungsanalyse wurde bei der Spannungsregelung mit worst case Betriebs- und Prozessparameter durchgeführt [33].

Schaltungblock	Verlustleistung
Nachbildung kritischer Pfad + Laufzeit-Differenz-Messung + PWM-Signal Erzeugung	$< 2mW$
Bereichsdetektor	$< 20\mu W$
Digitale Komponenten: Verstärkung + Regelalgorithmus + Berechnung Reglerausgang	$< 5mW$
Boost-Konverter	$\approx 150mW$

Unter Einbezug des Wirkungsgrads in Diagramm 7.5 kann die Verlustleistung des gesamten ICs mit Spannungsregelung in Relation zur Verlustleistung des ICs ohne Spannungsregelung gesetzt werden. ICs ohne Spannungsregelung werden mit der konstanten Spannung $V_{DD} = V_{Chip} = 3,3V$ versorgt. Das Diagramm 7.6 zeigt das Verlustleistungsverhältnis in Abhänigkeit von der Schaltaktivität des digitalen Systems.

Bei worst case Betriebs- und Prozessparameter ist für die korrekte Funktion des digitalen Systems eine Chipspannung von $V_{Chip} = 3,3V$ notwendig. Aufgrund der Eigenverlustleistung der Spannungsregelung wird für diese Situtation die Gesamtverlustleistung des ICs mit Spannungsregelung höher sein, als für das ungeregelte IC. Für typical case Bedingungen (typ. case Prozessparameter, $T_{Chip} \approx 25°C \rightarrow V_{Chip} \approx 2,5V$) ist bei einer hohen Schaltaktivität eine Verlustleistungsreduktion von $\approx 30\%$ zu erreichen. Ab einer Schaltaktivität von $\alpha > 25\%$ zeigt hier der Einsatz der Spannungsregelung bereits eine Reduktion der Verlustleistung gegenüber dem ungeregelten IC. Im Fall von best case Parametern (best case Prozessparameter, $T_{Chip} \approx 0°C \rightarrow V_{Chip} \approx 2,0V$) ist bei einem IC mit Spannungsregelung bereits oberhalb einer Schaltaktivität von $\alpha > 15\%$ eine Verlustleistungsreduktion zu erreichen. Die Gesamtverlustleistung lässt sich für diesen Fall um bis zu 55% verringern [33].

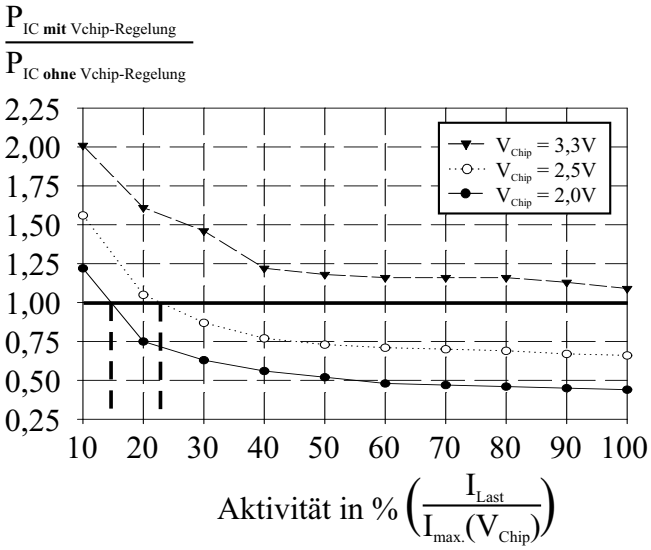


Abbildung 7.6: Verhältnis der Verlustleistung des ICs mit Spannungsregelung zur Verlustleistung des ICs ohne Spannungsregelung, welches mit der Spannung $V_{DD} = V_{Chip} = 3,3V$ versorgt wird. Das Verhältnis ist in Abhängigkeit der Schaltaktivität des digitalen Systems im Chip aufgetragen.

7.4 Flächenbedarf

Die Spannungsregelung ist, wie bereits zu Beginn von Kapitel 6 erklärt, nicht auf einem Testchip realisiert worden. Es wurde deshalb anhand von den Gatternetzlisten der digitalen Schaltungen sowie den Schaltplänen der analogen Module eine Flächenabschätzung vorgenommen. Für diese Abschätzung wurden Daten der Standardzellenbibliothek sowie die Layoutregeln für ein „Full Custom Layout" auf Basis einer $0,35\mu m$ Technologie einbezogen.

Die Chipfläche für die Realisierung der einzelnen Schaltungsblöcke der Spannungsregelung wurde in Anlehnung an einen Standardzellenentwurf als Zellfläche ermittelt. Darin ist die Verdrahtungsfläche, welche vom endgültigen Layout abhängt, nicht enthalten. Die Tabelle 7.2 zeigt die Flächenabschätzung für die Komponenten der Spannungsregelung.

Anhand der in Tabelle 7.2 angegebenen Zellflächen lässt sich ein Größenvergleich der Schaltungsblöcke untereinander anstellen. Der Boost-Konverter sticht mit der größten Zellfläche hervor. Die Verlustleistungsdaten von Tabelle 7.1 bestätigen, dass die im Boost-Konverter enthaltenen Komponenten wie Schaltungstransistoren (PMOS und NMOS), Signaltreiber und das Dämpfungsglied die dominierenden Elmente der Spannungsregelung bzgl. Flächenverbrauch und Verlustleistung sind.

Die Zellfläche der gesamten Spannungsregelung von $A \approx 1,1mm^2$ zeigt, dass die Spannungsregelung gemeinsam mit dem zu versorgenden digitalen System auf einem Chip integriert werden kann.

Tabelle 7.2: Abschätzung des Flächebedarf der Spannungsregelung ohne Verdrahtungsfläche.

Schaltungsblock	Zellfläche / mm^2
Boost-Konverter	$0,92$
Nachbildung kritischer Pfad	$0,017$
Laufzeit-Differenz-Messung	$0,020$
Digitale Komponenten	$0,112$
PWM-Signalerzeugung	$0,009$
Rest	$0,001$
Summe	$1,079$

Kapitel 8

Zusammenfassung

Die Forschungsarbeit hatte die Verringerung der Verlustleistung von integrierten Schaltungen (ICs) zum Ziel. Da vor allem bei tragbaren batteriebetriebenen Geräten die Verlustleistung der eingesetzten ICs aus Gründen der Betriebsdauer und des Gewichts von Bedeutung ist, werden im Besonderen digitale CMOS-Schaltungen mit einer maximalen Verlustleistung von $P = 1,5W$ betrachtet.

Am Beispiel eines 10 Bit Multiplizierers wurde gezeigt, dass die längste Laufzeit der Signalpfade sowohl von Betriebsparametern wie z.B. der Temperatur als auch von Prozessparametern abhängt. Betrachtet man den längsten Signalpfad (kritischer Pfad) der Multipliziererschaltung, so zeigt sich mit worst case und best case Betriebs- und Prozessparametern ein Verhältnis der kritischen Pfad-Laufzeit von nahezu zwei. In ICs mit best case Betriebs- und Prozessparametern kann somit gegenüber ICs mit worst case Parametern die Versorgungsspannung im Idealfall um bis zu 45% reduziert werden, ohne dass die Funktion der Schaltung beeinträchtigt wird. Eine Betrachtung der dynamischen Verlustleistung von CMOS-Schaltungen zeigt, dass sich als Folge dieser Spannungsreduktion die Verlustleistung um etwa 70% reduzieren lässt.

Es wurde eine adaptive Spannungsregelung zur Versorgung eines digitalen Systems auf dem Chip entworfen. Die Spannung im Chip wird in Abhängigkeit von der Laufzeit des kritischen Pfads geregelt. Aufgrund von Schwankungen der Betriebs- und Prozessparameter wird mit der Regelungsschaltung eine chipindividuelle Spannungsregelung erreicht.

Die Messung der Laufzeit wird nicht direkt am kritischen Pfad vorgenommen. Aufgrund von lokalen Parameterschwankungen kann der beim Schaltungsentwurf extrahierte kritische Pfad von dem tatsächlichen kritischen Pfad des ICs abweichen. Ein Laufzeitunterschied zwischen gemessenem Signalpfad und dem tatsächlichen kritischen Pfad kann mit der Spannungsregelung zu einer chipinternen Versorgungsspannung führen, bei der eine Fehlfunktion der Schaltung auftritt. Als weiterer Grund soll eine Störung des normalen Schaltungsbetriebs durch eine kontinuierliche Laufzeitmessung direkt am kritischen Pfad vermieden werden. Es wurde deshalb eine Nachbildung des kritischen Pfads in Form einer Gatterkette, bestehend aus Invertern entworfen. Die Nachbildung des kritischen Pfads lässt sich mittels einer Digitalzahl programmieren, so dass die Anzahl der Inverterlaufzeiten in der Gatterkette variiert werden kann.

Um Laufzeitunterschiede zwischen dem kritischen Pfad des ICs und dessen Nachbildung auf-

grund von lokalen Parameterschwankungen auszuschließen, wird ein Abgleich der kritischen Pfad Nachbildung beim Produktionstest vorgeschlagen. Hierzu wird auf „Delay-Fault-Tests" zurückgegriffen, welche bei Funktionstests von ICs zunehmend eingesetzt werden [5].

Auf der Chipfläche können z.B. aufgrund unterschiedlicher Schaltaktivitäten in den Schaltungsblöcken Tempereraturunterschiede auftreten. Eine Temperaturdifferenz zwischen dem kritischen Pfad des ICs und der Nachbildung des kritischen Pfads führt zu unterschiedlichen Pfadlaufzeiten. Um einerseits eine Fehlfunktion des digitalen Systems auf dem Chip durch einen temperaturbedingten Laufzeitunterschied zu vermeiden und andererseits die Chipspannung auf den minimal notwendigen Spannungswert für eine hohe Verlustleistungsreduktion zu regeln, werden auf dem Chip kleine Temperatursensoren verteilt. Die Temperatursensoren sind als Ringoszillatoren aufgebaut. Über die Frequenz der einzelnen Oszillatoren kann auf eine Laufzeitabweichung der Nachbildung des kritischen Pfads zum tatsächlichen kritischen Pfad auf dem Chip zurückgeschlossen werden. Die Laufzeit der Nachbildung des kritischen Pfads wird über eine Änderung des digitalen Programmierwerts angepasst.

Bei digitalen CMOS-Schaltungen mit einem synchronen Taktsystem entstehen auf dem Versorgungsnetz im Chip Stromimpulse, welche Steilheiten von $\frac{dI}{dt} > 1000\frac{A}{\mu s}$ erreichen können. Diese Stromflanken bewirken an den parasitären Leitungsinduktivitäten Spannungseinbrüche. Für eine Stabilisierung der Versorgungsspannung werden gewöhnlich Stützkapazitäten eingesetzt.

Bei der adaptiven Spannungsregelung kommt für die Generierung der chipinternen Versorgungsspannung ein Boost-Konverter zum Einsatz. Die gesamte Regelung inklusive Konverter wird auf dem Chip zusammen mit dem zu versorgenden digitalen System integriert. Dadurch verkürzt sich die Länge der Zuleitungen zwischen Boost-Konverter und dem zu versorgenden System, wodurch die Leitungsinduktivitäten stark verringert werden. Der günstige Schaltungsaufbau des Boost-Konverters ermöglicht es, die ursprünglich parasitären Induktivitäten der Versorgungsleitungen zum Chip zu nutzen. Spannungsoszillationen zwischen den parasitären Induktivitäten und den Kapazitäten auf dem Versorgungsnetz, welche durch die impulsförmigen Ströme des digitalen Systems angeregt werden, lassen sich durch die Verwendung des Boost-Konverters wirkungsvoll dämpfen. Stützkapazitäten außerhalb des Chips werden nicht benötigt, wodurch sich eine Flächen- und Kosteneinsparung ergibt. Das Verhalten des Boost-Konverters, aus einer kleinen Spannung eine größere Spannung an dessen Ausgang zu erzeugen, erweist sich bei batteriebetriebenen Geräten als vorteilhaft. Es ist damit möglich, mit einer Batteriespannung von $1,2V$ bzw. $1,5V$ das digitale System auf dem Chip mit einer Spannung von $V_{Chip} \approx 2 \ldots 3,3V$ zu versorgen.

Um eine Integration der Spannungsregelung zu erreichen, wurde die Frequenz, mit der die Regelungsschaltung getaktet wird, zu $f_{Regelung} = 10MHz$ gewählt. Damit ergaben sich für die passiven Bauelemente der Boost-Konverter Schaltung, wie die Induktitivität an dessen Eingang und die Kapazität am Ausgang, die Werte $L = 30nH$ und $C = 600nF$. Die Induktivität am Eingang des Boost-Konverters lässt sich bereits durch eine gerade Leiterbahn auf der Schaltungsplatine mit der Länge von etwa $4cm$ bis $6cm$ realisieren. Hierzu kann die Versorgungsleitung zum IC genutzt werden.

Der Kapazitätwert von $C = 600nF$ ist auf dem Chip mit einer üblichen CMOS-Technologie nicht zu realisieren. Mit Hilfe von kleinsten SMD-Kapazitäten, welche auf der Chipoberflä-

che aufgeklebt werden, lassen sich große Kapazitätswerte mit geringen parasitären Elementen erzielen.

Die Spannungsregelung wurde sowohl mit analogen Schaltungsmodulen - wie dem Boost-Konverter, der Nachbildung des kritischen Pfads u.a. - als auch mit digitalen Modulen wie z.B. der Reglerschaltung, entworfen. Der Vorteil einer digitalen Reglerschaltung liegt in der geringen Empfindlichkeit gegenüber Störungen wie z.B. Spannungsschwankungen sowie in einem schnellen Schaltungsentwurf durch die Nutzung einer digitalen Schaltungsbeschreibung (z.B. VHDL) mit anschließender automatischer Schaltungssynthese und „Place & Route" für den Layoutentwurf.

Der Flächenverbrauch der Spannungsregelung wurde in Anlehnung an ein standardzellenbasiertes Layout mit einer Zellfläche von $A \approx 1,1mm^2$ abgeschätzt. Damit konnte gezeigt werden, dass die Spannungsregelung zusammen mit einem zu versorgenden digitalen System auf dem Chip integrierbar ist.

Anhand von Simulationen konnte für die Spannungsregelung bei verschiedenen Betriebs- und Prozessparametern ein schnelles Regelverhalten und eine gute Stabilisierung der chipinternen Versorgungsspannung festgestellt werden. Stromänderungen, welche aufgrund eines Aktivitätswechsels in der digitalen Schaltung von $\alpha = 20\%$ auf $\alpha = 100\%$ auftreten, führen zu einem maximalen Spannungseinbruch der Chipspannung von $\Delta V_{Chip} = 5\% V_{Chip}$.

Der Wirkungsgrad der Spannungsregelung erreicht bei einer maximalen Ausgangsleistung des Boost-Konverter von $P = 1,5W$ einen Wert von $\eta > 90\%$.

Ein Vergleich der Verlustleistung von ICs mit Spannungsregelung zu ICs ohne Spannungsregelung zeigt, das bei typical case Betriebs- und Prozessparameter mit dem Einsatz der Spannungsregelung bereits eine Reduktion der Verlustleistung um bis zu 30% möglich ist. Bei best case Betriebs- und Prozessparameter kann eine Verlustleistungsreduktion um bis zu 55% erreicht werden.

Anhang A

Anhang

A.1 Mathematische Beschreibungen zum Boost-Konverter

Folgende Betrachtungen beziehen sich auf die Schaltung des Boost-Konverter in Bild 5.6 mit den Diarammen in Abbildung 5.7a) und b).

Kontinuierlicher Betrieb nach Diagramm 5.7a):

Phase1: Zu Beginn $t_0 = 0 : I_{L,t_0} = I_0$
$T1$ leitend, $T2$ sperrt: Mit Näherung $U_L \approx V_{Srg}$ folgt $\frac{dI_L}{dt} = \frac{V_{Srg}}{L}$.
Am Ende $t = t_1 = DT$:
$I_{L,t_1} = \frac{V_{Srg}}{L} t_1 + I_0$

Phase2: Zu Beginn $t = t_1 : I_L = I_{L,t_1}$
$T2$ leitend, $T1$ sperrt: Mit vereinfachter Annahme $V_{Chip} \approx konst.$ folgt
$\frac{dI_L}{dt} = \frac{V_{Srg} - V_{Chip}}{L}$.
Am Ende $t = t_2 = T$:
$I_{L,t_2} = \frac{V_{Srg} - V_{Chip}}{L} (t_2 - t_1) + I_{L,t_1}$

Für eine stabile Chipspannung muss $I_{L,t_2} = I_{L,t_0}$ erfüllt sein.

$I_{L,t_2} = I_{L,t_0}$
$\frac{V_{Srg} - V_{Chip}}{L} (t_2 - t_1) + \frac{V_{Srg}}{L} t_1 + I_0 = I_0$
$\frac{V_{Srg} - V_{Chip}}{L} t_2 + \frac{V_{Srg}}{L} t_1 = 0$

$$\Rightarrow V_{Chip} = \frac{V_{Srg}}{1 - D} \quad \text{bzw.} \quad D = \frac{V_{Chip} - V_{Srg}}{V_{Chip}} \tag{A.1}$$

Der mittlere Ausgangsstrom lässt sich über die Beziehung der mittleren Eingangsleistung zur mittleren Ausgangsleistung berechnen zu:

$\overline{P}_{Srg} = \overline{P}_{Chip}$

$\overline{V}_{Srg} \cdot \overline{I}_{Srg} = \overline{V}_{Chip} \cdot \overline{I}_{Chip}$

Mit Gleichung A.1 folgt:

$$\overline{I}_{Srg} = \frac{\overline{I}_{Chip}}{1-D}$$

Zwischen minimalem und maximalem Stromwert ergibt sich ein Hub von:

$\Delta I_{L,t_0 \to t_1} = \frac{V_{Srg}}{L} DT$

$\Delta I_{L,t_1 \to t_2} = \frac{|V_{Srg} - V_{Chip}|}{L} (1-D)\, T$

Mit Gleichung A.1 folgt: $\Delta I_{L,t_1 \to t_2} = \frac{V_{Chip}}{L} D\,(1-D)\, T$

Wegen $I_{L,t_2} = I_{L,t_0}$ für eine stabile Ausgangsspannung muss auch gelten:

$\Delta I_{L,t_0 \to t_1} = \Delta I_{L,t_1 \to t_2} = \Delta I_L$

Im kontinuierlichen Betrieb des Boost-Konverters findet in Phase 1 ($0 \leq t \leq DT$) kein Stromfluss zur Ausgangskapazität C_{Boost} statt. Mit Berücksichtigung eines konstanten mittleren Chipstroms $\overline{I}_{Chip}$ muss die Ausgangskapazität während dieser Phase den Stromfluss überbrücken. Es ergibt sich somit eine Welligkeit der Chipspannung aus dem mittleren Chipstrom zu:

$$\Delta V_{Chip} = \frac{\overline{I}_{Chip} \cdot \Delta t}{C_{Boost}} = \frac{\overline{I}_{Chip}}{C_{Boost}} DT \tag{A.2}$$

Diskontinuierlicher Betrieb nach Diagramm 5.7b): Geht der Spulenstrom I_L in Phase 2 auf $I_L = 0$ zurück, so arbeitet der Boost-Konverter im diskontinuierlichen Betrieb.

Die Gleichungen des kontinuierlich Betriebs sind im diskontinuierlichen Betrieb nur bedingt gültig, da der Spulenstrom bereits zum Zeitpunkt $t_{I=0}$ wieder auf $I_L = 0$ zurückgegangen ist. Zwischen $t_{I=0} \leq t \leq T$ folgt anschließend eine Phase, in der beide Transistoren $T1$ und $T2$ nicht leiten (Phasenbezeichnung ist „Pause").

Durch das Ersetzen der Taktperiode T durch den Zeitpunkt $t_{I=0}$ hat die Gleichungen A.1 und die Gleichungen zur Beschreibung von ΔI_L weiterhin Gültigkeit.

Die Ausgangskapazität muss hier in der Phase 1 und in der Pause den Strom für das digitale System auf dem Chip vollständig liefern.

Die Welligkeit des Ausgangsstroms hat folgende Beziehung:

$$\Delta V_{Chip} = \frac{\overline{I}_{Chip} \cdot \Delta t}{C_{Boost}} = \frac{\overline{I}_{Chip}\,[(T - t_{I=0}) + D t_{I=0}]}{C_{Boost}} = \frac{\overline{I}_{Chip}\,[T + t_{I=0}\,(D-1)]}{C_{Boost}} \tag{A.3}$$

Für den Übergang $t_{I=0} \to T$ stimmt die Gleichtung A.3 mit der Gleichung A.2 überein.

Die maximalen Spannungsänderungen der Chipspannung ergeben sich für die maximale Ausgangsleistung am Boost-Konverter. Die max. Ausgangsleistung wurde nach Tabelle 5.3 zu $P_{max} = 1,5W$ bei $V_{Chip} = 3,3V$ festgelegt.

Bei der Regelung der Chipspannung soll der Boost-Konverter nur im diskontinuierlichen Betrieb arbeiten. Der Grund liegt zum einen in der Verhaltensbeschreibung des Boost-Konverters, die für den diskontinuierlichen Betrieb einfacher ausfällt und damit der Regelalgorithmus einfacher ausgeführt werden kann. Zum anderen wird bei abnehmendem Strom der Konverter immer in den diskontinuierlichen Betrieb übergehen.

Der Boost-Konverter wird derart ausgelegt, dass er bei maximaler Ausgangsleistung gerade noch im diskontinuierlichen Betrieb arbeitet. Damit wird für $t_{I=0} \rightarrow T$ die maximale Ausgangsleistung P_{max} erreicht. Für die maximale Welligkeit der Chipspannung ergibt sich somit:

$$\Delta V_{Chip,max} = \frac{\overline{I}_{Chip}}{C_{Boost}} DT = \frac{P_{max}}{\overline{V}_{Chip,max} \cdot C_{Boost}} DT = \frac{P_{max} \cdot \left(\overline{V}_{Chip,max} - V_{Srg}\right)}{\overline{V}^2_{Chip,max} \cdot C_{Boost}} T \tag{A.4}$$

A.2 Verlustleistungsquellen im Boost-Konverter

Die Berechnungen basieren auf typische Daten einer $0,35\mu m$ Technologie.

Die benutzten Gleichungen sind grundlegende Gleichungen zur Beschreibung des Verhaltens von Halbleiterbauelementen [115, 81, 7]. Effekt höherer Ordnung, die z.B. bei Kurzkanaltranistoren auftreten, werden nur berücksichtigt, wenn deren Einfluss einen relevanten Beitrag zu den Betrachtungen liefert.

Die einzelnen Verlustleistungsanteile sind als Näherungen zu verstehen, um eine Abschätzung der zu erwartenden Gesamtverlustleistung im Boost-Konverter zu erhalten. Anhand der Schaltungssimulationen während des Entwurfs der Spannungsregelung wurden diese ermittelten Werte verifiziert und angepasst.

Wesentliche Verlustleistungsanteile im Boost-Konverter

A. Umladen der Gatekapazitäten der Transistoren $T1$ und $T2$ (siehe Abbildung 5.6)

Zur Ansteuerung der Transistoren $T1$ und $T2$ wird der minimale und maximale Spannungspegel von $U_{max} = V_{DD,Technologie} = 3,3V$ und $U_{min} = GND = 0V$ gewählt, um große Gate-Source-Spannungen für eine gute Stromleitfähigkeit der Transistoren zu erhalten. Der Spannungshub an den Gateanschlüssen beträgt somit $\Delta V_{Gate} = U_{max} - U_{min} = 3,3V$.

Mit der Bedingung $U_{DS} < U_{GS} - U_{Th}$ werden beide Transistoren im linearen Bereich betrieben.

Stromgleichung für den linearen Bereich [115]:

$$I_{DS} = \beta' \frac{W}{L} \left[\left(U_{GS} - U_{Th}\right) U_{DS} - \frac{1}{2} U^2_{DS} \right] \tag{A.5}$$

Die dynamische Verlustleistung am Gate ist:

$P_{Gate} = C_{Gate} \cdot f \cdot V_{Gate}^2$

Die Gatekapazität kann mit der flächenbezogenen Kapazität über dem Gateoxid aufgestellt werden zu:

$C_{Gate} = C_{Gate\square} \cdot W \cdot L$

W und L bezeichnen die Kanalweite und -länge des Transistors.

Für den NMOS-Transistor $T1$ ergibt sich somit:

$P_{Gate,T1} = C_{Gate}^{\square} \cdot W \cdot L \cdot f \cdot V_{Gate}^2$

Mit W aus Gleichung A.5 und der Näherung $\frac{1}{2}U_{DS} << (U_{GS} - U_{Th})U_{DS}$ ergibt sich:

$P_{Gate,T1} = C_{Gate}^{\square} \cdot \frac{L^2}{\beta_n'(U_{GS,T1} - U_{Th,n})U_{DS,T1}} \cdot I_{DS,T1} \cdot f \cdot V_{Gate}^2$

Für den PMOS-Transistor $T2$ ergibt sich $P_{Gate,T2}$ analog zu $P_{Gate,T1}$.

Eingesetzte Werte und Näherungen:

1. PMOS ($T2$):
   Geregelte Spannung $V_{Chip} =\sim 2V \ldots 3,3V$
   Bei $U_{Gate} = 0V \quad \rightarrow \quad U_{GS,T2} =\sim 2V \ldots 3,3V$
   NMOS ($T1$):
   Bei $U_{Gate} = 3,3V \quad \rightarrow \quad U_{GS,T1} = 3,3V$
2. $U_{Th,n} \approx \left|U_{Th,p}\right| = 0,6V$
3. $U_{DS,n} \approx \left|U_{DS,p}\right|$

Mit einem maximalen Tastverhältnis von etwa $D = 1 - \frac{V_{Srg}}{V_{Chip}} \approx 1 - \frac{2V}{3,3V} \approx 0,4$ wird über die Zeitdauer des leitenden Zustands von Transistor $T1$ und Transistor $T2$ folgende Mittelung vorgenommen:

$\frac{1}{2}\left(\tilde{D}\beta_n'\left(U_{GS,T1} - U_{Th,n}\right) + \left(1-\tilde{D}\right)\left|\beta_p'\left(U_{GS,T2} - U_{Th,n}\right)\right|\right) = \beta'\left(U_{GS} - U_{Th}\right)$

Mit Berücksichtigung, dass im allgemeinen $V_{Chip} < 3,3V$ ist, wird $\tilde{D} = 0,3$ gewählt. Daraus folgt:

$$\Rightarrow \quad \beta'\left(U_{GS} - U_{Th}\right) \approx 51\frac{\mu A}{V} \tag{A.6}$$

Die Berechnung der Gate-Verlustleistung der beiden Transistoren wird mit $\overline{I}_{DS,T1} = \overline{I}_{DS,T2}$ zusammengefasst. Unter Berücksichtigung von Technologiedaten ($0,35\mu m$ Prozess) ergibt sich näherungsweise die Verlustleistung an den Transistorgates von $T1$ und $T2$ zu:

$$\begin{aligned} P_{Gate} &= 2 \cdot \left| C_{Gate}^{\square} \cdot \frac{L^2}{\beta'\left(U_{GS} - U_{Th}\right)U_{DS}} \cdot I \cdot f \cdot \Delta V_{Gate}^2 \right| \\ &= 1,2 \cdot 10^{-10} \left[\frac{WVs}{A}\right] \cdot \frac{I \cdot f}{U_{DS}} \end{aligned} \tag{A.7}$$

Bemerkung zur Verlustleistung der Treiber an den Gateanschlüssen:

Zur Ansteuerung großer Transistoren werden gewöhnlich Treiberstufen für eine schnelle Schaltzeit eingesetzt. Die aus Invertern bestehenden Treiberstufen weisen ebenfalls Verlustleistungen auf. Um die Verlustleistung in den Treiberstufen jedoch gering zu halten, wird ein Weitenverhältnis zwischen den Inverterstufen von $F \approx 10$ angestrebt. Damit wird sich an den Treibern etwa eine Verlustleistung im Bereich von $P_{Treiber} \approx 10\% P_{Gate}$ ergeben. Wegen des geringen Werts im Vergleich zu den restlichen hier betrachtenden Anteile, wird die Verlustleistung der Treiber nicht berücksichtigt.

B. Umladen der Knotenkapazität C_k

Die Knotenkapazität C_k beinhaltet alle am Knoten k (siehe Bild5.6) befindlichen parasitären Kapazitäten. Aufgrund der zu erwartenden Transistorgrößen von $T1$ und $T2$ wird die Knotenkapazität hauptsächlich durch die parasitären Transistorkapazitäten an deren Diffusionsgebieten gebildet. Kapazitätbeiträge durch Leitungen und anderen Einflüssen sollen vernachlässigt werden.

Spannungshub der Knotenkapazität:

$T1$ leitend: $U_k \approx 0V$

$T2$ leitend: $U_k \approx V_{Chip}$ mit $V_{Chip} \approx\sim 2V \ldots 3,3V$

Im Mittel ist $V_{Chip} < 3,3V$. Deshalb wird der Spannungshub genähert zu:

$\Delta U_k = 2,7V$

Knotenkapazität:

Ein Drain- bzw. Source-Anschluss eines MOS-Transistors weist die parasitären Kapazitäten C_J=Diffusionskapazität, C_U=Überlapkapazität auf. Die Diffusionskapazität setzt sich aus einem flächenbezogenen Anteil $C_{J,A}$ und einem randbezogenen Anteil $C_{J,R}$ zusammen. Die Anschlussfläche eines Transistors hat bei einer $0,35\mu m$ Technologie etwa die Größe von $A = 0,8\mu m \cdot W$.

$C_J = C_{J,A}\,(0,8\mu m \cdot W) + C_{J,R}\,(1,6\mu m + W)$

$C_k = C_J + C_U$

Die Berücksichtigung der Kapazitätsanteile der beiden Transistoren erfolgt wie bei Abschnitt A, so dass sich näherungsweise für die Knotenkapazität eine dynamische Verlustleistung wie folgt ergibt:

$$P_{Knoten} = 2 \cdot \left[(C_{J,A} \cdot 0,8\mu m + C_{J,R} + C_U)\, \frac{L \cdot I}{\beta' (U_{GS} - U_{Th}) U_{DS}} + C_{J,R} \cdot 1,6\mu m \right] \cdot f \cdot \Delta U_k^2$$

$$P_{Knoten} = 1,3 \cdot 10^{-10} \left[\frac{WVs}{A} \right] \cdot \frac{I \cdot f}{U_{DS}} + 7 \cdot 10^{-15}\,[Ws] \cdot f \qquad \text{(A.8)}$$

C. Verlustleistung über dem Transistorkanal

Die Verlustleistung lässt sich aufstellen als:

$P_{Kanal,T1} = \overline{I}_{DS,T1} \cdot U_{DS,T1}$; $P_{Kanal,T2} = \overline{I}_{DS,T2} \cdot U_{DS,T2}$

Als Näherung soll gelten:

1. $U_{DS,T1} \approx U_{DS,T2}$
2. Betrachtung für maximale Ausgangslast, d.h. Phase 2 in der Abbildung 5.7b) geht ohne Pause direkt in Phase 1 über:
   $\overline{I}_{DS1} = \overline{I}_{Chip} = \overline{I}_{DS2} = I$

Die Gesamtverlustleistung über dem Transistorkanal von beiden Transistoren kann demnach aufgestellt werden zu:

$$P_{Kanal} = D \cdot I \cdot U_{DS} + (1-D) \cdot I \cdot U_{DS} = I \cdot U_{DS} \tag{A.9}$$

D. Verslustleistung an der Spule

Eine auf dem Chip aufgebrachte Spule weist einen großen Serienwiederstand auf (siehe Kapitel 5.3.2). Es wird deshalb die Erzeugung einer Induktivität mittels eines Bandleiters (siehe Anhang A.4) auf der Schaltungsplatine betrachtet. Eine als Bandleiter realisierte Induktivität weist ein Ersatzschaltbild von Bild 5.8 auf. Als parasitäre Elemente sind Leitungswiderstände und -kapazitäten möglich.

Die dynamische Verlustleistung an den parasitären Kapazitäten des Bandleiters ergibt sich zu $P_{C_p} = f \cdot C_p \cdot U^2$.

Ein Anschluss der Spule, welche am Eingang des Boost-Konverters liegt, ist mit der konstanten Spannung V_{Srg} verbunden (siehe Bild 5.6). Es wird deshalb nur die Hälfte der parasitären Gesamtkapazität der Spule mit dem maximalen Spannungshub am Knoten k von etwa $\Delta U_k = 3,3V$ umgeladen.

Für eine Frequenz von $f = 10MHz$ und einer Leitungslänge von $l = 10cm$ ergibt sich mit den Werten im Anhang A.4 eine Verlustleistung von $P_{C_p} \approx 2,1mW$. Bei einer Ausgangsleistung von $P_{Boost,max} = 1,5W$, für die der Boost-Konverter ausgelegt wird, entspricht $P_{C_p} \approx 0,14\% P_{Boost,max}$. Für die weiteren Betrachtungen soll deshalb der Einfluss der parasitären Kapazitäten vernachlässigt werden.

Die Verlustleistung am seriellen Spulenwiderstand R_s lässt sich wie folgt aufstellen:

Mit den Abmessungen $b = 1mm$ und $d = 50\mu m$ ergibt sich ein Widerstand des Bandleiters von $R_s = l \cdot 0,352 \frac{\Omega}{m}$ (siehe Anhang zu Bandleiter A.4).

Mit der maximalen Ausgangsleistung $P_{Boost,max}$ bei $V_{Chip} = 3,3V$ ergibt sich unter Berücksichtigung der Gleichungen 5.2, 5.3 und 5.5 auf den Seiten 50ff. beim Übergang vom diskontinuierlichen in den kontinuierlichen Betrieb die Bedingung für den Induktivitätswert mit:

$L = \frac{1}{2}\frac{V_{Srg}}{f \cdot \overline{I}_{Chip,max}} \left(\frac{V_{Srg}}{\overline{V}_{Chip,max}}\right)\left(1 - \frac{V_{Srg}}{\overline{V}_{Chip,max}}\right)$ des

Mit der Näherung $L_{Bandleiter} \approx l \cdot 6\left[\frac{nH}{cm}\right]$ und den Spannungswerten $V_{Chip,max} = 3,3V$ und $V_{Srg} = 1,8V$ kann die Verlustleistung am Spulenwiderstand aufgestellt werden:

$$\begin{aligned} R &= 0,352\frac{\Omega}{m} \cdot \frac{L_{Bandleiter}}{6\left[\frac{nH}{cm}\right]} = \\ &= \frac{5,87 \cdot 10^5 \left[\frac{\Omega}{H}\right] \cdot V_{Srg}}{2 \cdot f \cdot \overline{I}_{Chip,max}} \left(\frac{V_{Srg}}{\overline{V}_{Chip,max}}\right)\left(1 - \frac{V_{Srg}}{V_{Chip,max}}\right) = 1,36 \cdot 10^5 \frac{1}{f \cdot \overline{I}_{Chip,max}} \left[\frac{\Omega V}{H}\right] \end{aligned}$$

$$P_{Spule} = R \cdot I^2 = 1,36 \cdot 10^5 \frac{I}{f}\left[\frac{W}{As}\right] \tag{A.10}$$

E. Verlustleistung an der Ausgangskapazität des Boost-Konverters

Die Ausgangskapazität wird wegen dessen benötigten Kapazitätswert als SMD-Kapazität auf der Chipoberfläche platziert. An den parasitären Elementen der SMD-Kapazität wird durch die Ladevorgänge ebenfalls Verlustleistung erzeugt. Da dieser Verlustleistungsanteil durch eine geeignete Wahl der SMD-Bauteile nur gering ist, sollen parasitäre Elemente der Ausgangskapazität bei diesen Betrachtungen vernachlässigt werden. Durch das Parallelschalten von mehreren SMD-Kapazitäten können zudem die parasitären Elemente verringert werden.

Gesamtverlustleistung des Boost-Konverters

Die markanten Verlustleistungsanteile, die in vorigen Abschnitten erläutert wurden, werden nun zusammengefasst.

Die Verlustleistung des Boost-Konverters lässt sich näherungsweise angeben mit:

$$\begin{aligned} P_{Ges} &= P_{Gate} + P_{Knoten} + P_{Kanal} + P_{Spule} = \\ &= 1,2 \cdot 10^{-10}\left[\frac{WVs}{A}\right] \cdot \frac{I \cdot f}{U_{DS}} + 1,3 \cdot 10^{-10}\left[\frac{WVs}{A}\right] \cdot \frac{I \cdot f}{U_{DS}} + \\ &\quad + 7 \cdot 10^{-15}[Ws] \cdot f + I \cdot U_{DS} + 1,36 \cdot 10^5 \left[\frac{W}{As}\right] \cdot \frac{I}{f} \end{aligned} \tag{A.11}$$

Der Wirkungsgrad des Boost-Konverters soll über $\eta > 90\%$ angestrebt werden.

$\Rightarrow \quad \eta = \frac{P_{Boostausgang}}{P_{Boosteingang}} = \frac{P_{Boostausgang}}{P_{Boost,Ges} + P_{Boostausgang}}$

$P_{Boost,Ges} = \frac{1}{\eta} P_{Boostausgang} - P_{Boostausgang} = P_{Boostausgang}\left(\frac{1}{\eta} - 1\right) = 11\% P_{Boostausgang}$

$0,11 \cdot I \cdot V_{Chip} = 2,5 \cdot 10^{-10}\left[\frac{WVs}{A}\right] \cdot \frac{I \cdot f}{U_{DS}} + 7 \cdot 10^{-15}[Ws] \cdot f + I \cdot U_{DS} + 1,36 \cdot 10^5 \left[\frac{W}{As}\right] \cdot \frac{I}{f}$

Für $V_{Chip} = 3,3V$ ergibt sich dann:

$$0,33\,[W] = 2,5 \cdot 10^{-10}\,[WVs] \cdot \frac{f}{U_{DS}} + 7 \cdot 10^{-15}\,[WAs] \cdot \frac{f}{I} + U_{DS} + 1,36 \cdot 10^{5} \left[\frac{W}{s}\right] \cdot \frac{1}{f} \quad \text{(A.12)}$$

Für $P_{Boostausgang,max}\big|_{V_{Chip,max}} = 1,5W$ ist $\overline{I}_{Chip} = 0,46A = I$.

$f = 1MHz$:

$0,33\,[W] = 2,5 \cdot 10^{-4}\,[WV] \cdot \frac{1}{U_{DS}} + 15,2 \cdot 10^{-9}\,[W] + U_{DS}\left[\frac{W}{V}\right] + 0,136\,[W]$

$f = 10MHz$:

$0,33\,[W] = 2,5 \cdot 10^{-3}\,[WV] \cdot \frac{1}{U_{DS}} + 15,2 \cdot 10^{-8}\,[W] + U_{DS}\left[\frac{W}{V}\right] + 13,6 \cdot 10^{-3}\,[W]$

Mit $U_{DS} = 0,1V$ und der Frequenz $f = 10MHz$ ergibt sich die Gleichung:

$$0,33\,[W] \geq \underbrace{25 \cdot 10^{-3}\,[W] + 15,2 \cdot 10^{-8}\,[W]}_{P_{Gate}+P_{Knoten}} + \underbrace{0,1\,[W]}_{P_{Kanal}} + \underbrace{13,6 \cdot 10^{-3}\,[W]}_{P_{Spule}}$$

Mit Werten von $f = 10MHz$ und $U_{DS} = 0,1V$ erreicht man ein ausgeglichenes Verhältnis der Verlustleistung an den parasitären Knotenkapazitäten und an den Gatekapazitäten der Transistoren zur Verlustleistung am seriellen Spulenwiderstand. Desweiteren ist deutlich zu erkennen, dass der Stromfluss durch den Kanal der NMOS- und PMOS-Transistoren mit einer Drain-Source-Spannung von $U_{DS} = 0,1V$ den größten Beitrag zur Verlustleistung liefert. Eine Vergrößerung der Transistorkanalweiten würde zu einer verbesserten Leitfähigkeit führen, wodurch U_{DS} kleiner wird. Damit könnte die Verlustleistung im gesamten noch verbessert werden. Allerdings ergibt sich eine weitere Erhöhung des Flächenverbrauchs für die MOS-Transistoren des Boost-Konverters, wodurch die Größe des mit dem Boost-Konverter zu integrierenden digitalen Systems auf dem Chip eingeschränkt wird. Als weiteres erhöht sich durch die größere parasitäre Gatekapazitäten die Schaltzeit zur Ansteuerung der Transistoren, welches sich im Verhalten der Spannungsregelung negativ auswirkt.

Für die Transistoren des Boost-Konverters und der passiven Bauelemente L_{Boost} undC_{Boost} ergeben sich mit $f = 10MHz$ und $U_{DS} = 0,1V$ folgende Größen:

L_{Boost}: Für die maximale Ausgangsleistung der Boost-Konverters $P_{max} = 1,5W$ bei $V_{Chip,max} = 3,3V$ und $V_{Srg} = 1,8V$ ergibt sich mit den Gleichungen 5.2, 5.3 und 5.5:

$$L_{Boost} < \frac{\overline{V}_{Chip,max}}{2\overline{I}_{Chip,max}} D\,(1-D)^2\,T_{Regelung} = \frac{V_{Srg}^2}{2P_{max}} \left(1 - \frac{V_{Srg}}{\overline{V}_{Chip,max}}\right) T_{Regelung}$$

$$L_{Boost} < 49nH$$

C_{Boost}: Mit der Gleichung 5.2 und 5.6 berechnet sich mit den obigen Angaben für einen maximalen Spannungsabfall von $\Delta V_{Chip} = 5\%\overline{V}_{Chip}$ die minimal notwendige Ausgangskapazität zu:

$$C_{Boost} > \frac{\overline{I}_{Chip}}{5\%\overline{V}_{Chip}} D T_{Regelung} = \frac{P_{max}}{5\%\overline{V}_{Chip,max}^2} \left(1 - \frac{V_{Srg}}{\overline{V}_{Chip,max}}\right) T_{Regelung}$$

$$C_{Boost} > 125nF$$

MOS-Transistoren: Mit Gleichung A.5 und A.6 zuzüglich $U_{DS} = 0,1V$ ergibt sich der Ausdruck:
$I_{DS} \approx \frac{W}{L} \cdot 5,1 \frac{\mu A}{V}$
Für den maximalen Strom $I_{Chip,max} = 0,46A$ bei $V_{Chip} = 3,3V$ ($P_{max} = 1,5W$) folgt mit Gleichung 5.3 und einer Kanallänge der Transistoren von $L_{Kanal} = 0,35\mu m$ eine mittlere Weite des PMOS- und NMOS-Transistors von $W_{PMOS,NMOS} \approx 11,6cm$. Als Grundlage dieser Berechnung wurde eine Mittelung vorgenommen, wie sie in Abschnitt A, bei der Herleitung der Gleichung A.6 zu sehen ist.
Aufgrund unterschiedlicher Beweglichkeiten von Elektronen und Löchern ist evtl. eine Anpassung der Transistorweiten des PMOS- und NMOS-Transistors beim Schaltungsentwurf notwendig.

A.3 Gleichungen zum Entwurf der Regelung

Betrachtung des diskontinuierlichen Betriebs beim Boost-Konverter:

Die Regelungsfrequenz ist $f_{Regelung}$. Der Spulenstrom ist zu Beginn eines Regelungszyklusses $I_{L,t_0} = 0$ und geht in Phase 2 ($T2$ leitend, siehe Bild A.1) wegen des diskontinuierlichen Betriebs wieder auf $I_L = 0$ zurück, bevor diese zum Zeitpunkt $t = t_0 + T_{Regelung}$ endet.

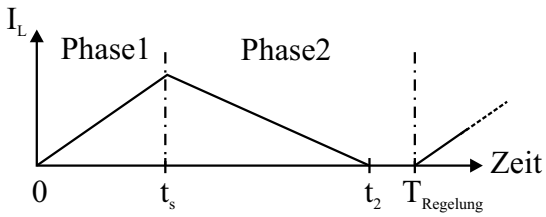


Abbildung A.1: Verlauf des Spulenstroms I_L beim diskontinuierlichen Betrieb des Boost-Konverters.

Ein Stromfluss zur Ausgangskapazität des Boost-Konverters findet nur in Phase 2 statt. Es ergibt sich für den Spulenstrom aus der Herleitung von Gleichung A.1 (siehe Anhang A.1) mit der Näherung $V_{Chip} \approx konstant$

$$I_L(t)|_{t \geq t_s} = \frac{V_{Srg}}{L} t_s + \frac{V_{Srg} - V_{Chip}}{L} (t - t_s) \tag{A.13}$$

Ermittlung von Zeitpunkt t_2 aus der Bedingung $I_L(t_2) = 0$:

$$\rightarrow t_2 = \frac{t_s}{1 - \frac{V_{Srg}}{V_{Chip}}} \tag{A.14}$$

Für die zugeführte Ladung auf die Ausgangskapazität folgt:

$$Q_{zu}(t) = \int_{t_s}^{t} I_L(t)\, dt \tag{A.15}$$

$$Q_{zu}(t) = \frac{V_{Srg}}{L} t_s (t - t_s) + \frac{V_{Srg} - V_{Chip}}{2 \cdot L} (t - t_s)^2 \tag{A.16}$$

Mit $t = t_2 = \frac{t_s}{1-\frac{V_{Srg}}{V_{Chip}}}$ eingesetzt erhält man die zugeführte Ladung Q_{zu} mit

$$Q_{zu} = \frac{t_s^2}{2 \cdot L} \cdot \frac{V_{Srg}^2}{V_{Chip} - V_{Srg}} \tag{A.17}$$

Übergang zu einer zeitdiskreten Betrachtung in Zyklen der Regelungsperiode $T_{Regelung} = \frac{1}{f_{Regelung}}$ mit Näherung $V_{Chip} \approx konstant$:

$$Q_{zu}[k] = \frac{t_s^2[k]}{2 \cdot L} \cdot \frac{V_{Srg}^2}{V_{Chip} - V_{Srg}} \tag{A.18}$$

bzw. :

$$t_s[k] = \sqrt{Q_{zu}[k] \cdot \frac{2L \cdot \left(V_{Chip} - V_{Srg}\right)}{V_{Srg}^2}} \tag{A.19}$$

Um Lastwechsel am Boost-Konverter-Ausgang für eine konstant beizubehaltende Ausgangsspannung auszugleichen, muss die Ladung Q_{zu} mit einer Änderung der Stellzeit t_s variiert werden. Eine zeitdiskrete Betrachtung des Ladungstransports führt auf:

$$Q_{zu}[k] = Q_{zu}[k-1] + \Delta Q_{zu}[k] \tag{A.20}$$

Eingesetzt in Gleichung A.19 folgt für $t_s[k]$:

$$\begin{aligned} t_s[k] &= \sqrt{\left(Q_{zu}[k-1] + \Delta Q_{zu}[k]\right) \cdot \frac{2L \cdot \left(V_{Chip} - V_{Srg}\right)}{V_{Srg}^2}} = \\ &= \sqrt{t_s^2[k-1] + \Delta Q_{zu}[k] \frac{2L \cdot \left(V_{Chip} - V_{Srg}\right)}{V_{Srg}^2}} \end{aligned} \tag{A.21}$$

Da die zeitdiskrete Regelung auf Lastwechsel erst einen Takt später reagieren kann, wird sich aufgrund des Lastwechsels eine Spannungsänderung an der Ausgangskapazität C_{Boost} ergeben. Mit einer geänderten Ladungszuführung ΔQ_{zu} muss der geforderte Spannungswert wieder erreicht werden.

$$\Delta V_{Chip}[k] = V_{Chip}[k] - V_{Chip}[k-1] \tag{A.22}$$

$$\Delta Q_{zu}[k] = C_{Boost} \cdot \Delta V_{Chip}[k] \tag{A.23}$$

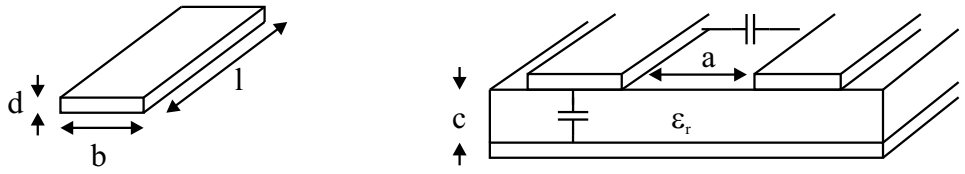
Für die Stellzeit von Gleichung A.21 ergibt sich damit:

$$t_s[k] = \sqrt{t_s^2[k-1] + \Delta V_{Chip}[k] \frac{2LC_{Boost} \cdot \left(V_{Chip} - V_{Srg}\right)}{V_{Srg}^2}} \tag{A.24}$$

Bemerkung: Gleichung A.24 ist nur für sehr kleine $\Delta V_{Chip}[k]$ anwendbar, so dass die Näherung $C_{Chip} \approx konstant$ noch gültig ist. Für größere Abweichungen oder für eine gewünschte Ausgangsspannungsänderung muss V_{Chip} ebenfalls als zeitdiskrete Variable $V_{Chip}[k]$ berücksichtig werden. Da $V_{Chip} = Fkt(t)$ darf Gleichung A.24 nur als Näherung gesehen werden.

A.4 Daten und Gleichungen zu Leiterbahnen

In heute übliche Technologien der Leiterplattenfertigung sind Abmessungen der Leiterbahnen von $d = 20 \ldots 50\mu m$ und $b \geq 150\mu m$ möglich (siehe hierzu Bild A.2a).



(a) (b)

Abbildung A.2: a) Ein Leiterbahnstück; b) Zwei parallel Leiterbahnen auf einer Leiterplatte mit darunterliegender leitender Schicht z.B. Masse.

Widerstand der Leiterbahn

Der Widerstand einer aus Kupfer bestehenden Leiterbahn lässt sich mit der Formel $R = \frac{l}{b \cdot d}\rho$ berechnen. Der spezifische elektrische Widerstand von Kupfer hat den Wert $\rho_{Cu,20°C} = 0,0176\frac{\Omega mm^2}{m}$ [116]. Mit einer Leiterbahndicke von $d = 50\mu m$ und einer -breite von $b = 1mm$ ergibt sich ein längenbezogener Leitungswiderstand von $\frac{R}{l} = 0,352\frac{\Omega}{m}$.

Die Strombelastbarkeit einer Leiterbahn mit einer Dicke $d \geq 50\mu m$ in Abhängigkeit der Leiterbahnbreite ist $I_{Leiterbahn}/Breite = 100mA/0,1mm$ [35].

Kapazitäten an der Leiterbahn

An einer Leiterbahn können sich Kapazitäten zum einen horizontal zu benachbarten Leiterbahnen und zum anderen vertikal zu einer darüber- bzw. darunterliegenden Metallisierung (siehe Bild A.2b) ausbilden.

Der Kapazitätswert zu benachbarten parallel verlaufenden Leiterbahnen lässt sich mit der Formel $C_{parallel} \approx 6,65 \cdot 10^{-2} \cdot \varepsilon_r \cdot \frac{b \cdot l}{a} \left[\frac{pF}{cm}\right]$ [35] berechnen.

Liegt unter der Leiterbahn eine Masseschicht, so kann die vertikale Kapaziät zur Masseschicht mit $C_{Schicht} = 0,0885 \cdot \varepsilon_r \cdot \frac{b \cdot l}{c} \left[\frac{pF}{cm}\right]$ berechnet werden.

Beispiel (siehe auch [35]):

$b = 1 \ldots 10mm$; $a \approx 2mm$; $c = 1,5mm$; $\varepsilon_r = 5$;

$C_{parallel} \approx 0,167 \cdot l\,\frac{pF}{cm}$; $C_{Schicht} \approx 1.77 \cdot l\,\frac{pF}{cm}$.

Die dynamische Verlustleistung an diesen Leitungskapazitäten kann abgeschätzt werden zu:

Beispiel: $U = 3,3V$; $f = 10MHz$; $l = 10cm$;

$P_V = f \cdot C \cdot U^2 \approx 2mW$

Induktivität der Leiterbahn

Allgemein:

Die Induktivität einer Leiterschleife durch Selbsinduktion berechnet sich aus dem magnetischen Eigenfluß Φ_e und dem Leiterstrom I zu $L = \frac{\Phi_e}{I}$. Dabei ist der magnetische Fluß $\Phi_e = \int_A \vec{B} d\vec{A}$ [117], der sich aus der magnetischen Induktion B und der von der Leiterschleife eingeschlossenen Fläche A berechnet.

Angewandt auf eine Doppelleitung, in der der Strom hin und zurück geführt wird, ergibt sich abhängig von der Leiterdicke d und dem Abstand D zwischen den beiden Leitern der längenbezoge äußere Fluß in Näherung (siehe [117]) zu:

$$\Phi'_a = \frac{\mu_0 I}{\pi} \ln\left(\frac{D}{d/2}\right) = L'_a \cdot I \tag{A.25}$$

Zur Berechnung der längenbezogenen Gesamtinduktivität L' der Leiterschleife wird zur äußeren noch die innere längenbezogene Induktivität $L'_i = \frac{\mu_0}{8\pi}$ addiert [117]. Es ergibt sich damit $L' = L'_a + 2L'_i$. Für die Bedingung $d << D$ lässt sich in guter Näherung der längenbezogene Induktivitätswert der Leiterschleife berechnen zu:

$$L' \approx \frac{\mu_0}{\pi} \ln\left(\frac{2D}{d}\right) \tag{A.26}$$

Leiterplatte:

Die Stromführung auf einer Leiterplatte kann durch Leiterbahnen oder durch flächige leitende Schichten erfolgen. Der Abstand dieser Metallstrukturen ist gering, so dass die durch die Stromführung eingeschlossene Fläche klein ist.

Die Induktivität einer Leiterbahn lässt sich näherungsweise mit der Formel

$L \approx 2 \cdot l \cdot \ln\left(\frac{0{,}2 \cdot l}{b+d} + m\right)$ mit $m = -0{,}25 + \Phi$ berechnen. Φ ist ein frequenzabhängiger Korrekturwert [35].

Für $b >> d$ ergibt sich die Näherung für die Leitungsinduktivität ($d \approx 35 \ldots 100\mu m$, $b \approx 1 \ldots 5mm$) zu:

$L \approx 5 \ldots 8 \cdot l \left[\frac{nH}{cm}\right]$

A.5 Modell des digitalen Systems

Die folgenden Erklärungen zur Modellierung eines digitalen Systems im IC beziehen sich auf die Abbildung A.3 auf nachfolgender Seite.

Die Dimensionierung der parasitären Elemente des Versorgungsnetzes im Chip, bei der Leitungswiderstände und -kapazitäten berücksichtigt wurden, erfolgte anhand von verschiedenen Daten aus Schaltungsentwürfen, im Besonderen von [118].

Die Fläche der integrierten Schaltung wurde mit etwa $1mm^2$ angenommen. Die Breite der Versorgungsleitungen des ringförmig um den Schaltungskern modellierten Versorgungsnetzes wurde mit dem Ziel geringer Spannungsabfälle auf den Leitungen zu $b > 200\mu m$ gewählt.

Die Module *A*, *B* und *C* bilden kombinatorsiche Logikschaltungen ab, die sich in der Logiktiefe und in der Anzahl von parallelen Signalpfaden unterscheiden. Die Schaltungen in den Modulen wurden mit einer Frequenz von $f = 100MHz$ synchron getaktet.

Bei einer Versorgungsspannung zwischen den Eingängen *VV* und *VG* (Bild A.3) von $V_{VV-VG} = 3,3V$ weist das modellierte digitale System eine Verlustleistung von $P \approx 1,5W$ auf.

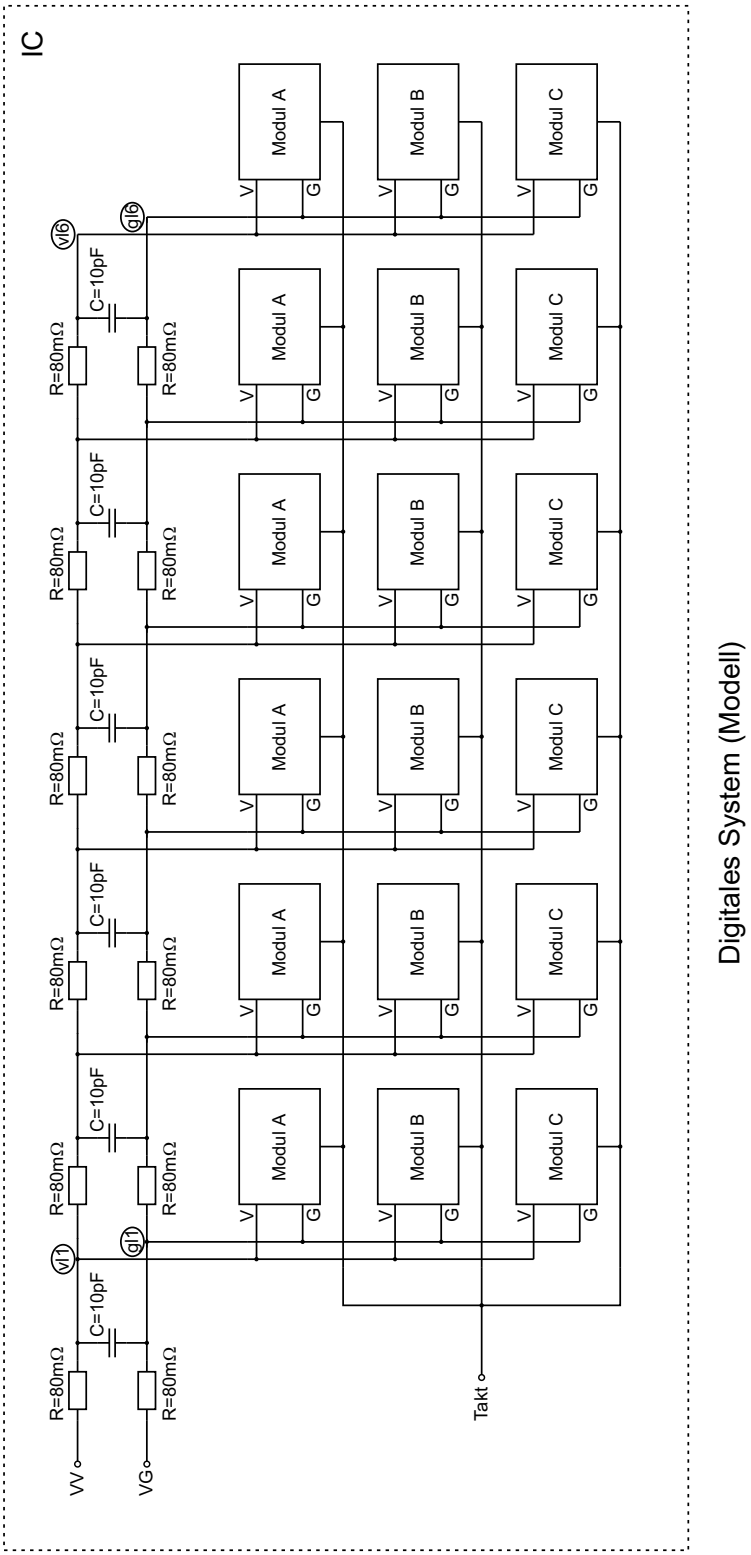


Abbildung A.3: Modell des digitalen Systems im IC zur Simulation der Strombelastung des Versorgungsnetztes im IC und auf der Schaltungsplatine außerhalb des IC-Gehäuses.

A.6 Abkürzungen

ASIC = Anwendungsspezifisches IC

BIST = Built in Self Test

CMOS = Complementary Metal Oxid Semiconductor

EIA = Electronics Industries Association

EMI = Electromagnetic Interference

FIFO = First In First Out

GND = Ground (Bezugspotential = 0V)

IC = Integrated Circuit

ITRS = International Technology Roadmap for Semiconductors

MOS = Metal Oxid Semiconductor

PC = Personal Computer

PCB = Printed Circuit Board

PFM = Pulsfrequenzmoduliert

PLL = Phase Lock Loop

PROM = Programable Read Only Memory

PWM = Pulsweitenmoduliert

SMD = Surface Mount Device

TCO = Temparture Controlled Oszillator

VCO = Voltage Controlled Oszillator

VHDL = VHSIC Hardware Description Language

VHSIC = Very High Speed Integrated Circuit

ZCS = Zero Current Switching

ZVS = Zero Voltage Switching

Literaturverzeichnis

[1] IWAI, H.: CMOS Technology - Year 2010 and Beyond. In: *IEEE Journal of Solid-State Circuits* 34 (1999), März, Nr. 3, S. 357–366

[2] HOPPE, B.: *Mikroelektronik 2*. 1. Aufl. Vogel Buchverlag, 1998

[3] VEENDRICK, H.: *Deep-Submicron CMOS ICs from Basics to ASICs*. Kluwer Academic Publishers, August 1999. – ISBN 9055761281

[4] LARSSON, P.: The Impact of Scaling on di/dt Noise and Noise Suppression Techniques. In: *ESSCIRC 98*, 1998 (short course 21.11.98)

[5] *International Technology Roadmap for Semiconductors (ITRS)*. 1999 & 2000

[6] BELLAOUAR, A. ; ELMASRY, M. I.: *Low-Power Digital VLSI Design, Circuits and Systems*. Kluwer Academic Publisher, 1995

[7] RABAEY, J. M.: *Digital Integrated Circuits*. Prentice-Hall, 1996

[8] NEBEL, W. ; MERMET, J.: *Low Power Design in Deep Submicron Electronics*. Kluwer Academic Press, 1997

[9] CHANG, C. Y. ; SZE, S. M.: *ULSI Technology*. McGraw Hill, 1996

[10] SZE, S.: *Physics of Semiconductor Devices*. John Wiley & Sons, 1981

[11] FRANK, D. J. [u. a.]: Device Scaling Limits of Si MOSFETs and their Application Dependencies. In: *Proceedings of the IEEE* 89 (2001), März, Nr. 3, S. 259–288

[12] BENINI, L. ; DE MICHELI, G. ; MACII, E.: Designing Low-Power Circuits: Practical Receipes. In: *IEEE Circuits and Systems Magazine* 1 (2001), Nr. 1, S. 6–25

[13] MACCII, E.: Dynamic Power Management of Electronis Systems. In: *IEEE Design & Test of Computers* (2001), März - April, S. 6–9

[14] FISCHER, P. D. ; NESBITT, R.: The Test of Time. In: *IEEE Circuits and Devices Magazine* (1998), März, S. 37–44

[15] WANNEMACHER, M.: *Das FPGA-Kochbuch*. International Thomson Publishing GmbH, 1998

[16] BULACH, S. ; BRAUCHLE, A. ; PFLEIDERER, H.-J. ; KUCEROVSKY, Z.: Design and Implementation of Discrete Event Control Systems: A Petri Net Based Hardware Approach. In: *Journal of Discrete Event Dynamic Systems: Theory and Applications, Kluwer Academic Publishers* (2002)

[17] BULACH, S.: *The Design and ASIC Implementation of a Custom Petri Net Based Programmable Discrete Event Controller*. Abt. Allgemeine Elektrotechnik & Mikroelektronik, Universität Ulm, PhD Dissertation, 2002

[18] GRONOWSKI, P. E. [u. a.]: High-Perfomance Microprocessor Design. In: *IEEE Journal of Solid-State Circuits* 33 (1998), Mai, Nr. 5, S. 676–686

[19] STROJWAS, A. J. [u. a.]: Manufacturability of Low Power CMOS Technology Solutions. In: *ISLPED*, 1996, S. 225–139

[20] EISELE, M.: *Einfluß von Parameterschwankungen auf die Ausbeute digitaler Niedervoltschaltungen*. Fakultät für Elektrotechnik und Informationstechnik, Technische Universität München, Dissertation, 1998

[21] ASAI, S. ; WADA, Y.: Technology Challenges for Integration Near and Below 0.1μm. In: *Proceedings of the IEEE* 85 (1997), April, Nr. 4, S. 505–520

[22] TARIM, T. B. ; ISMAIL, M.: Enhanced Analog Yields Cost-Effective Systems-on-Chip. In: *IEEE Circuits and Devices Magazine* (1999), März, S. 12–22

[23] TANG, X. ; DE, V. K. ; MEINDL, J. D.: Intrinsic MOSFET Parameter Fluctuations Due to Random Dopant Placement. In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 5 (1997), Dezember, Nr. 4, S. 369–376

[24] TANG, X. ; BOWMAN, K. A. ; EBLE, J. C. ; DE, V. K. ; MEINDL, J. D.: Impact of Random Dopant Placement on CMOS Delay and Power Dissipation. In: *Proceeding of ESSCIRC*, 1999, S. 184–187

[25] HOENIGSCHMID, H. ; MIRURA-MATTAUSCH, M. ; PRIGGE, O. ; RAHM, A. ; SVIGNAC, D.: Optimization of Advanced MOS Technologies for Narrow Distribution of Circuit Performance. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16 (1997), Februar, Nr. 2, S. 199–204

[26] MURTHY, C. S. ; GALL, M.: Process Variation Effects on Circuit Performance: TCAD Simulation of 256-Mbit Technology. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16 (1997), November, Nr. 11, S. 1383–1389

[27] MIZUNO, T. ; OKAMURA, J.-i. ; A., Torimi: Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation of Channel Dopant Number in MOSFET's. In: *IEEE Transactions on Electron Devices* 41 (1994), November, Nr. 11, S. 2216–2221

[28] EISELE, M. ; BERTHOLD, J. ; THEWES, R. ; WOHLRAB, E. ; SCHMITT-LANDSIEDEL, D. ; WEBER, W.: Intra-Die Device Parameter Variations and Their Impact on Digital CMOS Gates at Low Supply Voltages. In: *IEDM Tech. Digest*, 1995, S. 67–70

[29] LOVETT, S. J. ; WELTEN, M. ; MATHEWSON, A. ; MASON, B.: Optimizing MOS Transistor Mismatch. In: *IEEE Journal of Solid-State Circuits* 33 (1998), Januar, Nr. 1, S. 147–150

[30] ASENOV, A.: Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub-0.1μm MOSFET's: A 3-D Atomistic Simulation Study. In: *IEEE Transactions on Electron Devices* 45 (1998), Dezember, Nr. 12, S. 2505–2513

[31] *International Technology Roadmap for Semiconductors, Process Integration, Devices and Structures*. 1999 & 2000. – Seite 83 - 103

[32] ALTHERR, R. ; TAHEDL, M. ; PFLEIDERER, H.-J.: Integration eines Boost-Konverters in CMOS-Technologie zur adaptiven Spannungsregelung. In: *Kleinheubacher Berichte, Band 45* 45 (2001), S. 192–196

[33] ALTHERR, R. ; PFLEIDERER, H.-J.: Adaptive Regelung der chipinternen Versorgungsspannung in Abhängigkeit von Betriebs- und Prozessparameter. In: *wird im Tagungsband des 3. VIVA Schwerpunkt-Kolloquiums (DFG) veröffentlicht* (2002)

[34] MONTROSE, M. I.: *Printed Circuit Board Techniques*. IEEE Press, USA, 1996

[35] NÜHRMANN, D.: *Das große Werkbuch Elektronik*. 6. Aufl. Franzis Verlag GmbH, 1994

[36] LARSSON, P.: Resonace and Damping in CMOS Circuits with On-Chip Decoupling Capacitance. In: *IEEE Transactions on Circuits and Systems* 45 (1998), S. 849–858

[37] HERRELL, D.: Power to the Package. In: *IEEE Spectrum* (1999), Juli, S. 46–53

[38] ZHANG, M. T. [u. a.]: Design Considerations for Low-Voltage On-Board DC/DC Modules for Next Generations of Data Procesing Circuits. In: *IEEE Transactions on Power Electronics* 11 (1996), März, Nr. 2, S. 328–337

[39] ALTHERR, R.: Integration der Spannungsversorgung mittels eines Boost-Konverters auf einem digitalen CMOS-Chip. In: *ITG Fachbericht* 165 (2000), S. 215–220

[40] CHANDRAKASAN, A. P. ; BRODERSEN, R. W.: *Low Power Digital CMOS Design*. Kluwer Academic Publishers, 1995

[41] NAIR, R. ; TANG, B.: Low Cost On-Die CMOS Distributed Regulation for Microcontrollers. In: *ESSCIRC* (1998), S. 188–191

[42] BESTEN, G. W. d. ; NAUTA, B.: Embedded 5V-to-3.3V Voltage Regulator for Supplying Digital IC's in 3.3V CMOS Technology. In: *IEEE Journal of Solid-State Circuits* 33 (1998), Juli, Nr. 7, S. 956–962

[43] JOU, S.-J. ; CHEN, T.-L.: On Chip Voltage Down Converter for Low-Power Digital System. In: *IEEE Transactions on Circuits an Systems II* 45 (1998), Mai, Nr. 5, S. 617–625

[44] LINEAR TECHNOLOGIES. *Datenblätter*. http://www.linear.com/prod/

[45] MAXIM. *Datenblätter*. http://www.maxim-ic.com/

[46] NATIONAL SEMICONDUCTOR. *Datenblätter*. http://www.national.com/appinfo/

[47] RASHID, M. H.: *Power Electronics; Circuits, Devices, and Applications*. 2. Aufl. Prentice Hall, 1993

[48] SEIFART, M.: *Analoge Schaltungen*. 4. Aufl. München Verlag Technik, 1994

[49] LEE, F. C. *Zero-Voltage Switching Quasi-Resonant Converters*. United States Patent, Nr. 4,720,668. 19

[50] WOJCIECH, A. T. ; LEE, F. C. *Zero-Voltage-Switched Multi Resonant Converters including the Buck und Forward Type*. United States Patent, Nr. 4,857,822. 11

[51] GUICHAO, C.Hua ; LEE, F. C. *Zero-Voltage Transition Pulse-Width-Modulated Converters*. United States Patent, Nr. 5,418,704. 23

[52] CHEN, J. ; IONIOVICI, A.: Switching-Mode DC-DC Converter with Switched-Capacitor-Based Resonant Circuit. In: *IEEE Transactions on Circuits and Systems I* 43 (1996), November, Nr. 11, S. 933–938

[53] CHHAWCHHARIA, P. [u. a.]: High Frequency DC/DC Conversion using a Novel Concept of Multiple Frequency Operation with Pulsewidth Modulated Output. In: *Proc. EPE 1997*. Trondheim, 1997, S. 2.150–2.155

[54] BURGHARTZ, J. N. ; JENKINS, K. A. ; SOYUER, M.: Multilevel-Spiral Inductors Using VLSI Interconnect Technology. In: *IEEE Electron Device Letters* 17 (1996), September, Nr. 9, S. 428–430

[55] KOUTSOYANNOPOULOS, Y. ; PAPANANOS, Y. ; ALEMANNI, C. ; BANTAS, S.: A Generic CAD Model for Arbitrarily Shaped and Multi-Layer Integrated Inductors on Silicon Substrates. In: *ESSCIRC 97*. Southampton, UK, 1997, S. 320–323

[56] VON ARX, J. A. ; NAJAFI, K.: On-chip coils with integrated cores for remote inductive powering of integrated microsystems. In: *International Conference on Solid State Sensors and Actuators* Bd. 2. Chicago, 1997, S. 999–1002

[57] ALLEN, M. G.: Integrated Inductors for Low Cost Electronic Packages. In: *International Electron Devices Meeting (IEDM)*. Washington, 1995, S. 137–141

[58] PARK, J. Y. ; ALLEN, M. G.: Packaging-Compatible Microinductors and Microtransformers with Screen-Printed Ferrite Using Low Temperature Processes. In: *IEEE Tansactions on Magnetics* 34 (1998), Juli, Nr. 4, S. 1366–1368

[59] YOON, J.-B. [u. a.]: High-performance Electroplated Solenoid-Type Integrated Inductor (SI2) for RF Applications using Simple 3D Surface Micromachining Technology. In: *International Electron Devices Meeting (IEDM)*. Washington, 1998. – nur als Vortrag vorhanden!

[60] YOON, J.-B. [u. a.]: Novel and High-Yield Fabrication of Electroplated 3D Micro-Coils for MEMS and Microelectronics. In: *SPIE's Symposium on Micromachining and Microfabrication* Bd. 3511. Santa Clara, CA, 1998, S. 233–240

[61] ALTHERR, R. ; LACHOWICZ, S.: Adaptive Spannungsregelung zur Verlustleistungsreduktion bei ICs. In: *Kleinheubacher Berichte, Band 43* 43 (1999), S. 335–342

[62] KAENEL, V. v. ; P., Macken. ; DEGRAUWE, M. G. R.: A Voltage Reduction Technique for Battery-Operated Systems. In: *IEEE Journal of Solid-State Circuits* 25 (1990), Oktober, Nr. 5, S. 1136–1140

[63] WEI, G.-Y. ; HOROWITZ, M.: A low power switching power supply for self-clocked systems. In: *ISLPED*, 1996, S. 313–317

[64] KURODA, T. [u. a.]: Variable Supply-Voltage Scheme for Low-Power High Speed CMOS Digital Design. In: *IEEE Journal of Solid-State Circuits* 33 (1998), März, Nr. 3, S. 454–462

[65] WEI, G.-Y. ; HOROWITZ, M.: A Fully Digital, Energy-Efficient, Adaptive Power-Supply Regulator. In: *IEEE Journal of Solid-State Circuits* 34 (1999), April, Nr. 4, S. 520–528

[66] WEI, G.-Y. [u. a.]: A Variable-Frequency Parallel I/O Interface with Adaptive Power-Supply Regulation. In: *IEEE Journal of Solid-State Circuits* 35 (2000), November, Nr. 11, S. 1600–1609

[67] KIM, J. ; HOROWITZ, M: An Efficient Digital Slidung Controller for Adaptive Power Supply Regulation. In: *Symposium on VLSI Circuits Digest of Technical Papers*, 2001, S. 133–136

[68] NIELSEN, L. S. ; NIESSEN, C. ; SPARSO, J. ; KEES, van B.: Low-Power Operation Using Self-Timed Circuits and Adaptive Scaling of the Supply Voltage. In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 2 (1994), Dezember, Nr. 4, S. 391–397

[69] BURD, T. D. ; PERING, T. A. ; STRATAKOS, A. J. ; BRODERSEN, R. W.: A Dynamic Voltage Scaled Microprocessor System. In: *IEEE Journal of Solid-State Circuits* 35 (2000), November, Nr. 11, S. 1571–1580

[70] SAKIYAMA, S. [u. a.]: A lean Power Management Technique: The lowest Power Consumption for the given Operating Speed of LSIs. In: *Symposium on VLSI Circuits Digest of Technical Papers*, 1997, S. 99–100

[71] GEPPERT, L. ; PERRY, T.: Transmeta's magic show. In: *IEEE Spectrum* (2000), Mai, S. 26–33. – siehe auch: http://www.transmeta.com

[72] INTEL. *Intel XScale microarchitecture*. http://developer.intel.com/design/intelxscale

[73] ISER, B.: *Entwurf eines Linearreglers zur Regelung der Versorgungsspannung eines ICs*. Allg. Elektrotechnik & Mikroelektronik, Universität Ulm, Studienarbeit, 2000

[74] WEI, G.-Y. [u. a.]: A Variable-Frequency Parallel I/O Interface with Adaptive Power-Supply Regulation. In: *IEEE Journal of Solid-State Circuits* 35 (2000), November, Nr. 11, S. 1600–1609

[75] EISELE, M. ; BERTHOLD, J. ; SCHMITT-LANDSIEDEL, D. ; MAHNKOPF, R.: The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits. In: *ISLPED*, 1996, S. 237–242

[76] NICOLAIDIS, M. ; ZORIAN, Y.: On-Line Testing for VLSI–A Compendium of Approaches. In: *Journal of Electronic Testing: Theory and Applications, Kluwer Academic Publisher* (1998), Nr. 12, S. 7–20

[77] RAAHEMIFAR, K. ; AHMADI, M.: Design-for-Testability Techniques for Detecting Delay Faults in CMOS/BiCMOS Logic Families. In: *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing* 47 (2000), November, Nr. 11, S. 1279–1290

[78] BOWMAN, K. A. [u. a.]: Impact of Extrinsic and Intrinsic Parameter Fluctuations on CMOS Circuit Performance. In: *IEEE Journal of Solid-State Circuits* 35 (2000), August, Nr. 8, S. 1186–1193

[79] KARRI, R. ; NICOLAIDIS, M.: Guest Editors' Introduction: Online VLSI Testing. In: *IEEE Design & Test of Computers* (1998), Oktober - Dezember, S. 12–16

[80] ZORIAN, Y.: Testing the Monster Chip. In: *IEEE Spectrum* (1999), Juli, S. 54–60

[81] WESTE, N. ; ESHRAGHIAN, K.: *Principles of CMOS VLSI Design, A Systems Perspective*. Addison-Wesley, 1995

[82] PANT, P. ; HSU, Y.-C. ; GUPTA, S. K. ; CHATTERJEE, A.: Path Delay Fault Diagnosis in combinational Circuits With Implicit Fault Enumeration. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 20 (2001), Oktober, Nr. 10, S. 1226–1235

[83] DISKUSSIONSRUNDE MIT MEHREREN TEILNEHMERN, Moderator: Kaushik R.: Test Rexource Partitioning. In: *IEEE Design & Test of Computers* (2000), July - September, S. 126–132

[84] GRONOWSKI, P. E. [u. a.]: High-Performance Microprocessor Design. In: *IEEE Journal of Solid-State Circuits* 33 (1998), Mai, Nr. 5, S. 676–686

[85] CHENG, Y.-K. ; RAHA, P. ; TENG, C.-C. ; ROSENBAUM, E. ; KANG, S.-M.: ILLIADS-T: An Electrothermal Timing Sinulator for Temperature-Sensitive Reliability Diagnoses of CMOS VLSI Chips. In: *IEEE Trans. on Computer-Aided Design of integrated Circuits and Systems* 17 (1998), August, Nr. 8, S. 668–681

[86] CHENG, Y.-K. ; KANG, S.-M.: A Temperature-Aware Simulation Environment for Reliable ULSI Chip Design. In: *IEEE Trans. on Computer-Aided Design of integrated Circuits and Systems* 19 (2000), Oktober, Nr. 10, S. 1211–1220

[87] TSAI, C.-H. ; KANG, S.M.: Cell-Level Placement for Improving Substrate Thermal Distribution. In: *IEEE Trans. on Computer-Aided Design of integrated Circuits and Systems* 19 (2000), Februar, Nr. 2, S. 253–265

[88] INFINEON TECHNOLOGIES AG, München: *Halbleiter; Technische Erläuterungen und Kenndaten*. Publicis MCD Corporate Publishing, März 2001

[89] ULRICH, R. K. [u. a.]: Getting Aggressive with Passive Devices. In: *IEEE Circuits and Devices Magazine* (2000), September, S. 17–25

[90] PHILLIPS COMPONENTS: *Data Sheet: Introduction, Soft Ferrites*. File under Magnetic Products, MA01. Phillips, 1997

[91] PHILLIPS COMPONENTS: *Data Sheet: Material grade survey, Soft Ferrites*. File under Magnetic Products, MA01. Phillips, 1997

[92] KORIES, R. ; SCHMIDT-WALTER, H.: *Taschenbuch der Elektrotechnik, Grundlagen und Elektronik*. 3. Aufl. Verlag Harri Deutsch, 1998

[93] Siemens Matsushita Components: *Technical Product Information, Passive Components; Data Library 1998 Book*. 1998. – CD-Ausführung

[94] HARTUNG, J. ; HUHLEMANN, T.: Integrated Passive Components for MCM-Si Technologies. In: *Mikroelektronik, GMM-Fachbericht* Bd. 17. München : VDE-Verlag, 1997, S. 319–325

[95] KUHN, W. B. ; STEPHENSON, F. W. ; ELSHABINI-RIAD, A.: A 200MHz CMOS Q-Enhanced LC Bandpass Filter. In: *IEEE Journal of Solid-State Circuits* 31 (1996), August, Nr. 8, S. 1112–1121

[96] GREENHOUSE, H. M.: Design of Planar Rectangular Microelectronic Inductors. In: *IEEE Transactions on Parts, Hybrids and Packaging* PHP-10 (1974), Juni, Nr. 2, S. 101–109

[97] CROLS, J. ; KINGET, P. ; CRANINCKX, J. ; STEYAERT, M.: An Analytical Model of Planar Inductors on Lowly Doped Silicon Substrates for High Frequency Analog Design up to 3 GHz. In: *Symposium on VLSI Circuits Digest of Technical Papers*, 1996, S. 28–29

[98] MERILL, R. B. [u. a.]: Optimization of High Q Integrated Inductors for Multi-Level Metal CMOS. In: *International Electron Devices Meeting (IEDM)*. Washington, 1995, S. 983–986

[99] EGGERT, D. ; BUDDE, W. ; HÜBLER, P. ; HÜRRICH, A. ; VORWERK, M.: Planar inductors on high-resistive SIMOX-subtrates and their use in microwave components. In: *Mikroelektronik, GMM-Fachbericht* Bd. 17. München : VDE-Verlag, 1997, S. 311–318

[100] Alcatel Microelectronics: *C035M-D Design Rule Manual*. 1999

[101] FEINSTLEITERTECHNIK, ILFA: *Leiterplattenhandbuch*. CD-ROM, Ausgabe 6.0. siehe unter: http://www.ilfa.de : ILFA - Feinstleitertechnik GmbH, 2001

[102] Panasonic: *Datenblätter, Multilayer Ceramic Chip Capacitor*

[103] ULRICH, R. ; LEFTWICH, M.: Sizing Integrated Thin-Film Capacitors. In: *HDI Magazine* (2001), Februar, S. 22–26

[104] Philips Components: *Ceramic Capacitor, Introduction*. 1997 Nov 04

[105] Murata: *Datenblätter (No.C02E8.pdf), Monolithic Ceramic Capacitor (GRM Serie)*

[106] HOPPE, B.: *Mikroelektronik 1*. 1. Aufl. Vogel Buchverlag, 1997

[107] RS Components GmbH: *Leitfähiger Klebstoff bzw. Epoxid*

[108] TAHEDL, M.: *Aufbau und Untersuchung einer chipinternen Spannungsregelung mit einem integrierten Boost-Konverter in Abhängigkeit von Betriebs- und Prozeßparametern*. Allg. Elektrotechnik & Mikroelektronik, Universität Ulm, Diplomarbeit mit Ergänzung, 2001

[109] RABEAY, J. M.: *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 1996

[110] TUMMALA, R. R. ; MADISETTI, V. K.: System on Chip or System on Package. In: *IEEE Design & Test of Computers* (1999), April - Juni, S. 48–56

[111] LIU, F. [u. a.]: Ultrafine-Line HDI TEchnology at Georgia Tech's PRC. In: *HDI Magazine* (2000), August, S. 20–24

[112] SAKURAI, T. ; NEWTON, A. R.: Alpha-Power Law MOSFET Model an its Applications to CMOS Inverter Delay and other Formulas. In: *IEEE Journal of Solid State Circuits* 25 (1990), April, Nr. 2, S. 584–593

[113] LU, Y.-H. ; MICHELI, G. d.: Comparing System-Level Power Management Policies. In: *IEEE Design & Test of Computers* (2001), März - April, S. 10–19

[114] NAMGOONG, W. ; YU, M. ; MENG, T.: A High Efficiency Variable Voltage CMOS Dynamic DC-DC Switching Regulator. In: *IEEE International Solid-State Circuits Conference* Bd. 40 IEEE, 1997, S. 380–381

[115] KLAR, H.: *Integrierte Digitale Schaltungen MOS/BICMOS*. Springer, 1993

[116] KUCHLING, H.: *Taschenbuch der Physik*. Harri Deutsch Verlag, 1989

[117] PRECHTL, A.: *Vorlesungen über die Grundlagen der Elektrotechnik, Band 2*. Springer Verlag, 1995

[118] LÖW, M.: *Reduzierung der Verlustleistung integrierter Digitalschaltungen durch Einführung eines Taktsystems mit halbiertem Spannungshub*. Allg. Elektrotechnik & Mikroelektronik, Universität Ulm, PhD Dissertation, 2001

Ralf Altherr
Schillstr. 24
89077 Ulm

Lebenslauf

Persönliche Daten:

geboren	30.12.1969
in	Krumbach/ Bayern
Eltern	Dieter Altherr, Dipl. Ing. Elektrotechnik (FH) Berta Altherr, Hausfrau
Geschwister	Birgit Altherr, Lehrerin
Staatsangehörigkeit	deutsch
Familienstand	ledig

Ausbildungdaten:

Schule	September 1976...Juli 1980, Schule an der Schackstraße September 1980...Juni 1989, Jakob-Fugger-Gymnasium
Schulabschluß	Abitur (Juni 1989)
Bundeswehr	Juni 1989...August 1990, Wehrpflichtiger
Studium	15.10.1990...04.12.1995 Universität Ulm, Studiengang Elektrotechnik/ Diplom
Praktikas	1.Grundpraktikum, Firma Kleindienst (Augsburg) 28.5.1990...20.7.1990 2.Grundpraktikum, Firma Kuka (Augsburg) März 1991 Fachpraktikum, Daimler Benz AG/ Forschungsinstitut (Ulm) 15.9.1994...15.01.1995

Arbeitsverhältnis:

Universität Ulm	01.04.1996...31.03.2002, Abt. Allgemeine Elektrotechnik und Mikroelektronik, Wissenschaftlicher Assistent

Auslandsaufenthalt:

Seoul (Korea)	Juli - August 1998, Mitarbeit im Integrated Systems Laboratory an der Seoul National Universität

Ulm, 27.05.2002